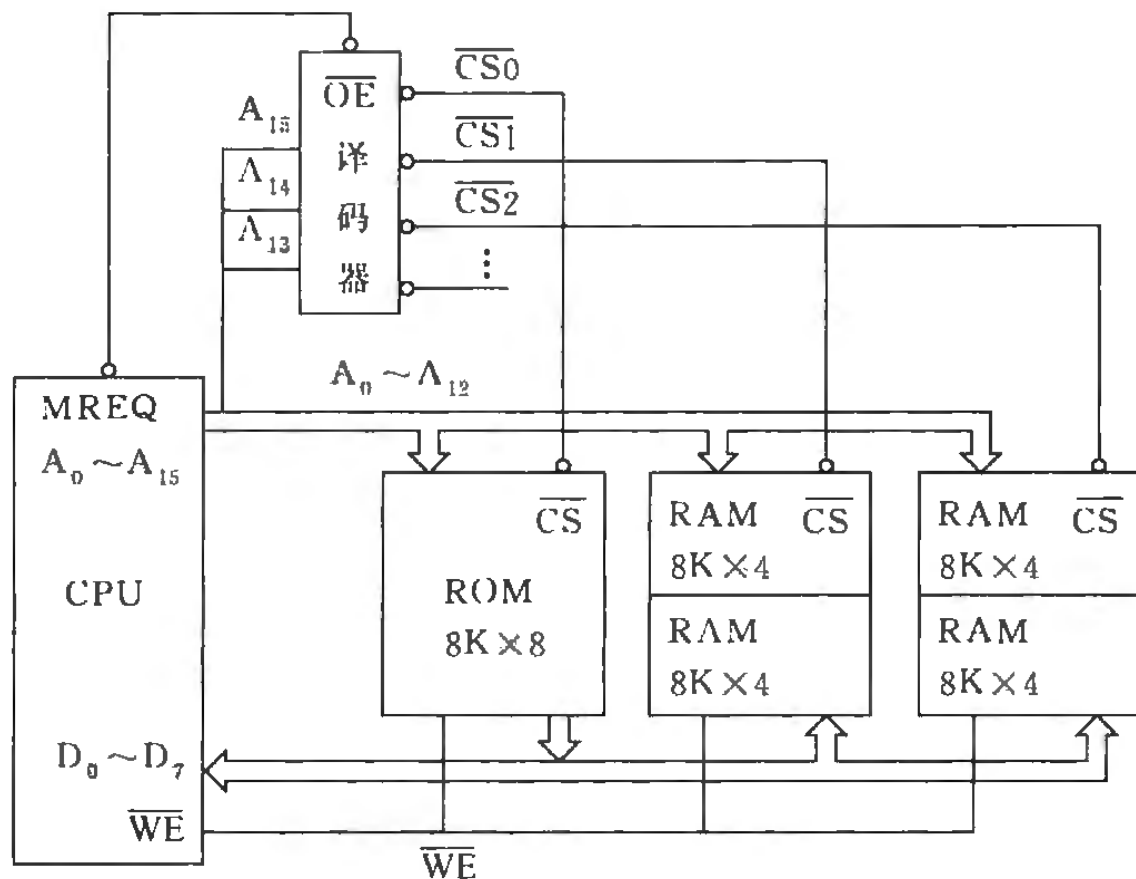
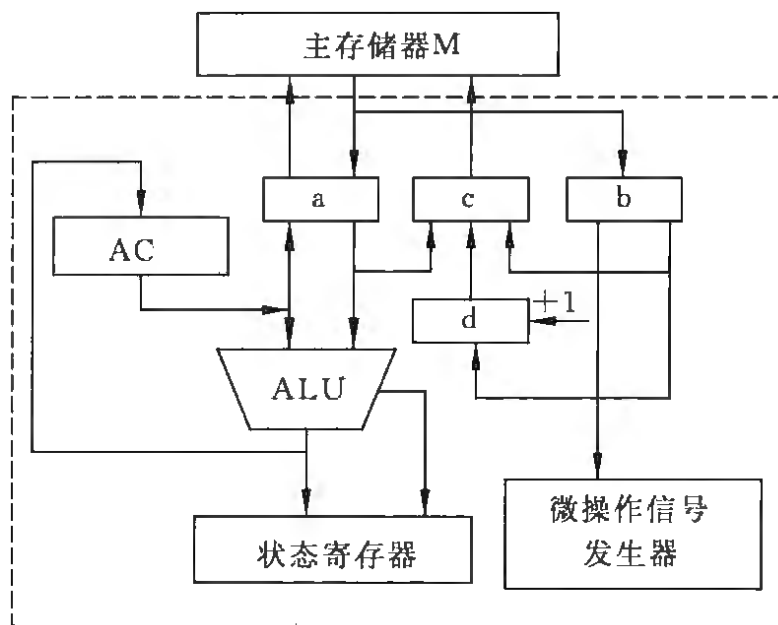


- 4.6 某机器中,已知有一个地址空间为 $0000\text{H}\sim 1\text{FFFH}$ 的 ROM 区域,现在再用 RAM 芯片($8\text{K}\times 4$)形成一个 $16\text{K}\times 8$ 的 RAM 区域,起始地址为 2000H ,假设 RAM 芯片有 $\overline{\text{CS}}$ 和 $\overline{\text{WE}}$ 信号控制端。CPU 地址总线为 $A_{15}\sim A_0$,数据总线为 $D_7\sim D_0$,控制信号为 $\text{R}/\overline{\text{W}}$ (读/写)和 $\overline{\text{MREQ}}$ (当存储器进行读或写操作时,该信号指示地址总线上的地址是有效的)。要求画出逻辑图。



6.1 CPU 结构如下图所示,其中有一个累加寄存器 AC、一个状态条件寄存器和其他 4 个寄存器,各部分之间的连线表示数据通路,箭头表示信息传送方向。要求:

- (1) 标明图中 a、b、c、d 这 4 个寄存器的名称。
- (2) 简述指令从主存取出到产生控制信号的数据通路。
- (3) 简述数据在运算器和主存之间进行存/取访问的数据通路。

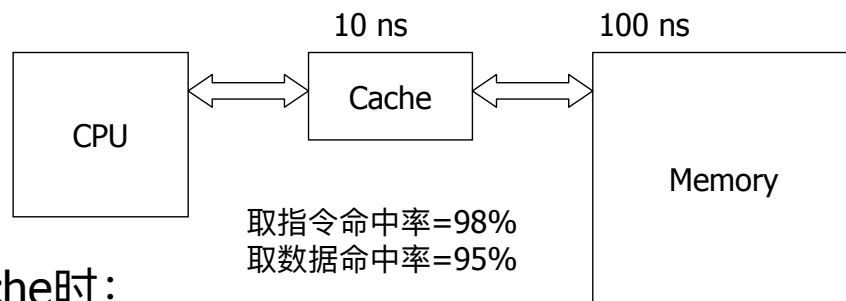


- (1) a: 数据缓冲寄存器 DR; b: 指令寄存器 IR;
c: 主存地址寄存器 AR; d: 程序计数器 PC。

(2) $M \rightarrow IR \rightarrow$ 微操作信号发生器

(3) 读: $M \rightarrow DR \rightarrow ALU \rightarrow AC$; 写: $AC \rightarrow DR \rightarrow M$

7.3 设某流水线计算机有一个指令和数据合一的cache，已知cache的读/写时间为10ns，主存的读/写时间为100ns，取指的命中率为98%，数据的命中率为95%，在执行程序时，约有1/5指令需要存/取一个操作数，为简化起见，假设指令流水线在任何时候都不阻塞。问设置cache后，与无cache比较，计算机的运算速度可提高多少倍？



有cache时：

- 取指令时间
 $10\text{ns} \times 98\% + (10\text{ns} + 100\text{ns}) \times 2\% = 12\text{ns}$
- 取数据时间
 $(10\text{ns} \times 95\% + (10\text{ns} + 100\text{ns}) \times 5\%) \times 1/5 = 3\text{ns}$
- \therefore 平均访存时间 = 取指令时间 + 取数据时间 = 15ns

无cache时：

- 平均访存时间 = $100\text{ns} + 100\text{ns} \times 1/5 = 120\text{ns}$

\therefore 运算速度提高 = $120\text{ns} / 15\text{ns} = 8$ 倍