



兰州大学信息科学与工程学院实验报告

学生姓名: Hollow Man

年级专业: 2018级计算机基地班

指导老师: 斯天玉

实验课程: 数字逻辑实验

实验题目: 组合数字电路实验(一)

一、实验目的

- 1. 掌握信息码、奇偶校验码、组合电路、全加器等的概念
- 2. 掌握异或门 74LS86、与门 74LS08 和或门 74LS32 的引脚排列及功能。
- 3. 掌握一位全加器的设计方法。

二、实验原理

1. 组合电路

输出只与电路当前输入有关,而与之前输入无关的数字电路叫组合电路。简言之,没有存储功能的电路就是组合电路。

2. 奇偶校验

假定要传输的二进制码为 ABC, 称之为:信息码。为了进行奇偶校验,在 其后加一位校验位,编码为 ABCP,称之为码字。如果规定码字中 1 的个数为 偶数,称为偶校验;反之为奇校验。

偶校验的校验位 P 的编码方程为 $P=A \oplus B \oplus C$ 。

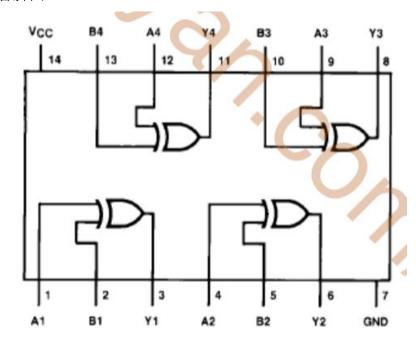
接收端对码字进行检测,检测位的编码方程为 $E=A\oplus B\oplus C\oplus P$, E=0,表示传输无错; E=1,表示有错,需要重发。

3. 全加器

全加器英语名称为 full-adder,是用门电路实现两个二进制数相加并求出和的组合线路,称为一位全加器。一位全加器可以处理低位进位,并输出本位加法进位。多个一位全加器进行级联可以得到多位全加器。常用二进制四位全加器 74LS283。

4. 异或门 74LS86

管脚图:



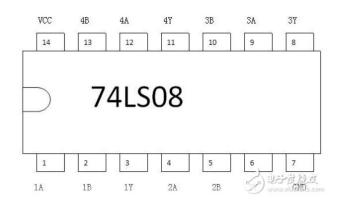
真值表:

Inputs		Outputs	
Α	В	Υ	
L	L	L	
L	Н	Н	
Н	L	Н	
Н	Н	L	

 $Y=A \oplus B=\overline{A}B + A\overline{B}$

5. 与门 74LS08

管脚图:

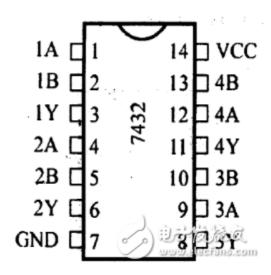


真值表:

Inp	uts	Output
Α	В	Y
L	L	L
L	Н	L
Н	L /	人自己有為意
Н	н °	www.slasfano.su

6. 或门 74LS32

管脚图:



真值表:

Y = A + B

Inputs		Output
Α	A B	
L	L	L
L	Н	Н
Н	L	Н
Н	Н	Н

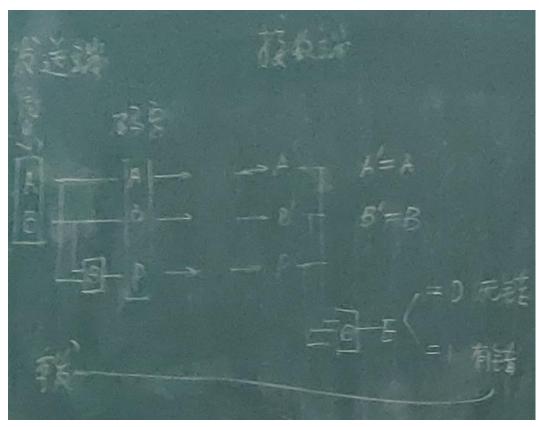
三、实验仪器

实验箱、异或门 74LS86、与门 74LS08 和或门 74LS32、导线若干。

四、实验内容

1. 设计一个 3 位信息码奇偶校验码产生电路及其校验位产生电路,调试验证其结果。检测位不做。(异或门选用 CD4030 或 74LS86)

电路图:



连接电路图:

(不好意思, 当时做出来忘拍了 XD)

我们选用的是 CD4030 芯片,在其中两个输入端经过异或门输出之后再和另一位输入进入另外一个异或门,得到的输出即为校验位。

2. 首先,设计一位全加器,设计过程,画出逻辑电路。然后,给出电路图。 真值表:

Ai	Bi	Ci-1	Si	Ci
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

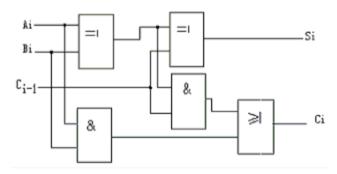
其中,输入部分 Ai 为被加数, Bi 为加数, 相邻低位来的进位数为 Ci-1, 输出本位和为 Si。向相邻高位进位数为 Ci。

根据真值表得到公式:

 $Si=Ai \oplus Bi \oplus Ci-1$

Ci=Ci-1(Ai⊕Bi)+AiBi

最后根据公式得到连接电路图:



3. 分析教材第 32 页图 3-1 菊花链电路原理,列出真值表。 真值表:

/I1	/12	/13	l1'	12'	I3'
0	х	X	1	0	0
1	0	х	0	1	0
1	1	0	0	0	1
1	1	1	0	0	0

l1'	12'	13'	A1	A0
1	0	0	0	1
0	1	0	1	0
0	0	1	1	1
0	0	0	0	0

由第二张真值表, 画出卡诺图, 可以得到 A1 和 A0 对应的公式:

A1:

12, 13,	00	01	10	11
II'				
0	0	1	1	X
1	0	x(1)	x(1)	X

A0:

12'13'	00	01	10	11
II'				
0	0	1	0	x(0)
1	1	x(1)	X	X

所以 A1 表达式为: A1 = I2'+I3' + /I2I3 + I2/I3
A2 表达式为: A2 = I1'/I2' + /I2'I3 + I1' + /I2' + /I1'/I2'/I3'
根据表达式可以画出电路图。