



# 兰州大学信息科学与工程学院实验报告

学生姓名: Hollow Man

年级专业: 2018 级计算机基地班

指导老师: 靳天玉

实验课程: 数字逻辑实验

实验题目: D 触发器和累加器

## 一、实验目的

1. 掌握 D 触发器 74LS175 的引脚排列及功能。

## 二、实验原理

### 1. D 触发器

D 触发器是一个具有记忆功能的，具有两个稳定状态的信息存储器件，是构成多种时序电路的最基本逻辑单元，也是数字逻辑电路中一种重要的单元电路。

因此，D 触发器在数字系统和计算机中有着广泛的应用。触发器具有两个稳定状态，即"0"和"1"，在一定的外界信号作用下，可以从一个稳定状态翻转到另一个稳定状态。

D 触发器有集成触发器和门电路组成的触发器。触发方式有电平触发和边沿触发两种，前者在 CP(时钟脉冲)=1 时即可触发，后者多在 CP 的前沿（正跳变 0→1）触发。

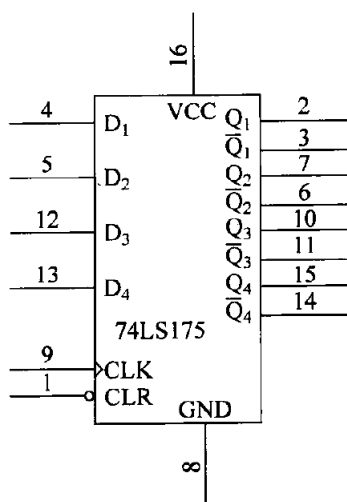
D 触发器的次态取决于触发前 D 端的状态，即次态=D。因此，它具有置 0、置 1 两种功能。

对于边沿 D 触发器，由于在 CP=1 期间电路具有维持阻塞作用，所以在 CP=1 期间，D 端的数据状态变化，不会影响触发器的输出状态。

D 触发器应用很广，可用做数字信号的寄存，移位寄存，分频和波形发生器等等。

### 2. 74LS175

74LS175 为 4D 上升沿触发器，其引脚排列如下：



功能表：

输入						输出			
$R_D$	$CP$	$1D$	$2D$	$3D$	$4D$	$1Q$	$2Q$	$3Q$	$4Q$
L	×	×	×	×	×	L	L	L	L
H	↑	$1D$	$2D$	$3D$	$4D$	$1D$	$2D$	$3D$	$4D$
H	H	×	×	×	×	保持			
H	L	×	×	×	×				

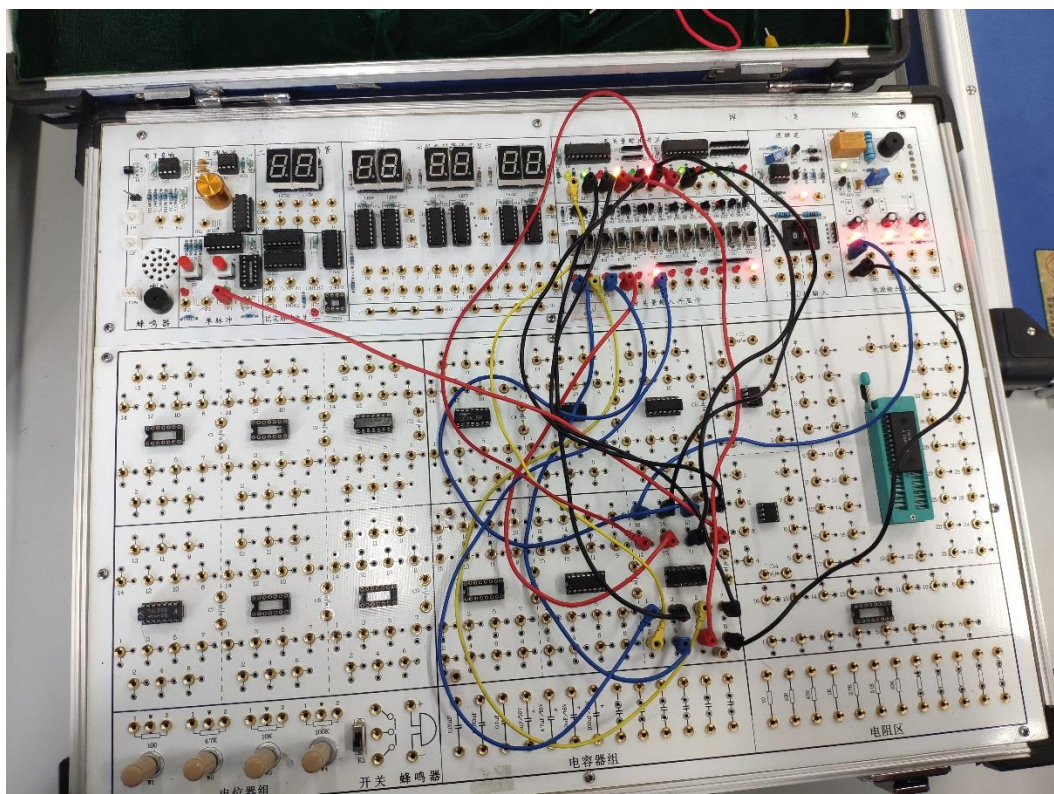
### 三、实验器件

ALU 74LS181、4D 上升沿触发器 74LS175、实验箱、若干导线。

### 四、实验内容

1. 静态测试 D 触发器 74LS175 的功能。

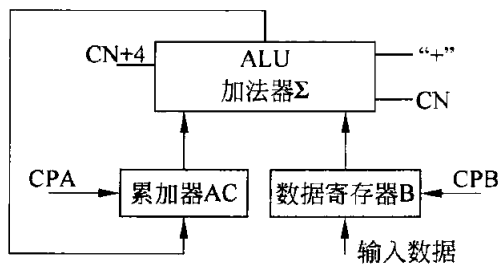
连接电路：



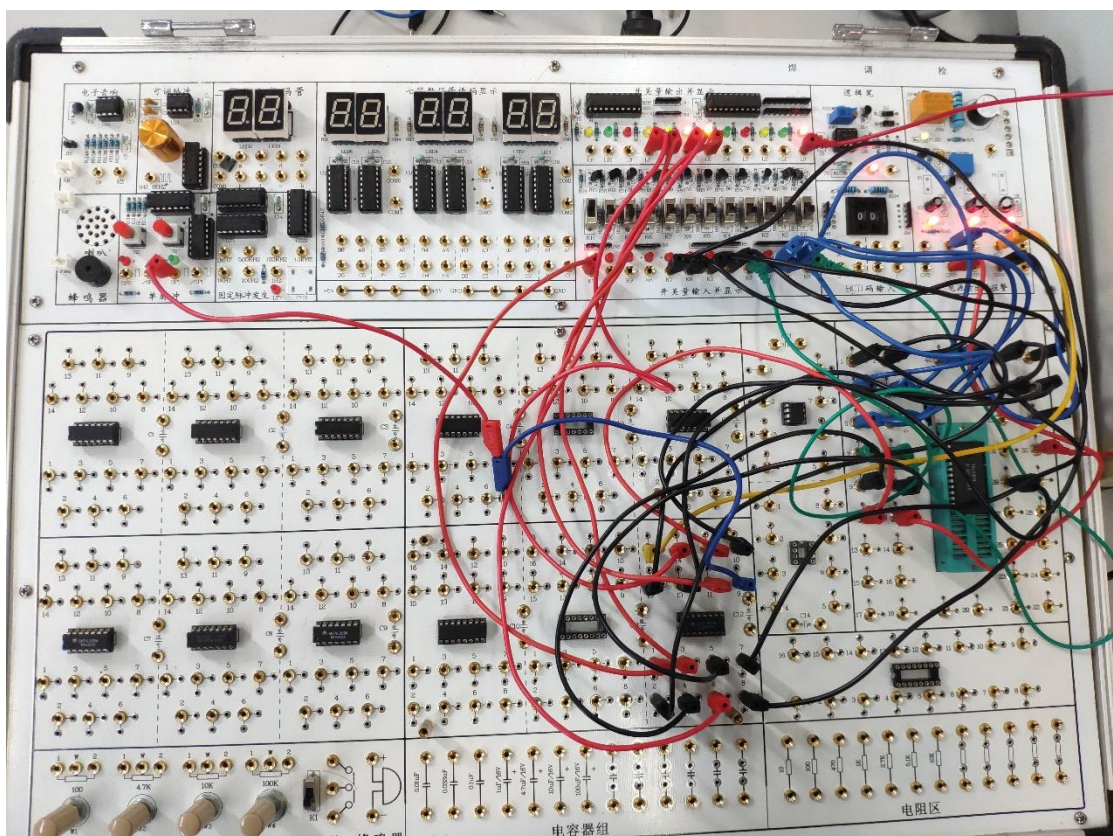
将 CLR 置为高电平，按下单脉冲发生器，输入端 D1-D4 即被输出到 Q1-Q3。将 CLR 置为低电平，输出即被清空，Q1-Q3 都为 0。

## 2. 静态测试 D 触发器 74LS175 的功能。

按下图设计一个 4 位加法器，要求累加器 AC 和数据寄存器 B 用 74LS175。ALU 的输出（包括进位输出）和 AC 输出由 LED 指示，输入的数据用置数开关模拟，寄存器的打入脉冲用手动单脉冲发生器。



连接电路图：



输入数据置为 1，则每次手动打入脉冲后都可看到输出加 1。