

## 一、选择题 (每小题 1 分, 共 15 分)

- 相联存储器是按\_\_\_\_\_进行寻址的存储器。  
A 地址方式      B 堆栈方式      C 内容指定方式      D 地址方式与堆栈方式
- 采用虚拟存储器的主要目的是\_\_\_\_\_。  
A. 提高主存储器的存取速度  
B. 扩大主存储器的存储空间, 并能进行自动管理和调度  
C. 提高外存储器的存取速度      D. 扩大外存储器的存储空间
- 描述 PCI 总线中基本概念不正确的句子是\_\_\_\_\_。  
A HOST 总线不仅连接主存, 还可以连接多个 CPU  
B PCI 总线体系中有三种桥, 它们都是 PCI 设备  
C 以桥连接实现的 PCI 总线结构不允许许多条总线并行工作  
D 桥的作用可使所有的存取都按 CPU 的需要出现在总线
- 冯·诺依曼机工作的基本方式的特点是\_\_\_\_\_。  
A 多指令流单数据流      B 按地址访问并顺序执行指令  
C 堆栈操作      D 存储器按内容选择地址
- 主存储器和 CPU 之间增加 cache 的目的是\_\_\_\_\_。  
A 解决 CPU 和主存之间的速度匹配问题  
B 扩大主存储器容量      C 扩大 CPU 中通用寄存器的数量  
D 既扩大主存储器容量, 又扩大 CPU 中通用寄存器的数量
- 双端口存储器在\_\_\_\_\_情况下会发生读/写冲突。  
A. 左端口与右端口的地址码不同      B. 左端口与右端口的地址码相同  
C. 左端口与右端口的数据码不同      D. 左端口与右端口的数据码相同
- 操作控制器的功能是\_\_\_\_\_。  
A. 产生时序信号      B. 从主存取出一条指令      C. 完成指令操作的译码  
D. 从主存取出指令, 完成指令操作码译码, 并产生有关的操作控制信号, 以解释执行该指令
- 设相对寻址的转移指令占两个字节, 第一个字节是操作码, 第二个字节是相对位移量, 每当 CPU 从存储器取出第一个字节时, 即自动完成  $(PC) + 1 \rightarrow PC$ 。设当前 PC 的内容为 2003H, 要求转移到 200AH 地址, 则该转移指令第二字节的内容为 ( )。  
A. 05H      B. 06H      C. 07H      D. 08H
- 在下面描述的 RISC 指令系统基本概念中不正确的是 ( )。  
A. 选取使用频率低的一些复杂指令, 指令条数多  
B. 指令长度固定      C. 指令格式种类少  
D. 只有取数/存数指令访问存储器
- 采用串行接口进行 7 位 ASCII 码传送, 带有 1 位奇偶校验位, 1 位起始位和 1 位停止位, 当波特率为 9600 波特时, 字符传送速率为 ( )。  
A. 960      B. 873      C. 1371      D. 480
- 定点 16 位字长的字, 采用 2 的补码形式表示时, 一个字所能表示的整数范围是 ( )。  
A.  $-2^{15} \sim +(2^{15}-1)$       B.  $-(2^{15}-1) \sim +(2^{15}-1)$   
C.  $+(2^{15}+1) \sim +2^{15}$       D.  $-2^{15} \sim +2^{15}$
- 在定点数运算中产生溢出的原因是 ( )。  
A. 运算过程中最高位产生了进位或借位  
B. 参加运算的操作数超出了机器的表示范围

- C. 运算结果的操作数超出了机器的表示范围  
D. 机器的位数太少，不得不舍弃最低有效位
13. 加法器采用先行进位的目的是（ ）。
- A. 提高加法器的速度      B. 快速传递借位信号  
C. 优化加法器结构      D. 增强加法器功能
14. 某 DRAM 芯片，其存储容量为  $1024k \times 8$  位，该芯片的地址线 and 数据线数目为（ ）。
- A. 10, 8      B. 1024, 8      C. 20, 8      D. 19, 8
15. 同步控制是（ ）。
- A. 只适用于 CPU 控制的方式    B. 只适用于外围设备控制的方式  
C. 由统一时序信号控制的方式    D. 所有指令执行时间都相同的方式

## 二、填空题（每小题 3 分，共 15 分）

1. CPU 从 A. \_\_\_\_\_ 取出一条指令并执行这条指令的时间和称为 B. \_\_\_\_\_. 由于各种指令的操作功能不同，各种指令的指令周期是 C. \_\_\_\_\_。
2. 存储器的技术指标有 A. \_\_\_\_\_，B. \_\_\_\_\_，C. \_\_\_\_\_，和存储器带宽。
3. CPU 周期也称为 A. \_\_\_\_\_；一个 CPU 周期包含若干个 B. \_\_\_\_\_. 任何一条指令的指令周期至少需要 C. \_\_\_\_\_ 个 CPU 周期。
4. CPU 中，保存当前正在执行的指令的寄存器为 A. \_\_\_\_\_，保存当前正在执行的指令的地址的寄存器为 B. \_\_\_\_\_，保存 CPU 访存地址的寄存器为 C. \_\_\_\_\_。
5. PCI 总线采用 A. \_\_\_\_\_ 协议和 B. \_\_\_\_\_ 仲裁策略，具有 C. \_\_\_\_\_ 能力，适合于低成本的小系统，在微型机系统中得到了广泛的应用。

三、（10 分）已知： $x = 0.1011$ ， $y = -0.0101$ ，求： $[\frac{1}{2}x]_{补}$ ， $[\frac{1}{4}x]_{补}$ ， $[-x]_{补}$ ， $[\frac{1}{2}y]_{补}$ ， $[\frac{1}{4}y]_{补}$ ， $[-y]_{补}$ ， $x + y = ?$ ， $x - y = ?$

四、（10 分）已知  $x = -0.1001$ ， $y = -0.1011$ ，用原码加减交替法计算  $[x/y]_{原} = ?$

五、简答题（共 10 分，每小题 5 分）

1. 集中式仲裁总线的裁决方式共有哪几种？总线的哪种裁决方式速度最高？

2. 简述磁表面存储器的读写操作原理。

六、（10 分）某计算机有 8 条微指令  $I_1$ — $I_8$ ，每条微指令所包含的微命令控制信号见下表所示，a—f 分别对应 6 种不同性质的微命令信号。假设一条微指令的控制字段仅限 4 位，请安排微指令的控制字段格式。

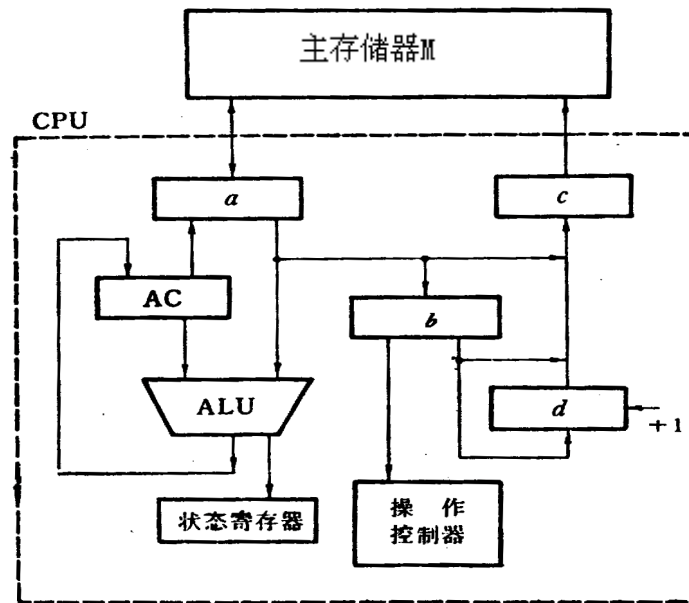
微指令	指令微命令信号					
	a	b	c	d	e	f
$I_1$	√					
$I_2$	√					
$I_3$		√	√			
$I_4$		√				
$I_5$			√	√		
$I_6$				√	√	
$I_7$					√	√
$I_8$						√

七、（15 分）已知某 8 位机的主存采用半导体存储器，地址码为 18 位，若使用  $4K \times 4$  位 RAM 芯片组成该机所允许的最大主存空间，并选用模块条的形式，问：

- (1) 若每个模块为  $32K \times 8$  位，共需几个模块条？
- (2) 每个模块内共有多少片 RAM 芯片？
- (3) 主存共需多少 RAM 芯片？CPU 如何选择各模块条？

八、(15 分) CPU 结构如图所示，其中有一个累加寄存器 AC，一个状态条件寄存器，各部分之间的连线表示数据通路，箭头表示信息传送方向。

- (1) 标明图中四个寄存器的名称。
- (2) 简述指令从主存取到控制器的数据通路。
- (3) 简述数据在运算器和主存之间进行存 / 取访问的数据通路。



→ C B C B A B D ~~AA~~ A A A C ~~B~~  
C C

1. ~~IR~~ IR 指令周期 不同的

2. 存取时间 存储周期 存储容量

3. 机器周期 时钟周期 = 4

4. IR ~~PC~~ PC AR

5. 同步定时 集中式 自动配置

三.  $[\frac{1}{2}x]_{补} = 001011$   $[\frac{1}{4}x]_{补} = 0.001011$

$[x]_{补} = 1.0101$   $[\frac{1}{2}y]_{补} = 1.1101$

$[\frac{1}{4}y]_{补} = 1.111011$   $[y]_{补} = 0.0101$

$x+y = 0.0110$

$x-y = 0.0000$

1.2

~~$[x]_{补} = 0.1011$   $[y]_{补} = 1.10101$~~

✱

00.1001	
11.0101	
-----	
11.1110	
← 11.1100	0
00.1011	
-----	
00.0111	
← 00.1110	0.1
11.0101	
-----	
00.0011	
← 00.0110	

00.0110	
11.0101	
-----	
11.1011	
← 11.0110	0.110
00.1011	
-----	
00.0001	0.1101

∴  $x/y = 0.1101$   
余数 = 0.00000001

五 ① 1. 链式查询方式

2. 计数器定时查询方式

3. 独立请求方式

独立式请求速度最快

② ~~利用磁头读写~~

写：利用磁头使盘片发生不同程度

磁化，当写线圈中通入一定方向脉冲电流，铁芯中产生磁通，载体被磁化

为相应极性磁化元，<sup>磁</sup>一个磁化元存储一个二进制位

读：磁头经过磁元时，磁化元通过磁头形成闭合回路，不同极性磁化元在铁芯中方向不同，当磁头对载体相对运动时，由于磁头铁芯磁通变化，使读出线圈感应出相应电动势

六.

2位	c	e
00	a	
01	b	
10	d	
11	f	

由图可知 (a, b, d, f) 可组成 ~~一个~~ 一个字节进行译码. c, e 单独控制 一共 4 位

七.

1) 地址码 18 位, 8 位机 所以最大主存空间

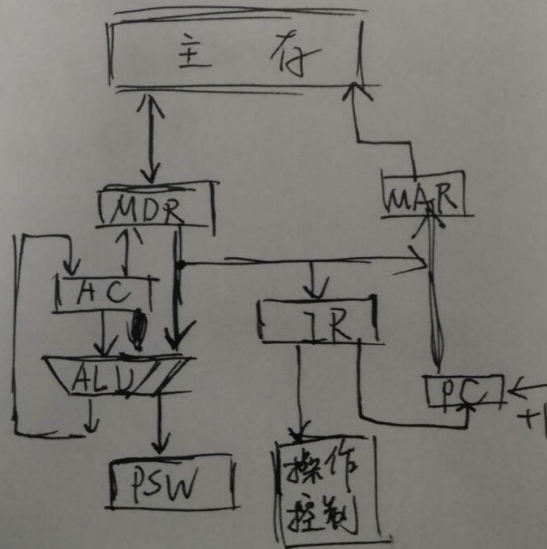
$(256 \times 8) \text{KB}$ , 所以需用  $(256 \times 8) / (32 \times 8) = 8$  模块

2)  $4\text{K} \times 4$  位 SRAM, 构成  $32\text{K} \times 8$  位模块条, 需  $(32 \times 8) / (4 \times 4) = 16$  即 8 组 SRAM, ~~每~~ 条.

(3) 需  $16 \times 8 = 128$  个 RAM 芯片.

一共 8 个模块, 需要 3 条地址线译码

八. (1).



→

(2)  $M \rightarrow IR \rightarrow \text{控制器}$

(3) 存:  $AC \rightarrow MDR \rightarrow M$

取:  $M \rightarrow MDR \rightarrow ALU \rightarrow AC$