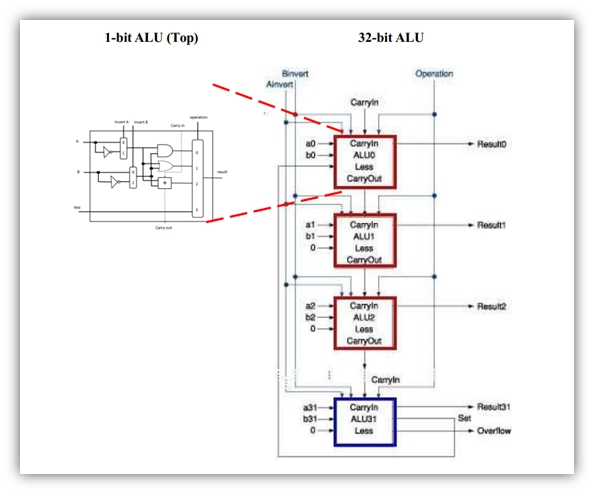
**Computer Organization**

**Lab 1: 32-bit ALU**

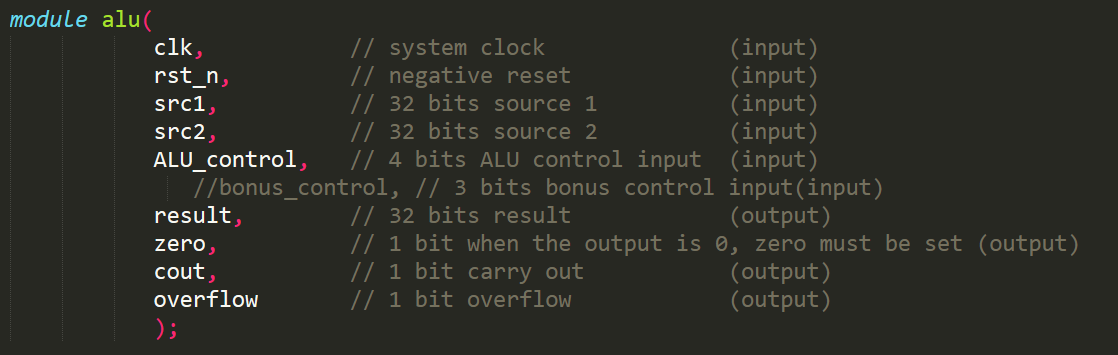
**0516205 鍾禾翊 0516228 石孟杰**

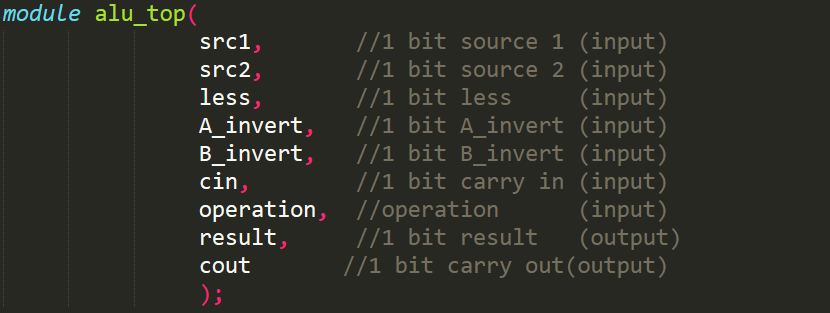
**Architecture diagrams:**

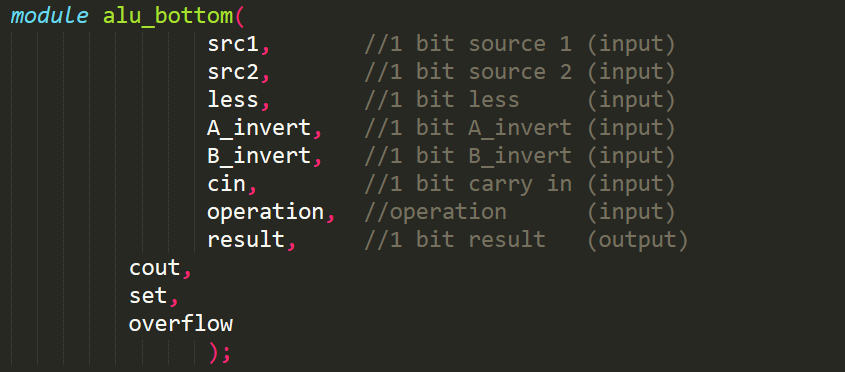
****

**由31個alu\_top、1個ALU\_bottom組合而成的32-bit ALU**

**Hardware module analysis:**

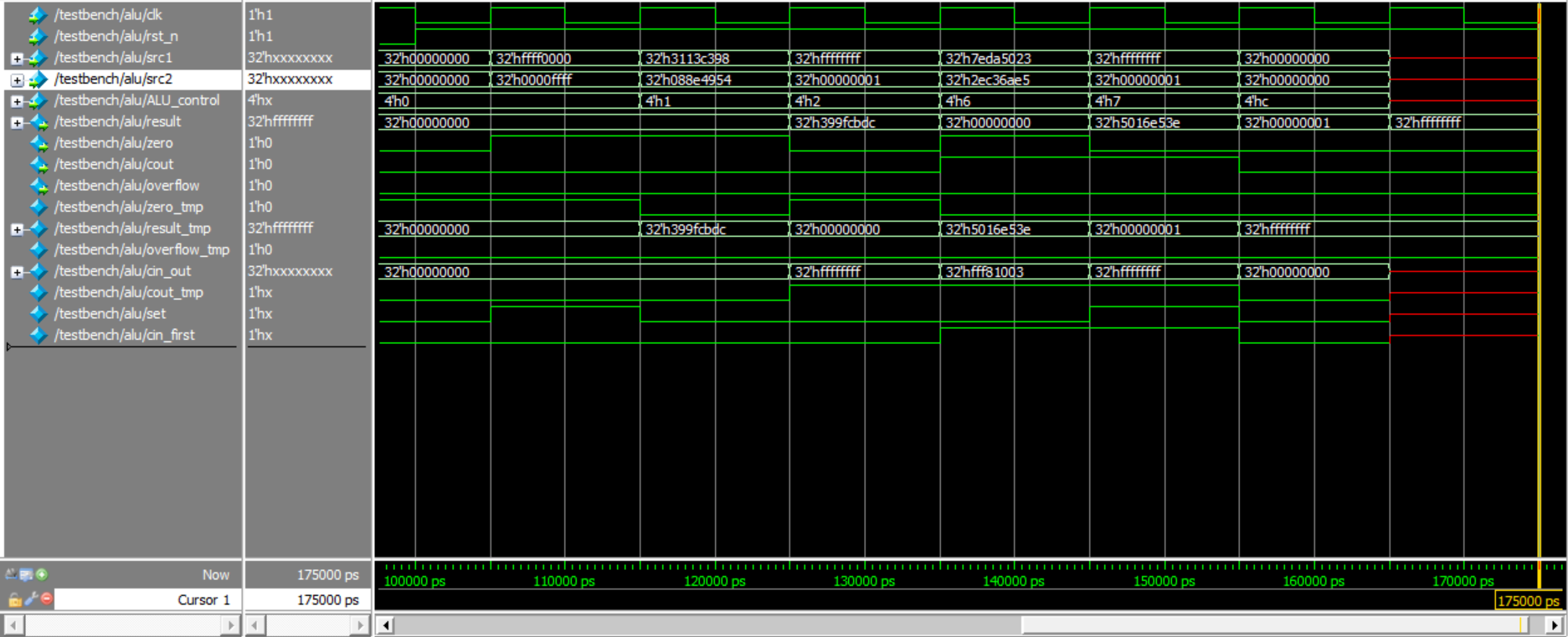
****

****

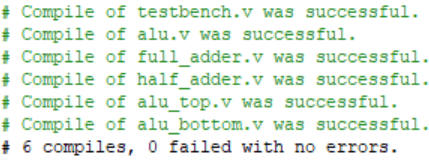
****

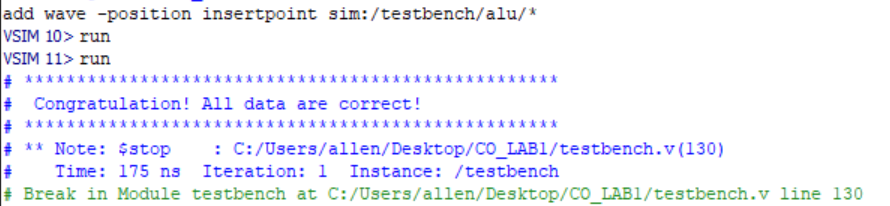
**alu\_bottom為最後一個bit的alu(MSB)，相較於alu\_top多了set和overflow。set為判斷slt所須的output，連接到第一個bit的alu當作input less。overflow則是判斷有無overflow的情形。**

**Experiment result:**

****

**波形圖從rst\_n = 1時開始**

****

****

**Problems you met and solutions:**

**之前在數位電路設計時只碰過一點Verilog，所以lab1寫的時候花了比較多的時間。大部分遇到的問題是一些語法上的不熟悉。還有一開始使用的modelsim，是沒有驗證過的版本，有錯誤的時候只會噴Error loading，並不會顯示錯誤的點，所以Debug花了一段時間。**

**Summary:**

**這次寫的ALU功能有and、or、add、sub、nor、slt，功能都不算太難，但可以讓我們了解到了HDL的一些開發的想法與模式，算是熟悉了一點硬體語言的寫法。**