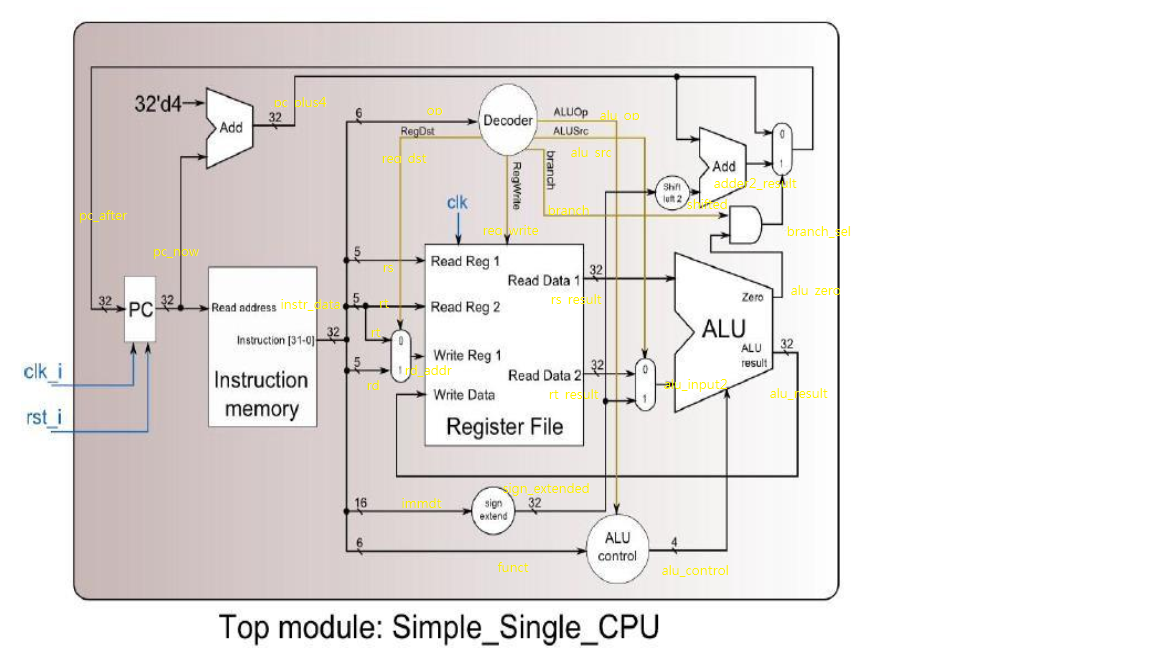
**Computer Organization Lab2**

**0516205、0516228**

**Architecture diagrams:**

****

黃字為Simple\_Single\_CPU.v使用的變數名稱。

**Hardware module analysis:**

PC: 指令執行位址

Adder-1: 將PC+4

Instruction memory: 讀進PC，輸出指令的各個部分

Decoder: 讀進instruction的OP，輸出control控制各元件的行為

Sign Extend: I-format的immediate或address做16轉32bit的sign extension

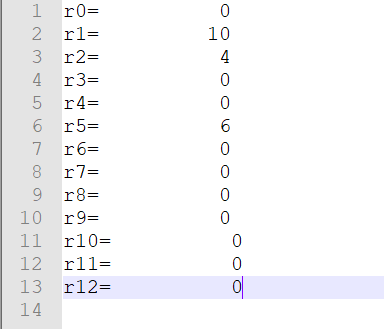
ALU control: 讀進instruction的funct和Decoder的control，輸出決定ALU的行為

ALU: 根據ALU control的輸出決定要對register來的input做的運算

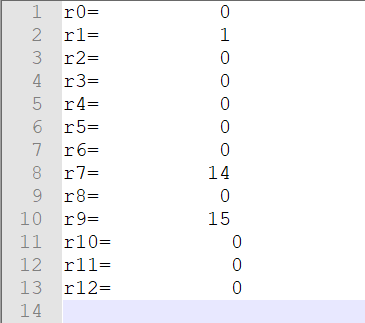
Shift Left: 將sign extend的output shift 2 bits(乘以二)

**Finished part:**

CO\_P2\_test\_data1.txt

****

CO\_P2\_test\_data2.txt

****

**Problems you met and solutions:**

　　對特定bit指定不同的值一開始不知道怎麼處理，例如R-format的32bit要分別指定op、rs、rt、rd、shamt和funct。後來上網查才知道可以利用大括號來分別指定。

**Summary:**

這次lab2寫的Simple\_Single\_CPU，把各個module的功能都分寫好，再接成一個小小的CPU，讓我們更加熟悉了硬體語言彼此的關係，算是更熟悉了verilog的語法，也對CPU設計有更進一步的了解。