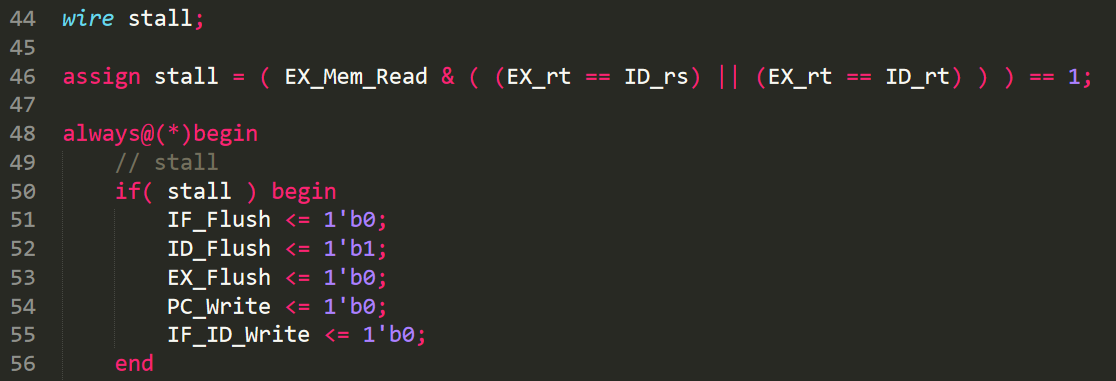
**Computer Organization Lab5**

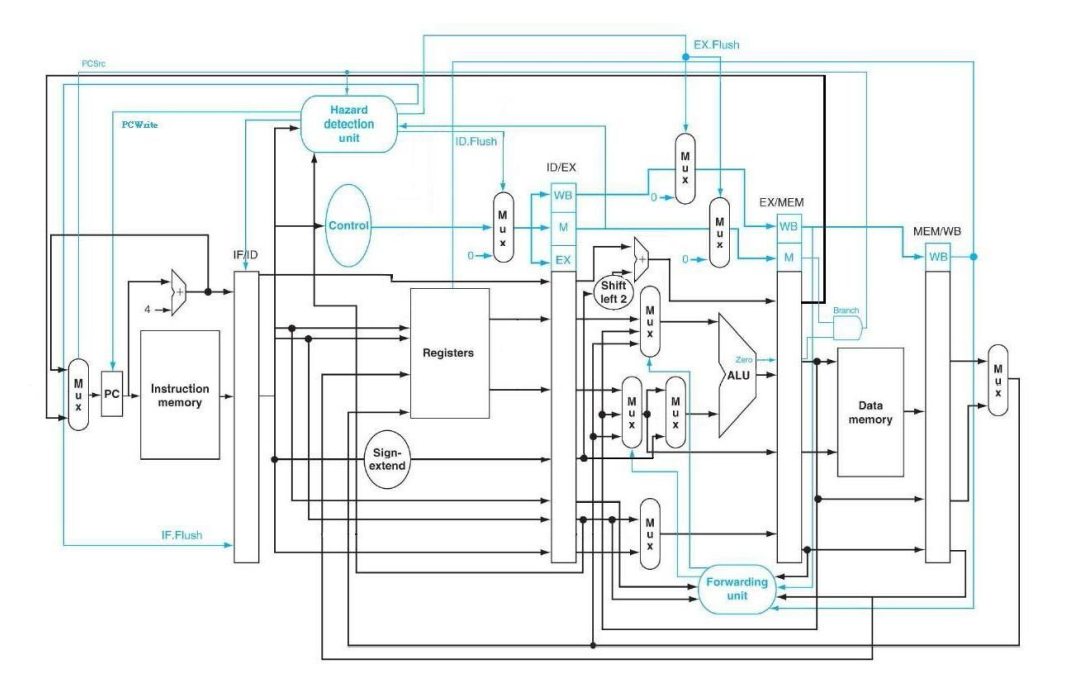
**0516205 0516228**

**1. Source code and the note**

****

這次比較重要就是加上這個hazard detection，主要就是上面判斷是否stall，如果有hazard發生就，在相對應的pipline做flush的動作。

**2. Your architecture**

****

**3. Hardware module analysis**

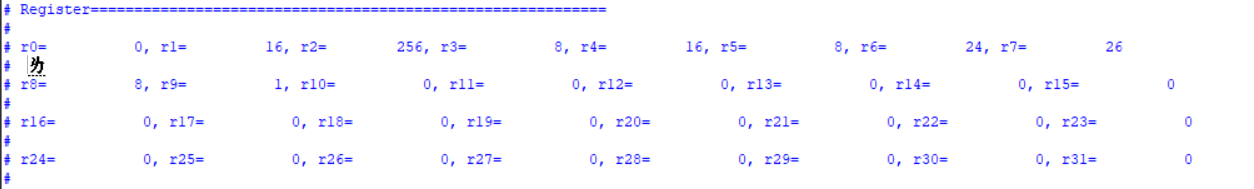
主要修改這三個module

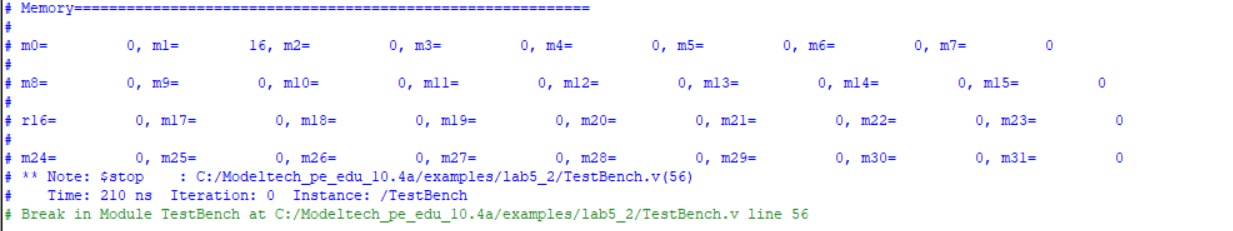
Forwarding\_Unit就是在hazard發生時，把已經算好的值直接送到相對應的mux。

Hazard\_Detection判斷是否有hazard的衝突發生。

Pipe\_Reg 這次因為多加了stall write兩個變數，stall的時候就output 0。

**4. Finished part**

****

****

**5. Problems you met and solutions**

這次遇到的問題主要是因為加上hazard detection、fowarding unit和幾個MUX，所以在改上次的CPU的時候，有的input要重接，或是新加入的元件的input要很清楚是從哪個stage的哪條線接過來的。我們第一次寫完CPU後測試時就遇到modelsim沒有報錯，結果卻很奇怪，後來找很久才發現是該重接的線沒有重接，還是上次相同的input，所導致的錯誤。最後是去看波形圖找哪條線的值不對，才完成debug。

**6. Division of this work (If you are two members as a team.)**

都是一起進行討論跟debug。

**7. Summary**

這次作業完成了data hazard跟forwarding的部分，但是因為接近期中考，時間沒有很多，沒有辦法把bonus的部分完成，只有基本的功能而已。