# Logické funkce – impulsové vyjádření základních kombinačních funkcí

## Úkol měření

1. V rámci domácí přípravy si zopakujte základní principy číslicové techniky, základní logické funkce. Věnujte pozornost zejména Booleově algebře, dále De Morganovým zákonům.
2. Pomocí logických funkcí NOR a NAND navrhněte (v rámci domácí přípravy) zapojení základních logických funkcí OR, NOR, AND, NAND a NOT.
3. Navrhněte (v rámci domácí přípravy) logickou funkci zabezpečovacího zařízení pro hlídání dveří a okna objektu. Je-li zařízení zapnuto, dojde při otevření okna nebo dveří - případně současného otevření obojího - k poplachu.
4. Navrhněte (v rámci domácí přípravy) logickou funkci signalizace provozu trojice ventilátorů v dopravním tunelu. K vyhlášení poplachu má dojít tehdy, pokud jsou v provozu méně než 2 ventilátory.
5. Navrhněte (v rámci domácí přípravy) logické funkce pro signalizaci chodů trojice strojů v dílně podle níže uvedených podmínek (viz dále v protokolu).
6. Ověřte měřením na stavebnici Dominoputer základní kombinační funkce členů AND, NAND, OR, NOR, NOT, XOR, XNOR.
7. Sestavte pravdivostní tabulky funkcí a srovnejte je s impulsním vyjádřením.
8. Pomocí logických funkcí NOR a NAND realizujte navržená zapojení základních logických funkcí OR, NOR, AND, NAND a NOT, ověřte jejich funkci podle pravdivostní tabulky.
9. Realizujte navrženou logickou funkci zabezpečovacího zařízení pro hlídání dveří a okna objektu, ověřte funkci.
10. Realizujte logickou funkci signalizace provozu trojice ventilátorů v dopravním tunelu, ověřte funkci.
11. Realizujte logické funkce pro signalizaci chodů trojice strojů v dílně, ověřte funkci navržených struktur.
12. Proveďte zhodnocení a závěr měření.
13. Do poznámek v závěru protokolu zpracujte výtah z katalogového listu integrovaného obvodu realizujícího každou ze zmíněných elementárních logických funkcí.

## Obecná část

Pro úvodní výklad se někdy používá ještě starší platforma kontaktní logiky. Její výhodou je názornost, nevýhodou je složitá realizace složitějších logických funkcí, než je logický součet, součin nebo negace.

Pro realizaci složitějších logických funkcí můžeme využít například integrovanou logiku (způsob realizace závisí na požadavcích: obvody CMOS mají minimální spotřebu, obvody TTL jsou méně náchylné k poškození). Základní funkce jsou realizovány v jednotlivých integrovaných obvodech vždy v několika exemplářích (dvouvstupová hradla po čtyřech, třívstupová po třech a čtyřvstupová po dvou, aby byly využity vývody z pouzdra integrovaného obvodu – typicky 14 vývodů).

V dnešní době se hojně využívají pro realizaci logických funkcí mikroprocesory, programovatelné automaty, případně programovatelná pole. Princip návrhu logické funkce se však nemění, neboť na počátku realizace stojí stále tentýž úkol: Slovní zadání (např. od zákazníka), které je často neurčitě mlhavé, převést do jednoznačné a technicky realizovatelné formy. Jednotlivé platformy sice ovlivňují způsob návrhu, ale až ve stadiu definitivního přiřazení k řešenému problému.

### Postup návrhu logické funkce

1. Zjištění nutného počtu vstupů a výstupů ze zadání, jejich pojmenování.
2. Nalezení logických funkcí svazující jednotlivé výstupy s příslušnými vstupy (formou pravdivostní tabulky apod.).
3. Výpis jednotlivých logických funkcí a jejich zjednodušení (pro zjednodušení můžeme použít zákony Booleovy algebry, De Morganovy zákony, případně Karnaughovy (nebo méně často Svobodovy) mapy apod.
4. Výstupem z těchto operací může být matematicky nejjednodušší funkce, ta ale v některých platformách nemusí být nejlevnější realizací daného funkčního bloku splňující zadání. Další úpravy jsou již tedy závislé na platformě, s níž hodláme funkční blok realizovat.
5. Do závěrečných poznámek zpracujte stručný výtah z katalogových listů všech integrovaných obvodů, které byly v úloze použity.

### Základní logické funkce

Mezi základní logické funkce patří:

* jednovstupová funkce:
  + negace

Rovnice 1

* vícevstupové funkce:
  + logický součin

Rovnice 2

* + logický součet

Rovnice 3

* + exkluzivní logický součet

Rovnice 4

* + negovaný logický součin

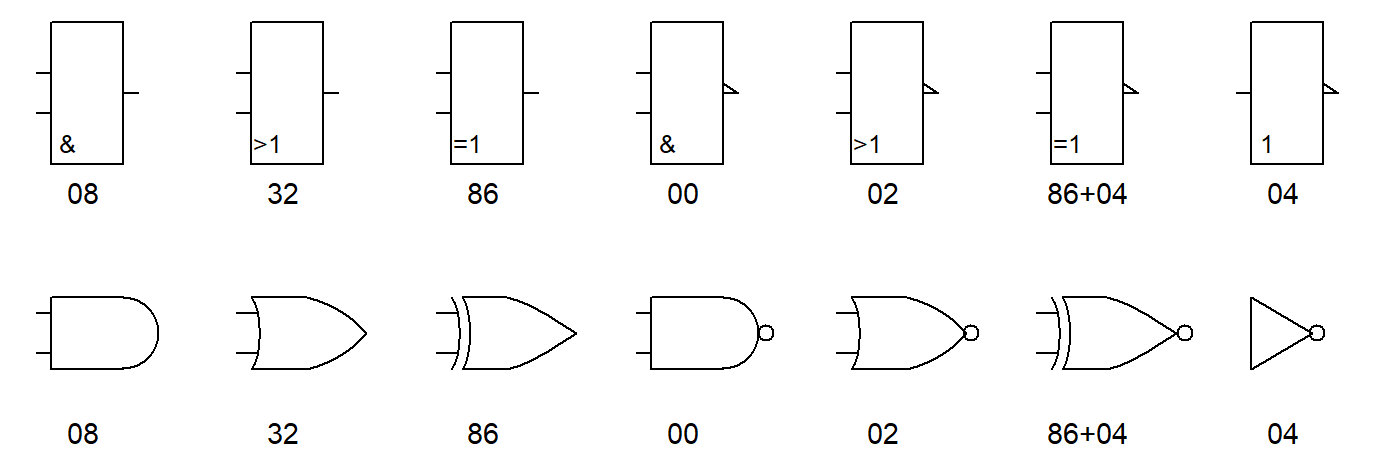
Rovnice 5

* + negovaný logický součet

Rovnice 6

* + negovaný exkluzivní logický součet

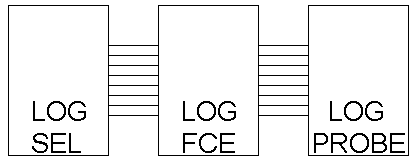
Rovnice 7



Obrázek 1: Schématické značky pro základní logické funkce

Výše uvedené schématické značky znázorňují dvouvstupová hradla (s výjimkou funkce NOT, která je unární) realizují tedy binární funkce s logickými proměnnými A a B. Pod značkou je pak uvedeno dvojčíslí symbolizující část názvu integrovaného obvodu z logiky TTL řady MHxxxx ve všech jejích provedeních.

## Schéma zapojení



Obrázek 2: Obecné schéma laboratorních úloh z číslicové techniky s použitím stavebnice Dominoputer

Část dalších úloh (vycházejících z číslicové techniky) bude využívat tohoto schématu: Jako zdroj logického signálu bude v některých případech sloužit modul „Logic Selector“ ze stavebnice Dominoputer, pro detekci výstupních stavů budeme používat logickou sondu „Logic Probe“ z téže stavebnice. Mezi těmito bloky budeme pomocí dalších modulů realizovat různé logické funkce, různé kombinační a později i sekvenční obvody.

## Postup měření

### Ověření základních logických funkcí

1. Vybereme potřebné moduly a sestavíme požadované funkce dle obecného schématu.
2. V modulu Log Analyzator + Generator programu RC2000 spustíme signál ze souboru „dig vystup AB.dio“. (Vstupní signály A i B připojíme ke vstupům hradel jednotlivých typů; výstupy hradel připojíme k digitálním vstupům A/D datové jednotce)
3. Zaznamenáme grafické závislosti výstupů na vstupních signálech pro sadu funkcí, doporučuje se vypsat v grafu legendu, graf poté exportujeme všeobecně známým způsobem. (V následném zpracování protokolu pak zapracujeme legendu z grafických dat do příslušné tabulky.)
4. Impulsní vyjádření pro jednotlivé funkce srovnáváme s pravdivostní tabulkou.
5. Případné nesrovnalosti komentujeme v závěru.

### Ověření navržených logických funkcí

1. Prověříme funkčnost hradel potřebných k realizaci návrhu. Jako zdroj logických signálů používáme modul „Logic Selector“, pro detekci výstupních signálů používáme logickou sondu „Logic Probe“.
2. Sestavujeme postupně v rámci domácí přípravy vypracované návrhy řešení jednotlivých úloh a ověřujeme jejich funkci.
3. Zaznamenáváme detailně zejména nesrovnalosti mezi realizovanou a zamýšlenou funkcí. Vše potom zhodnotíme v závěru.

## Otázky

1. Co je to logický zisk hradla?
2. Srovnejte vlastnosti CMOS, ECTL (někdy také označované ECL) a TTL logiky.
3. Vypište zákony Booleovy algebry.
4. Co říkají De Morganovy zákony?
5. Co je to „hazard“ (statický, dynamický)?

## Tabulky naměřených hodnot

Tabulka 1: Pravdivostní tabulka základních logických funkcí (ověření funkce hradel)

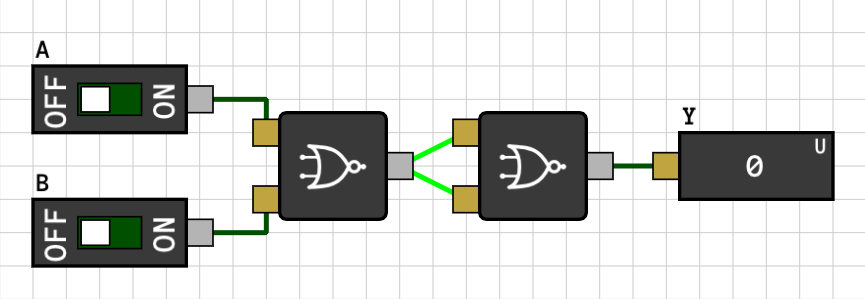
|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **A** | **B** | **AND** | **NAND** | **OR** | **NOR** | **NOT** | **XOR** | **XNOR** |
| **0** | **0** | **0** | **1** | **0** | **1** | **1** | **1** | **0** |
| **0** | **1** | **0** | **1** | **1** | **0** | **0** | **0** | **1** |
| **1** | **0** | **0** | **1** | **1** | **0** | **0** | **0** | **1** |
| **1** | **1** | **1** | **0** | **1** | **0** | **0** | **1** | **0** |

## Výpočty, návrhy a odvození

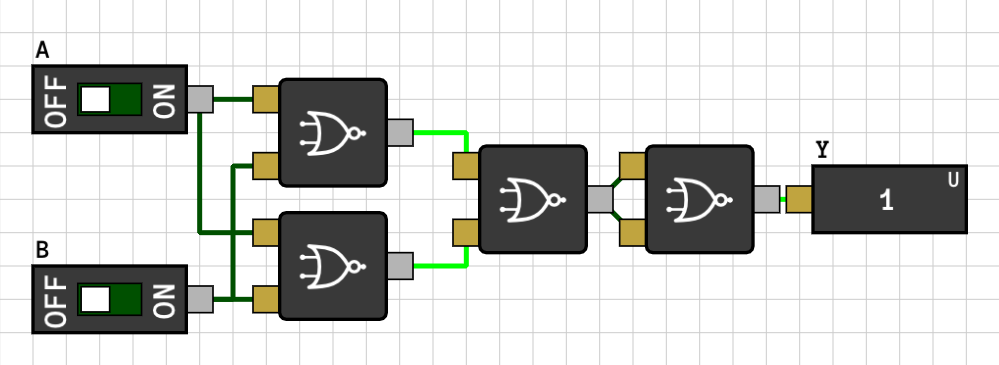
### Návrh realizace základních funkcí vybraným typem hradel

Nakreslete (narýsujte) schéma realizující základní funkce pomocí jednoho vybraného typu hradel.

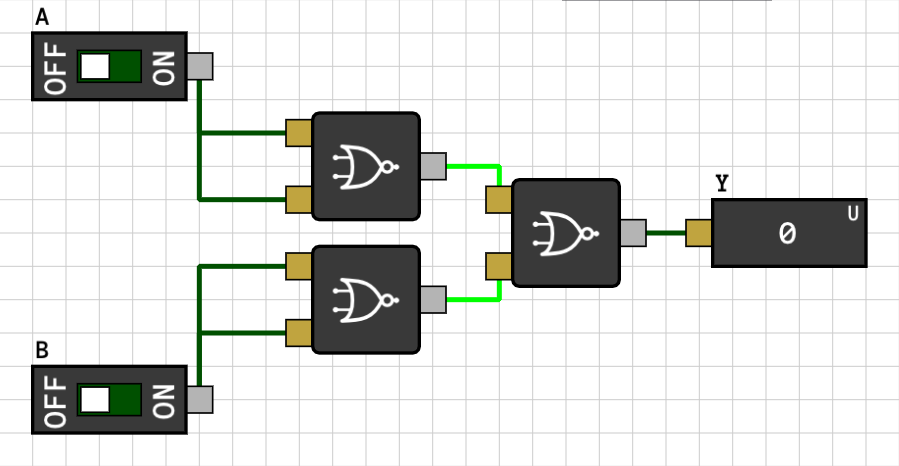
#### pomocí NOR



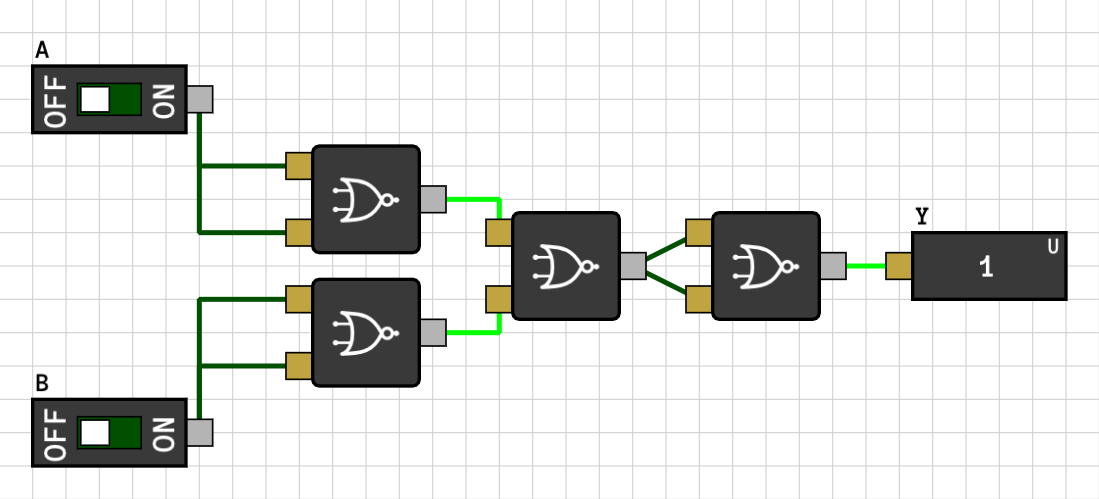
Obrázek 3: Návrh funkce OR



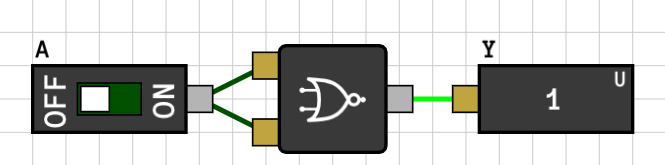
Obrázek 4: Návrh funkce NOR



Obrázek 5: Návrh funkce AND

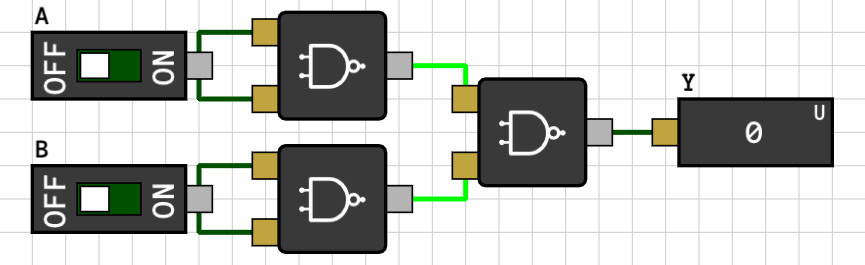


Obrázek 6: Návrh funkce NAND

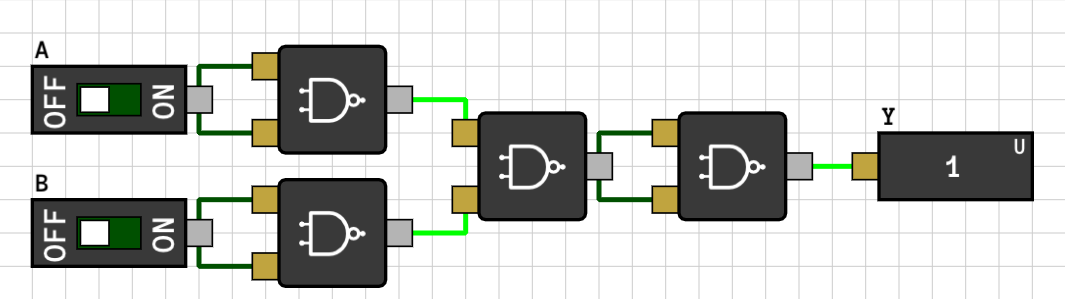


Obrázek 7: Návrh funkce NOT

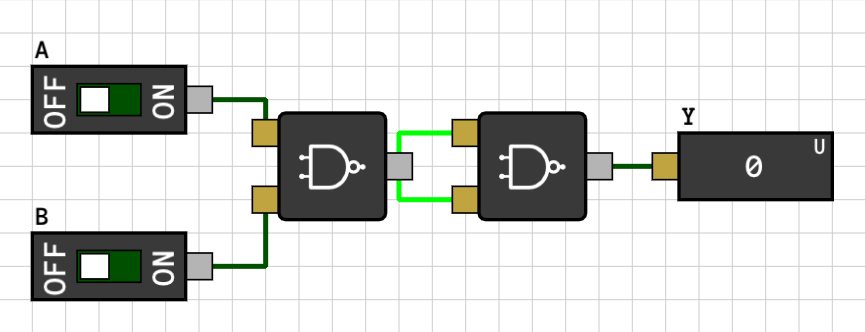
#### pomocí NAND



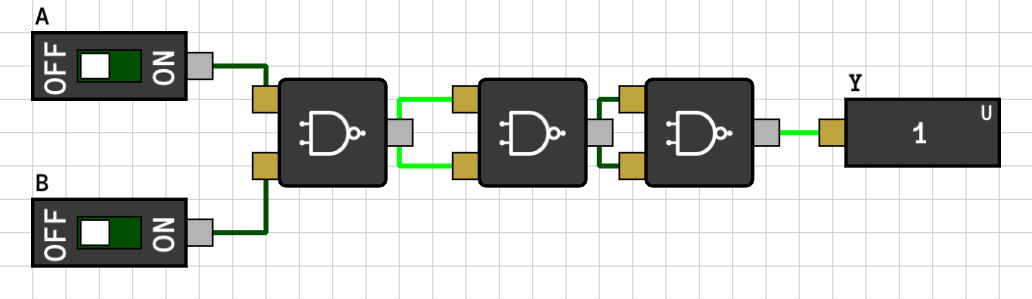
Obrázek 8: Návrh funkce OR



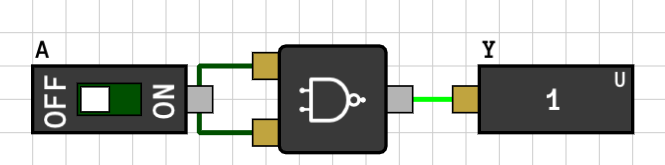
Obrázek 9: Návrh funkce NOR



Obrázek 10: Návrh funkce AND



Obrázek 11: Návrh funkce NAND



Obrázek 12: Návrh funkce NOT

### Návrh logické funkce

#### Zabezpečení objektu

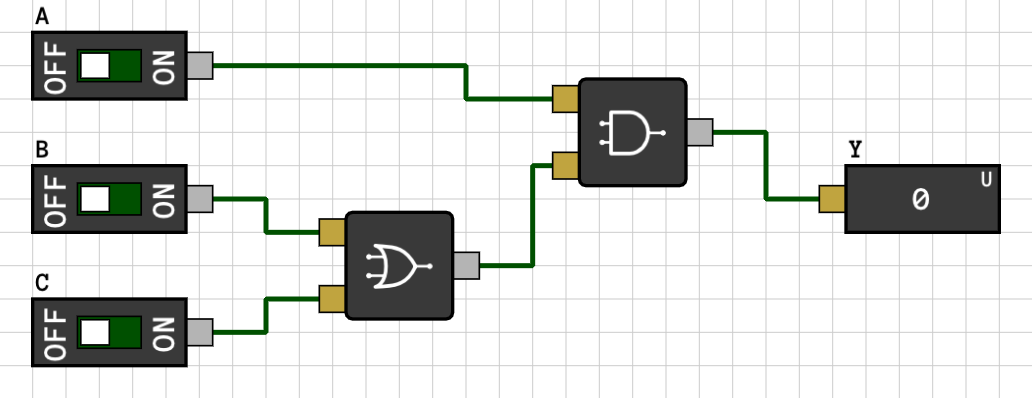
1. Specifikace a pojmenování proměnných:

Stav hlídacího systému (A) → 0 = vypnuto; 1 = zapnuto

Stav okna (B) → 0 = zavřeno; 1 = otevřeno

Stav dveří (C) → 0 = zavřeno; 1 = otevřeno

Stav poplachu (Y) → 0 = vypnuto; 1 = zapnuto

1. Sestavení logických funkcí – logické rovnice:
2. Zjednodušení sestavené funkce:
3. Zjednodušené logické funkce:
4. Návrhy jejich realizace:
5. Náklady na realizaci jednotlivých navržených řídicích struktur:

|  |  |  |
| --- | --- | --- |
| Hradlo | Ks | Cena |
| OR | 1 | 12,52 |
| AND | 1 | 10,73 |
| Celkem: | | 23,25 |

#### Ventilace tunelu

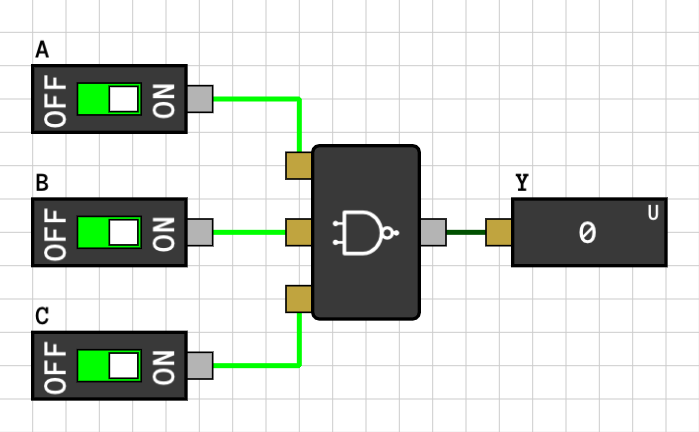
1. Specifikace a pojmenování proměnných:

Ventilátor A (A) → 0 = vypnuto; 1 = zapnuto

Ventilátor B (B) → 0 = vypnuto; 1 = zapnuto

Ventilátor C (C) → 0 = vypnuto; 1 = zapnuto

Stav poplachu (Y) → 0 = vypnuto; 1 = zapnuto

1. Sestavení logických funkcí – logické rovnice:
2. Zjednodušení sestavené funkce:
3. Zjednodušené logické funkce:
4. Návrhy jejich realizace:
5. Náklady na realizaci jednotlivých navržených řídicích struktur:

|  |  |  |
| --- | --- | --- |
| Hradlo | Ks | Cena |
| NAND | 2 | 23,92 |
| Celkem | | 23,92 |

#### Signalizace chodu trojice strojů v dílně

Specifikace a pojmenování proměnných:

Stroj A (A) → 0 = vypnuto; 1 = zapnuto

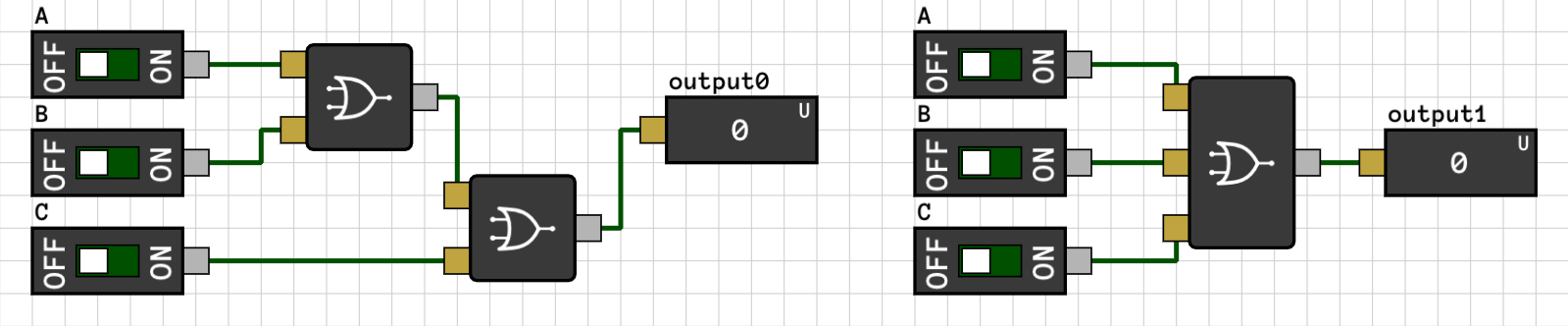
Stroj B (B) → 0 = vypnuto; 1 = zapnuto

Stroj C (C) → 0 = vypnuto; 1 = zapnuto

Světlo signalizace (Y) → 0 = vypnuto; 1 = zapnuto

Signalizace svítí, pokud je některý ze strojů v chodu.

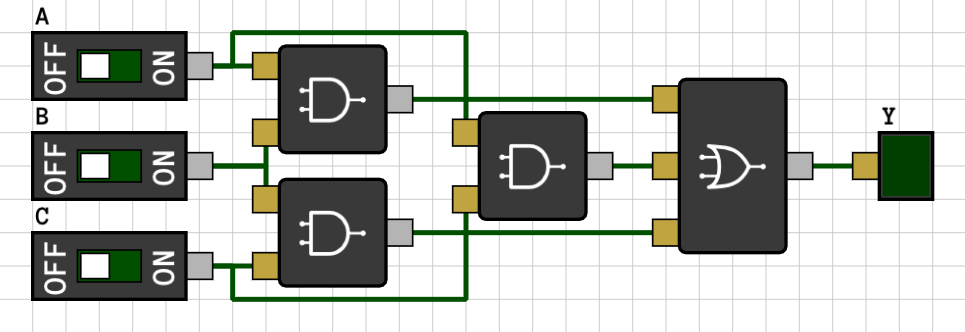
1. Sestavení logických funkcí – logické rovnice
2. Návrhy jejich realizace – Schéma



Obrázek 13: Schéma navrženého řídicího obvodu

Signalizace svítí, pokud jsou libovolné 2 stroje v chodu.

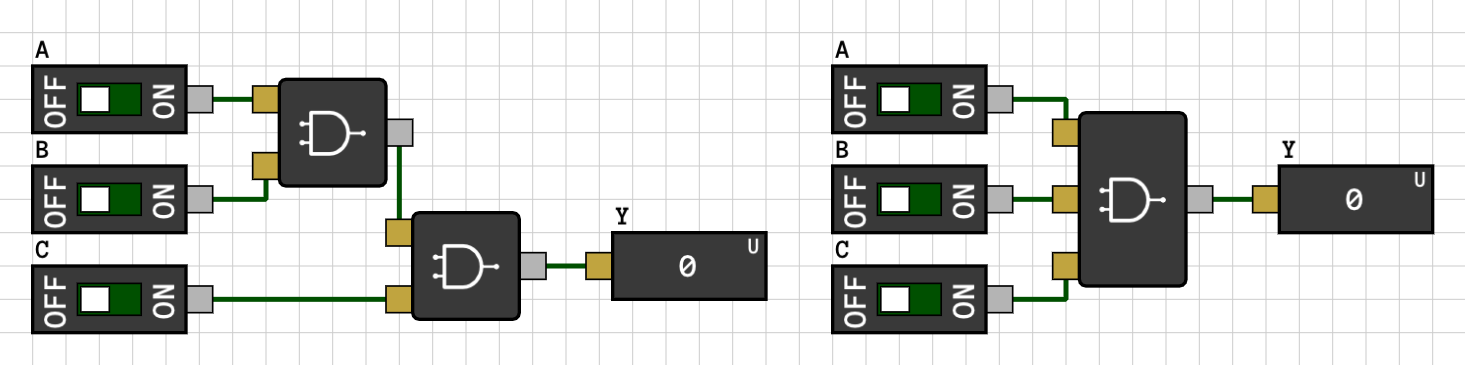
1. Sestavení logických funkcí – logické rovnice
2. Návrhy jejich realizace – Schéma



Obrázek 14: Schéma navrženého řídicího obvodu

Signalizace svítí, pokud jsou všechny stroje v chodu.

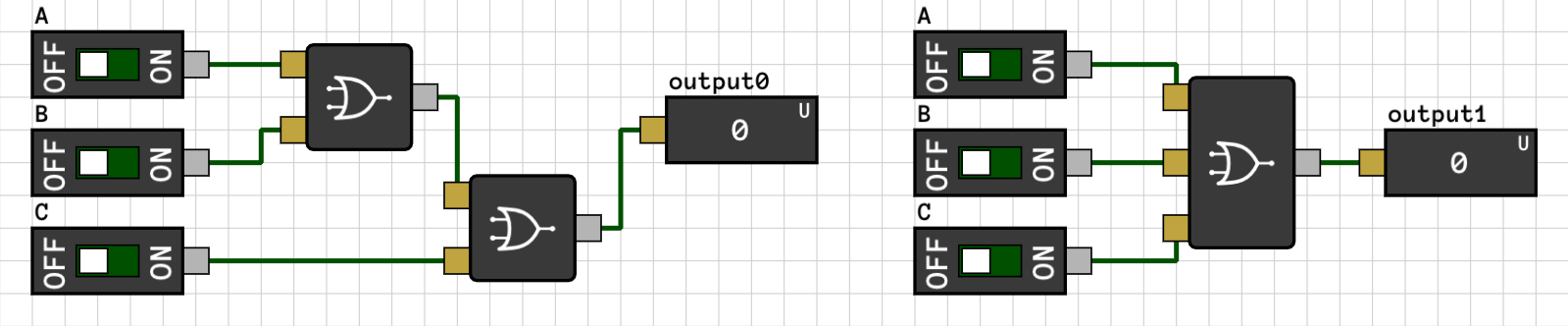
1. Sestavení logických funkcí – logické rovnice
2. Návrhy jejich realizace – Schéma



Obrázek 15: Schéma navrženého řídicího obvodu

Signalizace svítí, pokud je splněna alespoň některá z výše uvedených podmínek.

1. Sestavení logických funkcí – logické rovnice
2. Návrhy jejich realizace – Schéma



Obrázek 16: Schéma navrženého řídicího obvodu

## Tabulky navržených hodnot

Do následujících prostorů vložte pravdivostní tabulky řešící jednotlivá slovní zadání. (Velikost vyhrazených prostorů upravte dle potřeby automaticky vložením příslušné tabulky po vyjmutí bílé plochy.)

Tabulka 2: Pravdivostní tabulka (Zabezpečení objektu)

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | Y |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

Tabulka 3: Pravdivostní tabulka (Ventilace tunelu)

|  |  |  |  |
| --- | --- | --- | --- |
| A | B | C | Y |
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 0 |

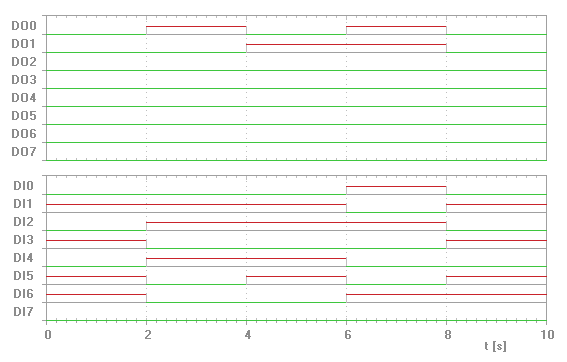
Tabulka 4: Pravdivostní tabulka (Stroje v dílně)

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| A | B | C | Některý ze strojů v chodu | Libovolné 2 stroje v chodu | Všechny stroje v chodu | Alespoň některá z  podmínek |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 |

## Grafické závislosti

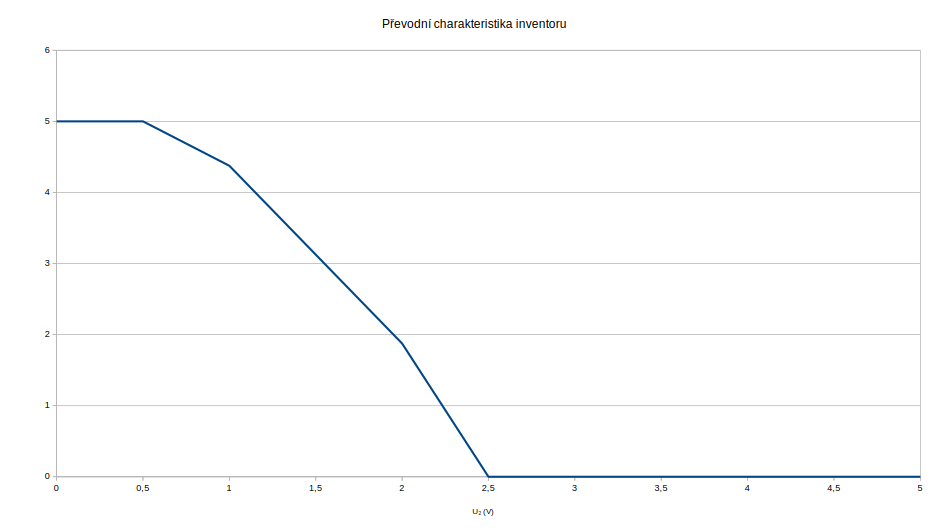
Tabulka 5: Legenda ke grafu - Impulsové vyjádření logických funkcí

|  |  |
| --- | --- |
| **D00** | **A** |
| **D01** | **B** |
| **D10** | **AND** |
| **D11** | **NAND** |
| **D12** | **OR** |
| **D13** | **NOR** |
| **D14** | **NOT** |
| **D15** | **XOR** |
| **D16** | **XNOR** |
| **D17** | **---** |



Obrázek 17: Impulsové vyjádření logických funkcí

Do níže připraveného rastru zakreslete statickou převodovou charakteristiku logického členu (např. invertoru). Jakou máte představu?



Obrázek 18: Převodová charakteristika logického členu

## Odpovědi na otázky

1. Maximální počet vstupů jiných integrovaných obvodů, které lze připojit na výstup hradla, se označuje jako logický zisk.
2. CMOS – nízká spotřeba energie, nízká cena, menší výstupní proudy, vysoká odolnost proti šumu; ECTL – vysoká rychlost, vysoké výstupní proudy, relativně nízká spotřeba, vysoká cena; TTL – střední rychlost, spotřeba a výstupní proudy, nízká cena, široké rozpětí napájecího napětí
3. Statický – nežádoucí jev vznikající kvůli rozdílům v zpoždění signálu; Dynamický – vzniká při změně více vstup. hodnot současně.

## Závěr

Měření ukázalo, že základní logická hradla pracují, jak je uvedeno v pravdivostních tabulkách. Taktéž doma připravené logické rovnice slovních úloh odpovídají jejich pravdivostním tabulkám.

## Informační prameny použité pro zpracování protokolu

1. Sešit Číslicové techniky z druhého ročníku
2. 32x8.com
3. boolean-algerba.com
4. https://eluc.ikap.cz/verejne/lekce/934
5. https://en.wikipedia.org/wiki/CMOS
6. https://en.wikipedia.org/wiki/Emitter-coupled\_logic
7. https://en.wikipedia.org/wiki/Transistor%E2%80%93transistor\_logic
8. http://pripo.aspone.cz/Chapter/Detail/4
9. https://www.vovcr.cz/odz/tech/552/page06.html
10. https://cz.mouser.com/c/semiconductors/logic-ics/logic-gates/?logic%20family=HCT&logic%20function=OR
11. https://cz.mouser.com/c/semiconductors/logic-ics/logic-gates/?logic%20family=HCT&logic%20function=NOR
12. https://cz.mouser.com/c/semiconductors/logic-ics/logic-gates/?logic%20family=HCT&logic%20function=AND
13. https://cz.mouser.com/c/semiconductors/logic-ics/logic-gates/?logic%20family=HCT&logic%20function=NAND

|  |  |
| --- | --- |
| **Datum vypracování:** | **13. dubna 2024** |
| **Čestné prohlášení:** | **Prohlašuji, že jsem protokol zpracoval samostatně, veškeré použité prameny jsem uvedl ve stati „Informační prameny použité pro zpracování protokolu“.** |
| **Podpis studenta:** |

## Použité přístroje

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| ***Přístroj*** | ***Typ*** | ***Výrobní číslo*** | ***Inventární číslo*** | ***Poznámka*** |
| Moduly | Module Board 10 |  | DHM-EL-13 |  |
|  | 7400 |  | 281/2021 |  |
|  | 7402 |  |  | Nebylo uvedeno |
|  | 7404 |  |  | Nebylo uvedeno |
|  | 7408 |  |  | Nebylo uvedeno |
|  | 7432 |  | 282/2021 |  |
|  | 7486 |  |  | Nebylo uvedeno |
|  | Logic Selector |  | DHM-EL-13 |  |
|  | Logic Probe |  | DHM-EL-13 |  |
|  | Analog&Digital Data Unit |  | DHM-EL-16 |  |
| Propojovací kabely |  |  |  | Součástí stavebnice |
| Napájecí zdroj |  |  | EL-963/2 |  |

## Hodnocení

|  |  |  |  |
| --- | --- | --- | --- |
| ***Etapa hodnocení úlohy*** | ***Bodovaná část*** | ***Maximální počet bodů*** | ***Získané body*** |
| Samostatná příprava | Ústní přezkoušení z měřené problematiky[[1]](#footnote-2) | 10 |  |
| Měření v laboratoři | Zapojování schémat, průběh měření | 5 |  |
| Konzultace | Nepovinná, proběhla dne:……………….[[2]](#footnote-3) | 5 |  |
| Zpracování protokolu | Úpravnost, struktura protokolu | 5 |  |
| Výpočty (dosazení, výsledky, jednotky) | 5 |  |
| Tabulky | 5 |  |
| Grafy (popis os, měřítko, vlastní graf) | 15 |  |
| Odpovědi na otázky | 10 |  |
| Závěr | 10 |  |
|  | Obhajoba[[3]](#footnote-4) | 30 |  |
| ***Celkové hodnocení*** | ***protokolu o laboratorním cvičení*** | ***100*** |  |

|  |  |
| --- | --- |
| ***Přiřazení klasifikace*** | |
| ***Počet získaných bodů*** | ***Hodnocení***[[4]](#footnote-5) |
| ***řádný termín*** |  |
| 0 až 49 | 5 |
| 50 až 60 | 4 |
| 61 až 70 | 3 |
| 71 až 85 | 2 |
| 86 až 100 | 1 |
| ***Uzavření klasifikace protokolu dne: ……………………… Podpis: ………………………*** | |

## Poznámky

Výpisy z katalogových listů použitých hradel

|  |  |
| --- | --- |
| Hradlo | ~ Cena/ks |
| OR | 12,52 |
| NOR | 11,92 |
| AND | 10,73 |
| NAND | 11,96 |

1. Ústní přezkoušení prověřuje připravenost studenta. Nepřipravený student získá 0 bodů, obdrží náhradní práci, laboratorní úlohu měří po dohodě s vyučujícím v náhradním termínu. Pro náhradní termíny zůstává bodový stav 0, připravenost je již jen podmínkou k připuštění studenta k vlastnímu měření. Termín pro odevzdání protokolu se počítá od řádného termínu laboratorního cvičení. [↑](#footnote-ref-2)
2. Údaj v kolonce získané body platí pouze s vyplněním data, kdy konzultace proběhla, vyučující potvrdil konzultaci svým podpisem. [↑](#footnote-ref-3)
3. Obhajoba je ústní (s přípravou) nebo písemná, povinná. Student, který neprokáže znalost problematiky, nezískává žádné body, úloha je v takovém případě hodnocena **NEDOSTATEČNĚ!** [↑](#footnote-ref-4)
4. V případě neuzavření klasifikace protokolu v řádném termínu je postupováno dle pravidel pro odevzdávání protokolů, jejichž znalost student potvrdil svým podpisem. [↑](#footnote-ref-5)