

# Felix

技术源于积累，成功始于执着！ 个人邮箱：justlyx@mail.dhu.edu.cn QQ：1576109464

## DDR扫盲——关于Prefetch与Burst的深入讨论

发表于 2017/8/15 13:17:55    阅读 (38145)

4  
赞

上海某外资企业招聘FPGA应用开发工程师（PCIe/SerDes方向）-Felix-电子技术应用-AET-中国科技核心期刊-最丰富的电子设计资源平台 (chinaaet.com)

学习DDR有一段时间了，期间看了好多的资料（部分公司的培训资料、几十篇的博文，Micron的Datasheet，JESD79规范等）。但是有一个问题，想了好久（很多资料都没有说明白），至今才算搞明白，所以写一篇文章和大家分享一下。

如题，接下来要讨论的主要是关于Prefetch和Burst相关的内容。

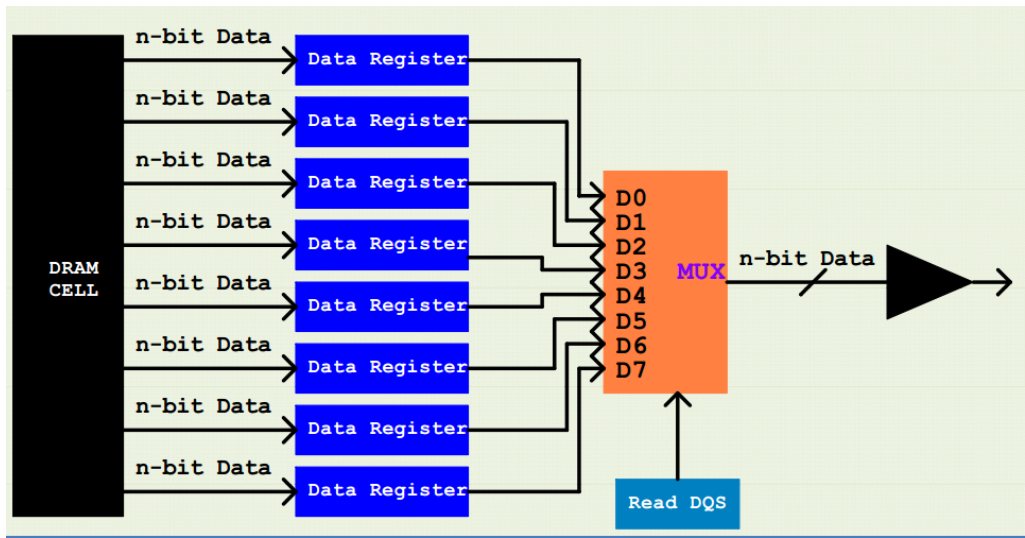
### 1、Prefetch介绍

首先，简单介绍一下Prefetch技术。所谓prefetch，就是预加载，这是DDR时代提出的技术。在SDR中，并没有这一技术，所以其每一个cell的存储容量等于DQ的宽度（芯片数据IO位宽）。【关于什么是cell（存储单元，可以去看一下，我之前的博文：<http://blog.chinaaet.com/justlyx/p/5100051913>）】

进入DDR时代之后，就有了prefetch技术，DDR是**两位预取（2-bit Prefetch）**，有的公司则贴切的称之为2-n Prefetch（n代表芯片位宽）。DDR2是**四位预取（4-bit Prefetch）**，DDR3和DDR4都是**八位预取（8-bit Prefetch）**。而8-bit Prefetch可以使得内核时钟是DDR时钟的四分之一，这也是Prefetch的根本意义所在。

**补充说明：芯片位宽的另一种说法是配置模式（Configuration），在DDR3时代，一般有x4，x8，x16。**

下面以DDR3为例，下图是个简单 一个简单Read预取示意图，Write可以看做是个逆向过程。



当DDR3 为x8 Configuration时，一个Cell的容量为8x8bits，即8个字节。换一句话说，在指定bank、row地址和col地址之后，可以往该地址内写入（或读取）8 Bytes。

### 2、回到一个简单的问题上，如何计算DDR3 SDRAM的容量

以Mircon的某型号DDR3 SDRAM为例：

## 作者



Felix

关注



文章:275 篇

阅读:2425912 次

## 标签

DDR    DDR3    prefetch    BurstLength  
BurstType    BurstOrder    嵌入式    FPG  
DDR容量计算

## 相关文章

文化最大障碍 员工称英特尔嵌入式前途  
基于ARM9处理器S3C2440的GPS导航终端  
全球4G芯片市场外企占80%份额  
基于Mideva编译器的MATLAB与VC++混合  
高通骁龙830传年内发表 首发机Q1现身  
物联网浪潮下主流半导体厂商的智能家

## 相关资料

SPARC V8处理器断点调试的设计与实现  
MCU系统的减噪声设计  
单片机应用系统综合抗干扰技术的研究  
基于MFC的故障维修专家系统设计与实现  
ARM处理器在我国MID领域的现状与发展  
嵌入式对话第11期

## 相关视频

【视频】TI C6474多核处理器在医疗应  
【视频】TI在低照度下的安防技术展示  
Stellaris LaunchPad入门讲座第一课—  
CSMNT2016 & MAN2016来自多伦多大学的  
CSMNT2016 & MAN2016 Microsystem&Nan  
邓起: The Characteristics of Silico

Table 2: Addressing

Parameter	1 Gig x 4	512 Meg x 8	256 Meg x 16
Configuration	128 Meg x 4 x 8 banks	64 Meg x 8 x 8 banks	32 Meg x 16 x 8 banks
Refresh count	8K	8K	8K
Row addressing	64K (A[15:0])	64K (A[15:0])	32K (A[14:0])
Bank addressing	8 (BA[2:0])	8 (BA[2:0])	8 (BA[2:0])
Column addressing	2K (A[11, 9:0])	1K (A[9:0])	1K (A[9:0])
Page size	1KB	1KB	2KB

以图中红色部分的内容作为分析案例（8个bank，x8的Configuration）：

计算方式一（错误）：

64K\*8\*1K\*8（Row Addressing \* Bank Addressing \* Column Addressing \* x8 Configuration）= 4Gb（512 Megx8）。

大部分材料给出的都是这种错误的计算方法，误导了很多的初学者。这种计算方法乍一看好像是对的。但是，仔细推敲一下，便可以发现，按照计算方式一的逻辑，则认为每一个Cell的容量是1bit\*8（x8 Configuration），即8bit。这与我们在第一部分所讨论的结果（一个Cell的容量为64bits，x8 Configuration下）不符。

当然，从某种角度来说，计算方式一也是正确的，因为分离出的Column Address的位数实际上是和prefetch对应的。比如DDR3 8-bit Prefetch对3bits的Column Address，DDR2 4-bit Prefetch对应的是2bits的Column Address。只是如果直接按照计算方式一来计算的话，对于初次接触DDR的人来说，理解起来存在一定的困难，这也是我写这一篇博文的原因。

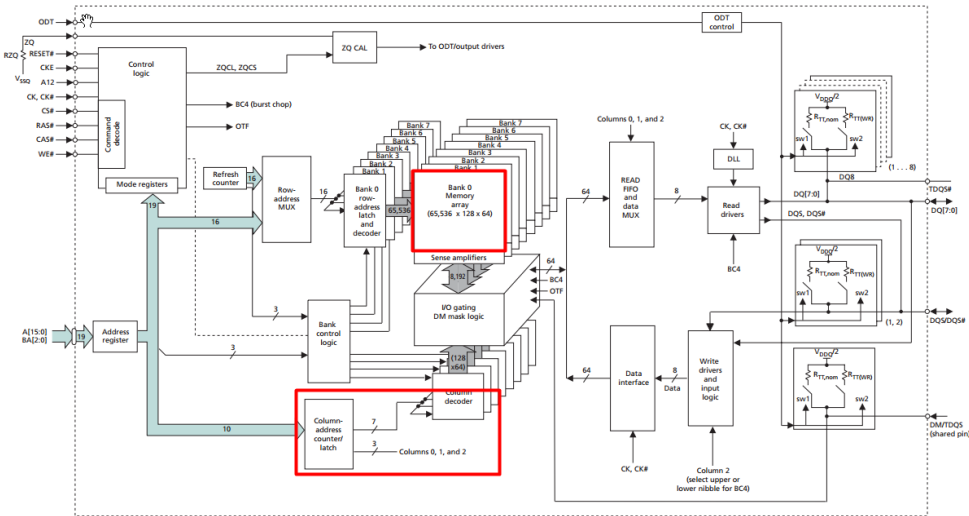
下面给出正确的计算方式，并说明原因。

计算方式二（正确）：

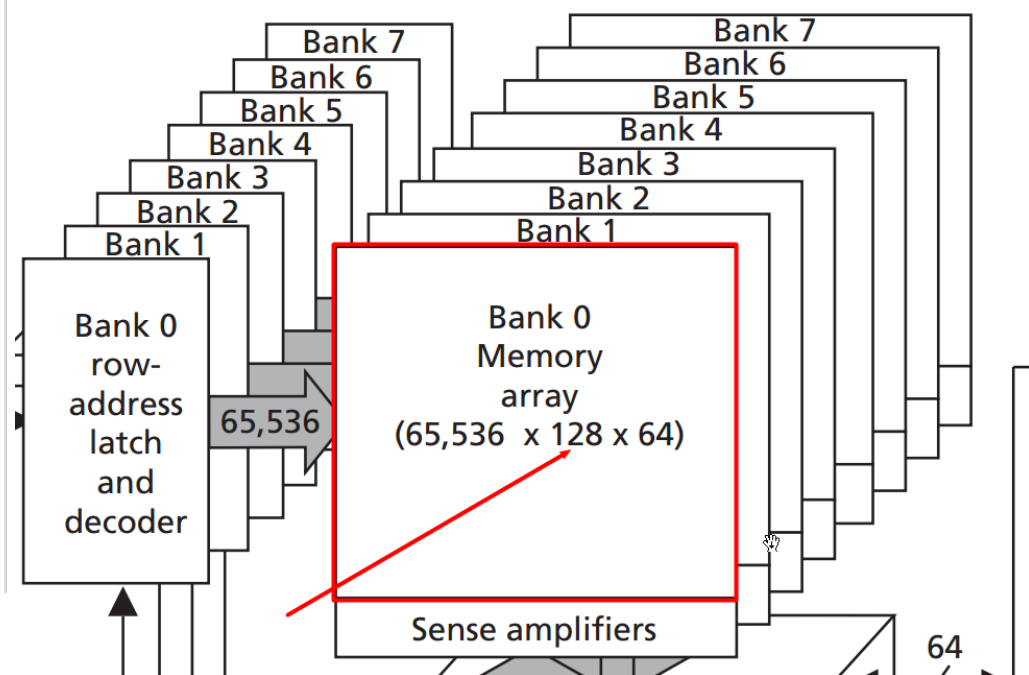
64K\*8\*（1K/8）\*8\*8（Row Addressing \* Bank Addressing \*（Column Addressing / 8）\* x8 Configuration \* 8-bit Prefetch）= 4Gb（512 Megx8）。

很多人都会问，为什么要把列地址寻址（Column Addressing）除以8呢？似乎计算方式二看起来更加不合理。接下来，我们先来回顾一下DDR3 SDRAM的结构框图（还是以Mircon的某型号为例）：

Figure 4: 512 Meg x 8 Functional Block Diagram

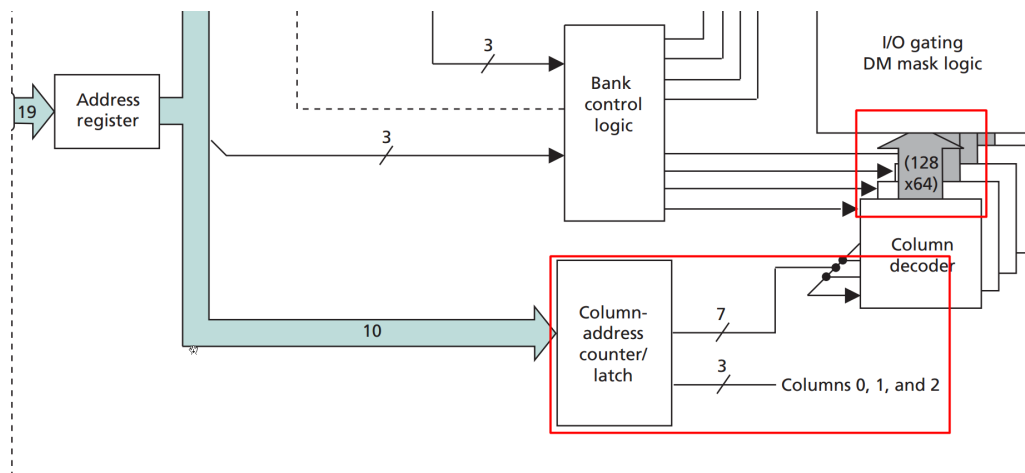


大图可能看的不太清楚，下面来几个特写：



没错！你没有看错！10bit的Column Address的寻址能力只有128！！刚好差了8倍（这就是我们在计算方式二中将Column Addressing除以8的原因）！

那么问题又来了，为什么Column Address的寻址能力只有128呢？莫急，请继续看下图：



在上图中，可以清晰地发现，10bits的Column Address只有7bits用于列地址译码！列地址0,1,2并没有用！！

那么，问题又来了！.....

列地址0,1,2,这3bits被用于什么功能了？或者是Mircon的设计者脑残，故意浪费了这三个bits？显然不是。

在JESD79-3规范中有如下的这个表格：

Table 3 — Burst Type and Burst Order

Burst Length	READ/ WRITE	Starting Column ADDRESS (A2,A1,A0)	burst type = Sequential (decimal) A3 = 0	burst type = Interleaved (decimal) A3 = 1	Notes
4 Chop	READ	0 0 0	0,1,2,3,T,T,T,T	0,1,2,3,T,T,T,T	1, 2, 3
		0 0 1	1,2,3,0,T,T,T,T	1,0,3,2,T,T,T,T	1, 2, 3
		0 1 0	2,3,0,1,T,T,T,T	2,3,0,1,T,T,T,T	1, 2, 3
		0 1 1	3,0,1,2,T,T,T,T	3,2,1,0,T,T,T,T	1, 2, 3
		1 0 0	4,5,6,7,T,T,T,T	4,5,6,7,T,T,T,T	1, 2, 3
		1 0 1	5,6,7,4,T,T,T,T	5,4,7,6,T,T,T,T	1, 2, 3
		1 1 0	6,7,4,5,T,T,T,T	6,7,4,5,T,T,T,T	1, 2, 3
		1 1 1	7,4,5,6,T,T,T,T	7,6,5,4,T,T,T,T	1, 2, 3
	WRITE	0,V,V	0,1,2,3,X,X,X,X	0,1,2,3,X,X,X,X	1, 2, 4, 5
		1,V,V	4,5,6,7,X,X,X,X	4,5,6,7,X,X,X,X	1, 2, 4, 5
8	READ	0 0 0	0,1,2,3,4,5,6,7	0,1,2,3,4,5,6,7	2
		0 0 1	1,2,3,0,5,6,7,4	1,0,3,2,5,4,7,6	2
		0 1 0	2,3,0,1,6,7,4,5	2,3,0,1,6,7,4,5	2
		0 1 1	3,0,1,2,7,4,5,6	3,2,1,0,7,6,5,4	2
		1 0 0	4,5,6,7,0,1,2,3	4,5,6,7,0,1,2,3	2
		1 0 1	5,6,7,4,1,2,3,0	5,4,7,6,1,0,3,2	2
		1 1 0	6,7,4,5,2,3,0,1	6,7,4,5,2,3,0,1	2
		1 1 1	7,4,5,6,3,0,1,2	7,6,5,4,3,2,1,0	2
	WRITE	V,V,V	0,1,2,3,4,5,6,7	0,1,2,3,4,5,6,7	2, 4

可以发现，Column Address的A2，A1，A0三位被用于Burst Order功能，并且A3也被用于Burst Type功能。由于一般情况，我们采用的都是顺序读写模式（即{A2,A1,A0}={0,0,0}），所以此时的A3的取值并无直接影响。

那么，问题又来了！.....

Burst又是什么鬼呢？且看第三部分。

### 3、DDR中的Burst Length

Burst Lengths，简称BL，指突发长度，突发是指在同一行中相邻的存储单元连续进行数据传输的方式，连续传输所涉及到存储单元（列）的数量就是突发长度(SDRAM)，在DDR SDRAM中指连续传输的周期数。上一部分讲到的Burst Type和Burst Order实际上就是关于Burst Length的读写顺序的配置。

【注：不了解相关名词的可以去看一下，我之前的博文：

<http://blog.chinaaet.com/justlxy/p/5100051913>】

在DDR3 SDRAM时代,内部配置采用了8n prefetch(预取)来实现高速读写.这也导致了DDR3的Burst Length一般都是8。当然也有Burst length为4的设置(BC4)，是指另外4笔数据是不被传输的或者被认为无效而已。

在DDR2时代，内部配置采用的是4n prefetch，Burst length有4和8两种，对于BL=8的读写操作，会出现两次4n Prefetch的动作。

Table 6 — Command Truth Table

Function	Abbrevia- tion	CKE		CS#	RAS#	CAS#	WE#	BA0- BA3	A13- A15	A12- BC#	A10- AP	A0- A9, A11	Notes
		Previou s Cycle	Current Cycle										
Mode Register Set	MRS <sup>®</sup>	H	H	L	L	L	L	BA	OP Code				
Refresh	REF	H	H	L	L	L	H	V	V	V	V	V	
Self Refresh Entry	SRE	H	L	L	L	L	H	V	V	V	V	V	7,9,12
Self Refresh Exit	SRX	L	H	H	V	V	V	V	V	V	V	V	7,8,9,12
				L	H	H	H						
Single Bank Precharge	PRE	H	H	L	L	H	L	BA	V	V	L	V	
Precharge all Banks	PREA	H	H	L	L	H	L	V	V	V	H	V	
Bank Activate	ACT	H	H	L	L	H	H	BA	Row Address (RA)				
Write (Fixed BL8 or BC4)	WR	H	H	L	H	L	L	BA	RFU	V	L	CA	
Write (BC4, on the Fly)	WRS4	H	H	L	H	L	L	BA	RFU	L	L	CA	
Write (BL8, on the Fly)	WRS8	H	H	L	H	L	L	BA	RFU	H	L	CA	
Write with Auto Precharge (Fixed BL8 or BC4)	WRA	H	H	L	H	L	L	BA	RFU	V	H	CA	
Write with Auto Precharge (BC4, on the Fly)	WRAS4	H	H	L	H	L	L	BA	RFU	L	H	CA	
Write with Auto Precharge (BL8, on the Fly)	WRAS8	H	H	L	H	L	L	BA	RFU	H	H	CA	
Read (Fixed BL8 or BC4)	RD	H	H	L	H	L	H	BA	RFU	V	L	CA	
Read (BC4, on the Fly)	RDS4	H	H	L	H	L	H	BA	RFU	L	L	CA	
Read (BL8, on the Fly)	RDS8	H	H	L	H	L	H	BA	RFU	H	L	CA	
Read with Auto Precharge	RDA	H	H	L	H	L	H	BA	RFU	V	L	CA	

上图是JESD79-3规范中给出的DDR3 SDRAM的Command Truth Table。可以看到，读取和写入都有三种基本模式（Fixed BL8 or BC4，BC4 on the fly，BL8 on the fly）。这一部分的内容，在我之前的博文有所提及，此处不再详细介绍。

#### 4、参考资料

4Gb\_DDR3\_SDRAM.pdf

Samsung DDR3 Datasheet.pdf

JESD79-3A-DDR3规范.pdf

« 上一篇：【转】认识FPGA触发器的亚稳态

» 下一篇：上海某外资企业招聘FPGA应用开发工程师（PCIe/SerDes方向）

#### 网站相关

关于我们

联系我们

投稿须知

#### 广告及服务

内容许可

广告服务

杂志订阅

#### 会员与积分

积分商城

会员等级

会员积分

VIP会员

#### 关注我们

