



我心狂野

——文字和影像比我们的活得更长久

[首页](#)[新随笔](#)[联系](#)[订阅](#)[管理](#)

随笔 - 60 文章 - 0 评论 - 21 阅读 - 41万

2012年9月						
日	一	二	三	四	五	六
26	27	28	29	30	31	1
2	3	4	5	6	7	8
9	10	11	12	13	14	15
16	17	18	19	20	21	22
23	24	25	26	27	28	29
30	1	2	3	4	5	6

搜索

 谷歌搜索

随笔分类 (60)

[编程语言\(7\)](#)[电路设计\(9\)](#)[软件相关\(11\)](#)[数字接口\(1\)](#)[数字逻辑\(24\)](#)[算法相关\(5\)](#)[随便写写\(3\)](#)

阅读排行榜

1. DDR工作原理(98597)
2. 乘法器的Verilog HDL实现(40524)
3. 千兆以太网芯片88E1111 RGMII模式的驱动(31815)
4. 第三层交换机和路由器的区别(30411)
5. Pacman 命令详解(27800)
6. 以太网PHY和MAC(17069)
7. 位图文件 (BMP) 格式以及Linux下C程序实现(12397)

DDR工作原理

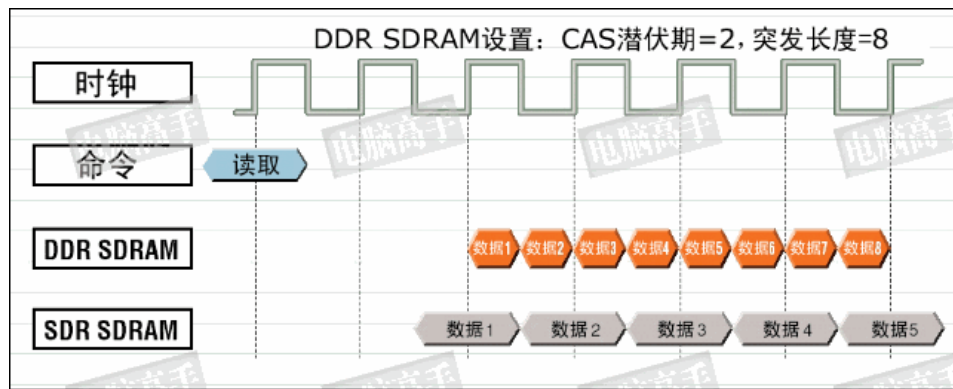
DDR SDRAM全称为Double Data Rate SDRAM，中文名为“双倍数据流SDRAM”。DDR SDRAM在原有的SDRAM的基础上改进而来。也正因为如此，DDR能够凭借着转产成本优势来打败昔日的对手RDRAM，成为当今的主流。本文只着重讲讲DDR的原理和DDR SDRAM相对于传统SDRAM（又称SDR SDRAM）的不同。

DDR的核心频率、时钟频率和数据传输频率：

核心频率就是内存的工作频率；DDR1内存的核心频率是和时钟频率相同的，到了DDR2和DDR3时才有了时钟频率的概念，就是将核心频率通过倍频技术得到的一个频率。数据传输频率就是传输数据的频率。DDR1预读取是2位，DDR2预读取是4位，DDR3预读取是8位。

DDR1在传输数据的时候在时钟脉冲的上升沿和下降沿都传输一次，所以数据传输频率就是核心频率的2倍。DDR2内存将核心频率倍频2倍所以时钟频率就是核心频率的2倍了，同样还是上升边和下降边各传输一次数据，所以数据传输频率就是核心频率的4倍。

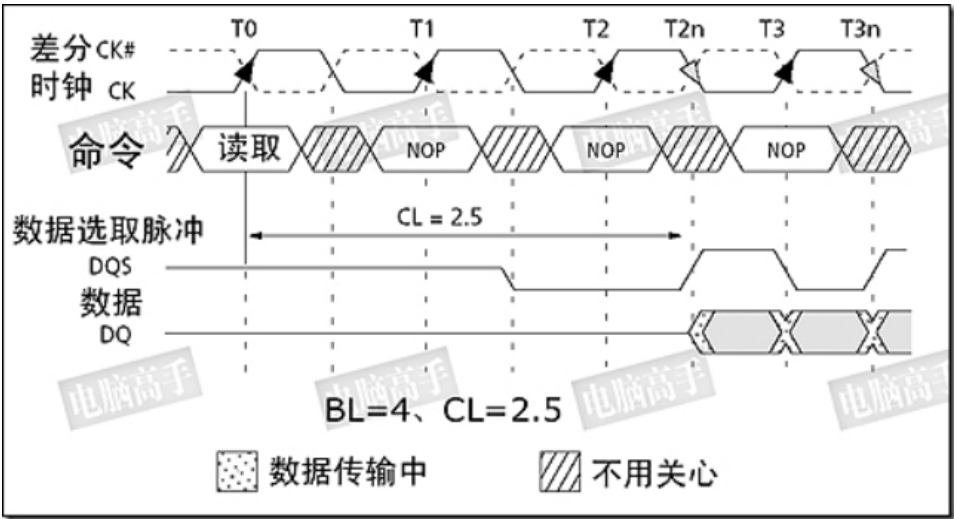
DDR3内存的时钟频率是核心频率的4倍，所以数据传输频率就是核心频率的8倍了。



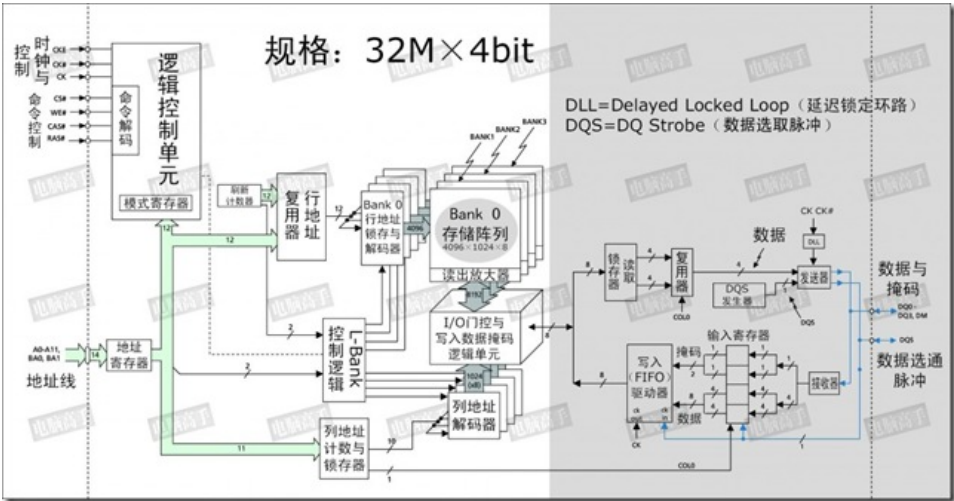
一、DDR的基本原理

有很多文章都在探讨DDR的原理，但似乎也不得要领，甚至还带出一些错误的观点。首先我们看看一张DDR正规的时序图。

8. 流水线技术原理和Verilog HDL实现(12128)
9. 交换机和路由器各自的实现原理(10513)
10. 关于建立时间和保持时间(10361)
11. [转]TimeQuest约束外设之诡异的Create Generated Clocks用法(8418)
12. [转]换位思考多周期约束(8177)
13. Altera的几个常用的Synthesis attributes(7729)
14. 用verilog语言写的任意整数的分频器(7392)
15. USB Type-C工作原理解析(7365)



从中可以发现它多了两个信号：CLK#与DQS，CLK#与正常CLK时钟相位相反，形成差分时钟信号。而数据的传输在CLK与CLK#的交叉点进行，可见在CLK的上升与下降沿（此时正好是CLK#的上升沿）都有数据被触发，从而实现DDR。在此，我们可以说通过差分信号达到了DDR的目的，甚至讲CLK#帮助了第二个数据的触发，但这只是对表面现象的简单描述，从严格的定义上讲并不能这么说。之所以能实现DDR，还要从其内部的改进说起。



DDR内存芯片的内部结构图

这是一颗128Mbit的内存芯片，从图中可以看出来，白色区域内与SDRAM的结构基本相同，但请注意灰色区域，这是与SDRAM的不同之处。首先就是内部的L-Bank规格。SDRAM中L-Bank 存储单元的容量与芯片位宽相同，但在DDR SDRAM中并不是这样，存储单元的容量是芯片位宽的一倍，所以在此不能再套用讲解SDRAM时“芯片位宽=存储单元容量”的公式了。也因此，真正的行、列地址数量也与同规格SDRAM不一样了。

以本芯片为例，在读取时，L-Bank在内部时钟信号的触发下一次传送8bit的数据给读取锁存器，再分成两路4bit数据传给复用器，由后者将它们合并为一路上4bit数据流，然后由发送器在DQS的控制下在外部时钟上升与下降沿分两次传输4bit的数据给北桥。这样，如果时钟频率为100MHz，那么在I/O端口处，由于是上下沿触发，那么就是传输频率就是200MHz。

现在大家基本明白DDR SDRAM的工作原理了吧，这种内部存储单元容量（也可以称为芯片内部总线位宽）=2×芯片位宽（也可称为芯片I/O总线位宽）的设计，就是所谓的**两位预取（2-bit Prefetch）**，有的公司则贴切的称之为2-n Prefetch（n代表芯片位宽）。

二、DDR SDRAM与SDRAM的不同

DDR SDRAM与SDRAM的不同主要体现在以下几个方面。

DDR SDRAM与SDRAM的主要不同对比表

内存类型	SDRAM	DDR SDRAM
比较项		
命令		
全页式突发传输	支持	不支持
时钟信号挂起	支持	不支持
读出数据屏蔽	支持	不支持
写入数据屏蔽	支持	支持
功能		
时钟	单一时钟	差分时钟
预取设计	1-bit	2-bit
数据传输率	1/时钟周期	2/时钟周期
CAS 潜伏期	2、3	1.5、2、2.5、3
写入潜伏期	0	可变
突发长度	1、2、4、8、全页	2、4、8
延迟锁定回路	可选	工作时必需
自动刷新间隔周期	固定	弹性设计（最大值与 SDRAM 的固定值相同）
数据选取脉冲	无	必需
封装与电气特性		
封装类型 (≥64Mbit)	TSOP-II 54pin (400mil)	TSOP-II 66pin (400mil) CSP 60pin
工作电压	3.3V (LVTTTL 接口)	2.5V (SSTL_2 接口)
模组	168pin DIMM	184pin DIMM

注：LVTTTL=Low Voltage Transistor-Transistor Logic（低电压晶体管-晶体管逻辑电路）、SSTL=Stub Series Terminated Logic（短线串联终止逻辑电路）

提示：TSOP-II 与 CSP
TSOP-II：是指小外形薄型封装（Thin Small Outline Package）的第二种方式，引脚在封装的长边两侧，TSOP-I 的引脚则在短边的两侧。
CSP：是指芯片尺寸封装（Chip Scale Package），其封装尺寸与芯片核心尺寸基本相同，所以称 CSP，其内核面积与封装面积的比例约为 1:1.1，凡是符合这一标准的封装都可称之为 CSP。

DDR SDRAM与SDRAM一样，在开机时也要进行MRS，不过由于操作功能的增多，DDR SDRAM在MRS之前还多了一EMRS阶段（Extended Mode Register Set，扩展模式寄存器设置），这个扩展模式寄存器控制着DLL的有效/禁止、输出驱动强度、QFC 有效/无效等。

提示与误区：QFC 的含义与作用

QFC 是指 FET Switch Controller (FET 开关控制), 低电平有效。用于借助外部 FET (场效应管) 开关控制模组上芯片间的相互隔离, 没有读写操作时进入隔离状态, 以确保芯片间不受相互干扰。QFC 是一个特选功能, 厂商都是在接到芯片买家的指定要求后, 才在芯片中加入这一功能, 并且需要在模装配时进行相关的设计改动 (如增加 V_{ddQ} 的上拉电阻), 所以 DIY 市场上几乎很少见到支持这一功能的 DDR 内存。而在 2002 年 5 月, JEDEC 最新发布的 DDR 规范中, 已经不在有 QFC 的定义, 而且即使有 FET 开关也将由北桥控制 (此时是用来隔离模组的), 因此 QFC 已经成为历史。可是, 在很多“深入”性介绍中, 都将 QFC 认为是一个必要的过程, 这显然是错的。

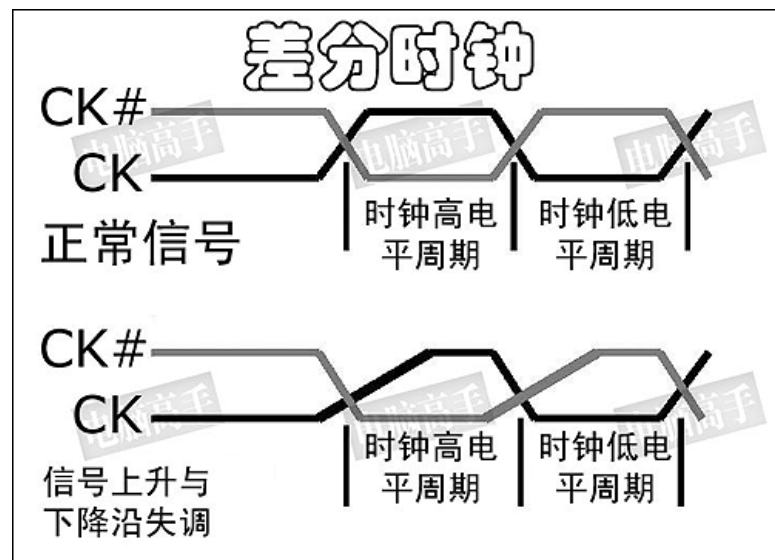
由于 EMRS 与 MRS 的操作方法与 SDRAM 的 MRS 大同小异, 在此就不再列出具体的模式表了, 有兴趣的话可查看相关的 DDR 内存资料。下面我们就着重说说 DDR SDRAM 的新设计与新功能。

误区: CSP 与 uBGA、WBGA、TinyBGA、FBGA 等是不同的封装技术

实际上, CSP 只是一种封装标准/类型, 不涉及具体的封装技术, 只要达到它的尺寸标准都可称之为 CSP 封装。近几年出现的 uBGA、WBGA、TinyBGA、FBGA 小型芯片封装技术则是 CSP 的具体表现形式 (其实都是 BGA 封装技术的一种), 由此可以看出 CSP 并没有固定的封装技术, 它自己更不是一个封装技术, 只要厂商愿意或有实力, 可以开发出更多的符合 CSP 标准的封装技术。

1、差分时钟

差分时钟 (参见上文 “DDR SDRAM 读操作时序图”) 是 DDR 的一个必要设计, 但 CK# 的作用, 并不能理解为第二个触发时钟 (你可以在讲述 DDR 原理时简单地这么比喻), 而是起到触发时钟校准的作用。由于数据是在 CK 的上下沿触发, 造成传输周期缩短了一半, 因此必须要保证传输周期的稳定以确保数据的正确传输, 这就要求 CK 的上下沿间距要有精确的控制。但因为温度、电阻性能的改变等原因, CK 上下沿间距可能发生变化, 此时与其反相的 CK# 就起到纠正的作用 (CK 上升快下降慢, CK# 则是上升慢下降快)。而由于上下沿触发的原因, 也使 CL=1.5 和 2.5 成为可能, 并容易实现。与 CK 反相的 CK# 保证了触发时机的准确性。



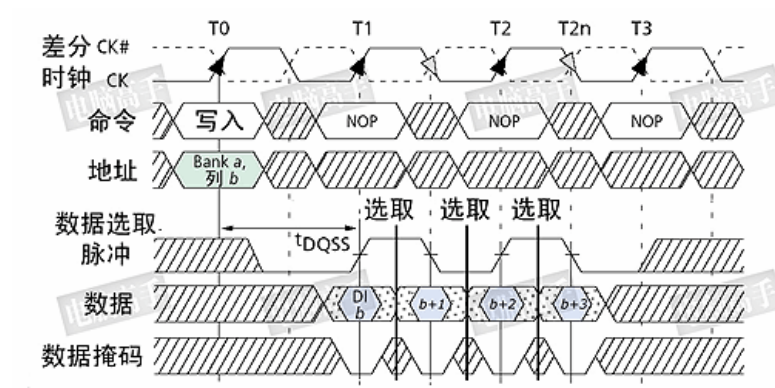
2、数据选取脉冲 (DQS)

总结 DQS: 它是双向信号; 读内存时, 由内存产生, DQS 的沿和数据的沿对齐; 写入内存时, 由外部产生, DQS 的中间对应数据的沿, 即此时 DQS 的沿对应数据最稳定的中间时刻。

DQS是DDR SDRAM中的重要功能，它的功能主要用来在一个时钟周期内准确的区分出每个传输周期，并便于接收方准确接收数据。每一颗芯片都有一个DQS信号线，它是双向的，在写入时它用来传送由北桥发来的DQS信号，读取时，则由芯片生成DQS向北桥发送。完全可以说，它就是数据的同步信号。

在读取时，DQS与数据信号同时生成（也是在CK与CK#的交叉点）。而DDR内存中的CL也就是从CAS发出到DQS生成的间隔，数据真正出现在数据I/O总线上相对于DQS触发的时间间隔被称为tAC。注意，这与SDRAM中的tAC的不同。实际上，DQS生成时，芯片内部的预取已经完毕了，tAC是指上文结构图中灰色部分的数据输出时间，由于预取的原因，实际的数据传出可能会提前于DQS发生（数据提前于DQS传出）。由于是并行传输，DDR内存对tAC也有一定的要求，对于DDR266，tAC的允许范围是 $\pm 0.75\text{ns}$ ，对于DDR333，则是 $\pm 0.7\text{ns}$ ，有关它们的时序图示见前文，其中CL里包含了一段DQS的导入期。

前文已经说了DQS是为了保证接收方的选择数据，DQS在读取时与数据同步传输，那么接收时也是以DQS的上下沿为准吗？不，如果以DQS的上下沿区分数据周期的危险很大。由于芯片有预取的操作，所以输出时的同步很难控制，只能限制在一定的时间范围内，数据在各I/O端口的出现时间可能有快有慢，会与DQS有一定的间隔，这也就是为什么要有一个tAC规定的原因。而在接收方，一切必须保证同步接收，不能有tAC之类的偏差。这样在写入时，芯片不再自己生成DQS，而以发送方传来的DQS为基准，并相应延后一定的时间，在DQS的中部为数据周期的选取分割点（在读取时分割点就是上下沿），从这里分隔开两个传输周期。这样做的好处是，由于各数据信号都会有一个逻辑电平保持周期，即使发送时不同步，在DQS上下沿时都处于保持周期中，此时数据接收触发的准确性无疑是最高的。在写入时，以DQS的高/低电平期中部为数据周期分割点，而不是上/下沿，但数据的接收触发仍为DQS的上/下沿。

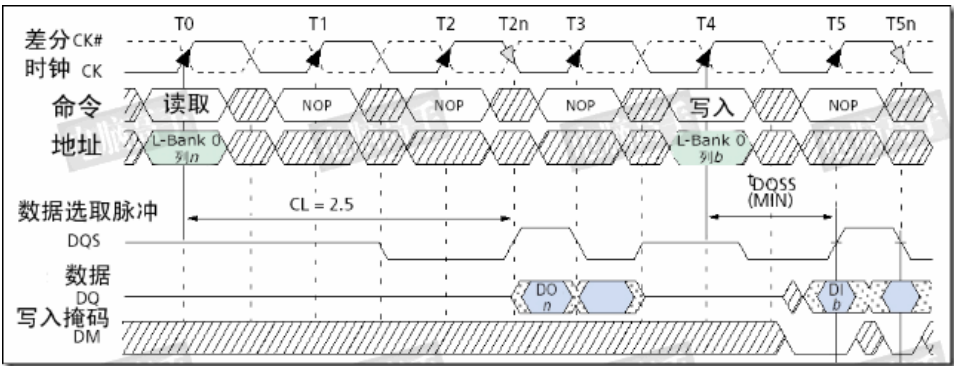


3、写入延迟

在上面的DQS写入时序图中，可以发现写入延迟已经不是0了，在发出写入命令后，DQS与写入数据要等一段时间才会送达。这个周期被称为DQS相对于写入命令的延迟时间（tDQSS，WRITE Command to the first corresponding rising edge of DQS），对于这个时间大家应该很好理解了。

为什么要有这样的延迟设计呢？原因也在于同步，毕竟一个时钟周期两次传送，需要很高的控制精度，它必须要等接收方做好充分的准备才行。tDQSS是DDR内存写入操作的一个重要参数，太短的话恐怕接受有误，太长则会造成总线空闲。tDQSS最短不能小于0.75个时钟周期，最长不能超过1.25个时钟周期。有人可能会说，如果这样，DQS不就与芯片内的时钟不同步了吗？对，正

常情况下，tDQSS是一个时钟周期，但写入时接受方的时钟只用来控制命令信号的同步，而数据的接受则完全依靠DQS进行同步，所以 DQS与时钟不同步也无所谓。不过，tDQSS产生了一个不利影响——读后写操作延迟的增加，如果CL=2.5，还要在tDQSS基础上加入半个时钟周期，因为命令都要在CK的上升沿发出。



当CL=2.5时，读后写的延迟将为tDQSS+0.5个时钟周期（图中BL=2）

另外，DDR内存的数据真正写入由于要经过更多步骤的处理，所以写回时间（tWR）也明显延长，一般在3个时钟周期左右，而在DDR-II规范中更是将tWR列为模式寄存器的一项，可见它的重要性。

误区：DDR SDRAM 各种延迟与潜伏期的单位时间减半
一些文章认为，DDR 使数据传输率加倍，那么与之相关的延迟与潜伏期的单位时间也减半，比如 DDR-266 内存，tRCD、CL、tRP 的单位周期为 3.75ns，比 PC133 内存少了一半。这是严重的概念性错误，从我们列举的时序图中可以看出，tRCD、CL、tRP 是以时钟信号来界定的，不能用传输周期去表示，否则 CL=2.5 的参考基准是什么？对于 DDR-266，时钟频率是 133MHz，时钟周期仍是 7.5，和 PC133 的标准一样。那些文章的作者显然是将时钟周期与传输周期弄混了

4、突发长度与写入掩码

在DDR SDRAM中，突发长度只有2、4、8三种选择，没有了随机存取的操作（突发长度为1）和全页式突发。这是为什么呢？因为L-Bank一次就存取两倍于芯片位宽的数据，所以芯片至少也要进行两次传输才可以，否则内部多出来的数据怎么处理？而全页式突发事实证明在PC内存中是很难用得上的，所以被取消也不稀奇。

但是，突发长度的定义也与SDRAM的不一样了（见本章节最前那幅DDR简示图），它不再指所连续寻址的存储单元数量，而是指连续的传输周期数，每次是一个芯片位宽的数据。对于突发写入，如果其中有不存入的数据，仍可以运用DM信号进行屏蔽。DM信号和数据信号同时发出，接收方在DQS的上升与下降沿来判断DM的状态，如果DM为高电平，那么之前从DQS 中部选取的数据就被屏蔽了。有人可能会觉得，DM是输入信号，意味着芯片不能发出DM信号给北桥作为屏蔽读取数据的参考。其实，该读哪个数据也是由北桥芯片决定的，所以芯片也无需参与北桥的工作，哪个数据是有用的就留给北桥自己去选吧。

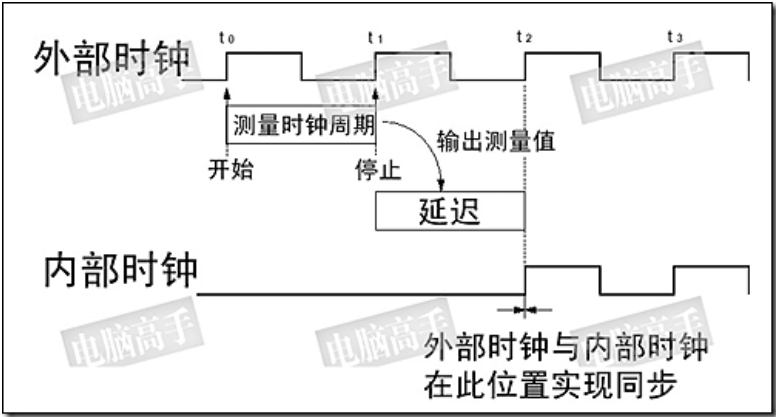
5、延迟锁定回路（DLL）

DDR SDRAM对时钟的精确性有着很高的要求，而DDR SDRAM有两个时钟，一个是外部的总线时钟，一个是内部的工作时钟，在理论上DDR SDRAM这两个时钟应该是同步的，但由于种种原因，如温度、电压波动而产生延迟使两者

很难同步，更何况时钟频率本身也有不稳定的情况（SDRAM也内部时钟，不过因为它的工作/传输频率较低，所以内外同步问题并不突出）。DDR SDRAM的tAC就是因为内部时钟与外部时钟有偏差而引起的，它很可能造成因数据不同步而产生错误的恶果。实际上，不同步就是一种正/负延迟，如果延迟不可避免，那么若是设定一个延迟值，如一个时钟周期，那么内外时钟的上升与下降沿还是同步的。鉴于外部时钟周期也不会绝对统一，所以需要**根据外部时钟动态修正内部时钟的延迟来实现与外部时钟的同步，这就是DLL的任务。**

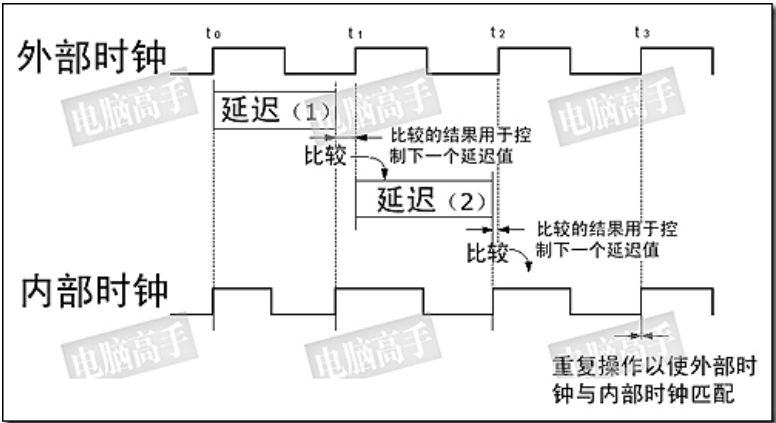
DLL不同于主板上的PLL，它不涉及频率与电压转换，而是生成一个延迟量给内部时钟。目前DLL有两种实现方法，一个是时钟频率测量法（CFM，Clock Frequency Measurement），一个是时钟比较法（CC，Clock Comparator）。

CFM是测量外部时钟的频率周期，然后以此周期为延迟值控制内部时钟，这样内外时钟正好就相差了一个时钟周期，从而实现同步。DLL就这样反复测量反复控制延迟值，使内部时钟与外部时钟保持同步。



CFM式DLL工作示意图

CC的方法则是比较内外部时钟的长短，如果内部时钟周期短了，就将所少的延迟加到下一个内部时钟周期里，然后再与外部时钟做比较，若是内部时钟周期长了，就将多出的延迟从下一个内部时钟中创除，如此往复，最终使内外时钟同步。



CC式DLL工作示意图

CFM与CC各有优缺点，CFM的校正速度快，仅用两个时钟周期，但容易受到噪音干扰，并且如果测量失误，则内部的延迟就永远错下去了。CC的优点则是

更稳定可靠，如果比较失败，延迟受影响的只是一个数据（而且不会太严重），不会涉及到后面的延迟修正，但它的修正时间要比CFM长。DLL功能在DDR SDRAM中可以被禁止，但仅限于除错与评估操作，正常工作状态是自动有效的。

误区：DLL 是实现 DDR 传输的关键

“DDR 内存通过内部的 DLL 延时锁相环提供精确的时钟定位，这样就可以在每个时钟周期的上升沿和下降沿传输数据”。“DDR 使用了 DLL 来提供一个数据滤波信号 DQS 来选取数据”。

以上是目前较为流行的对 DDR 工作原理的两种解释，现在大家能看出错误所在吗？两者都把 DLL 的功能夸大了，DLL 只是一个重要的辅助校准设计，与能否实现双沿触发没有关系，它只是保证数据的输出尽量与外部时钟同步。后者则是概念性错误，从 DDR 内存结构图可看出，DQS 不是 DLL 生成的，只是由 DLL 保证其与外部时钟的同步，DQS 由单独的 DQS 发生器生成。

转自一些论坛：

- 1.并行匹配主要是考虑到负载过重，属于信号完整性的问题；如果接口下就1~2片DDR可以考虑串阻匹配的
- 2.由于DDR2的电平HSTL电平的，也就是时钟是伪差分的方式，没必要按3W做，等长是必要的，最好做VTT

理论上3W，指两线中心间距=3*线到地平面距离

一般的3W原则，采用的是，两线中心间距=3*线宽

根据JEDEC^[1]建议DDR2的最高工作电压是1.9V，并且建议对于要求内存稳定使用的环境绝不能超过此值（例如服务器或其他任务关键设备）。此外，JEDEC规定内存模块必须在受到永久损害前承受2.3V的电压。

分类: 电路设计

好文要顶

关注我

收藏该文

我心狂野

粉丝 - 88 关注 - 3

+加关注

« 上一篇: [交换机和路由器各自的实现原理](#)

» 下一篇: [以太网PHY和MAC](#)

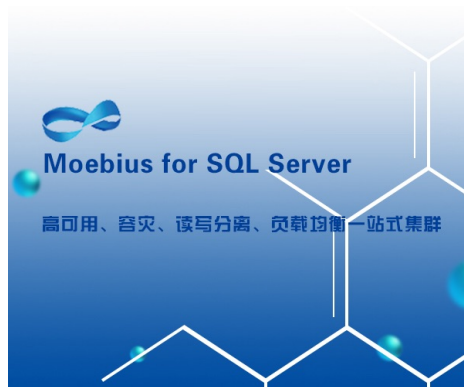
150

posted @ 2012-09-01 00:22 我心狂野 阅读(98604) 评论(2) 编辑 收藏 举报

[刷新评论](#) [刷新页面](#) [返回顶部](#)

(评论功能已被禁用)

【推荐】下一步，敏捷！ | 助力远程办公走向成功系列讲座



编辑推荐:

- 说透缓存一致性与内存屏障
- 技术管理杂谈
- 使用 Three.js 实现炫酷的赛博朋克风格 3D 数字地球大屏
- 聊聊 Redis 是如何进行请求处理
- 基于 ABP 实现 DDD--领域服务、应用服务和 DTO 实践

最新新闻:

- 量子位控制新法可推进量子计算机发展
 - 蓝光危害会随着年龄增长而加重
 - 单原子“游泳”图像首次捕捉
 - 鸿蒙3.0发布，华为正式跟滴滴们“打群架”
 - 何小鹏的网约车业务内部已无存在感 行业人士：相较三年前仍停留在原处
- » 更多新闻...