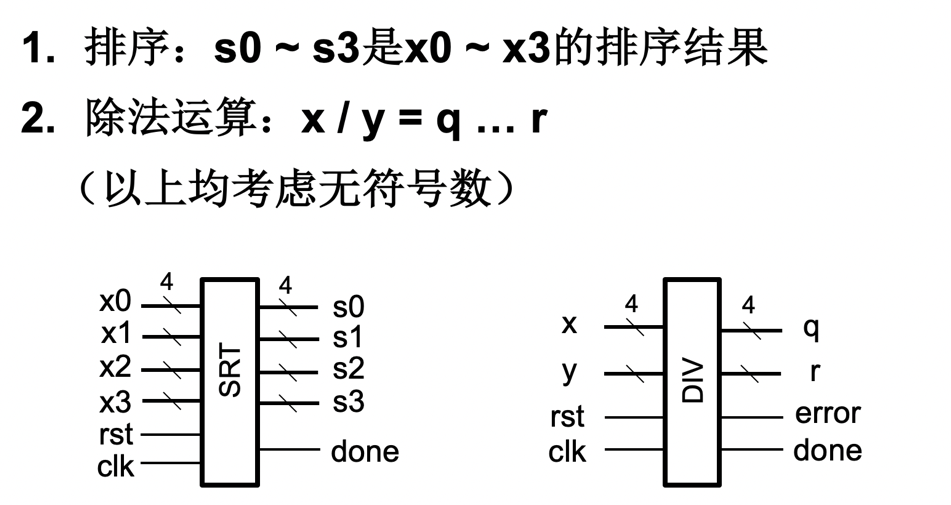
**实验报告**

**实验名称：Lab2\_数据通路与状态机**

**学生姓名： 田宏宇 学号： PB17111573**

**实验日期： 2019 年 3 月 29 日**

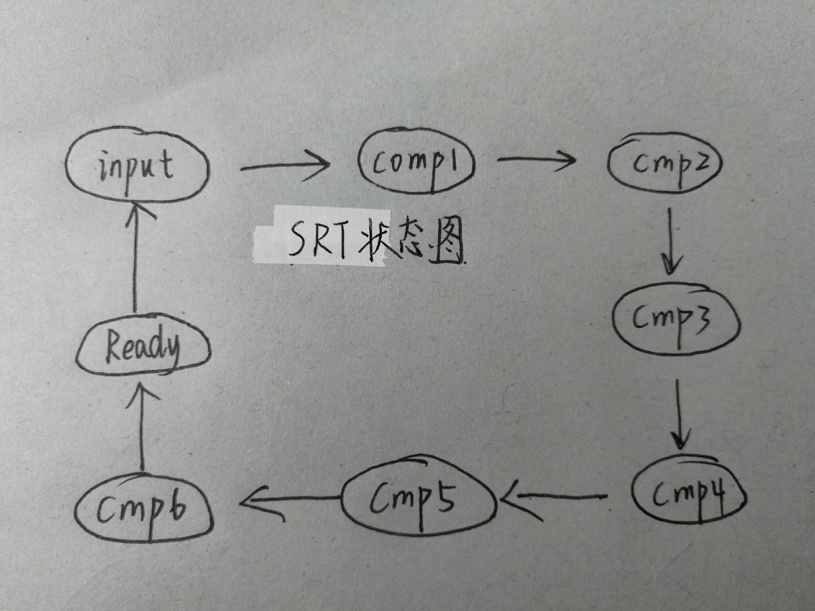
#### 一、实验内容



#### 二、实验设计

1.排序状态机

四组数据采用冒泡排序，至多需进行6次两两比较并交换

****

**2.除法运算**

**(利用减法)**

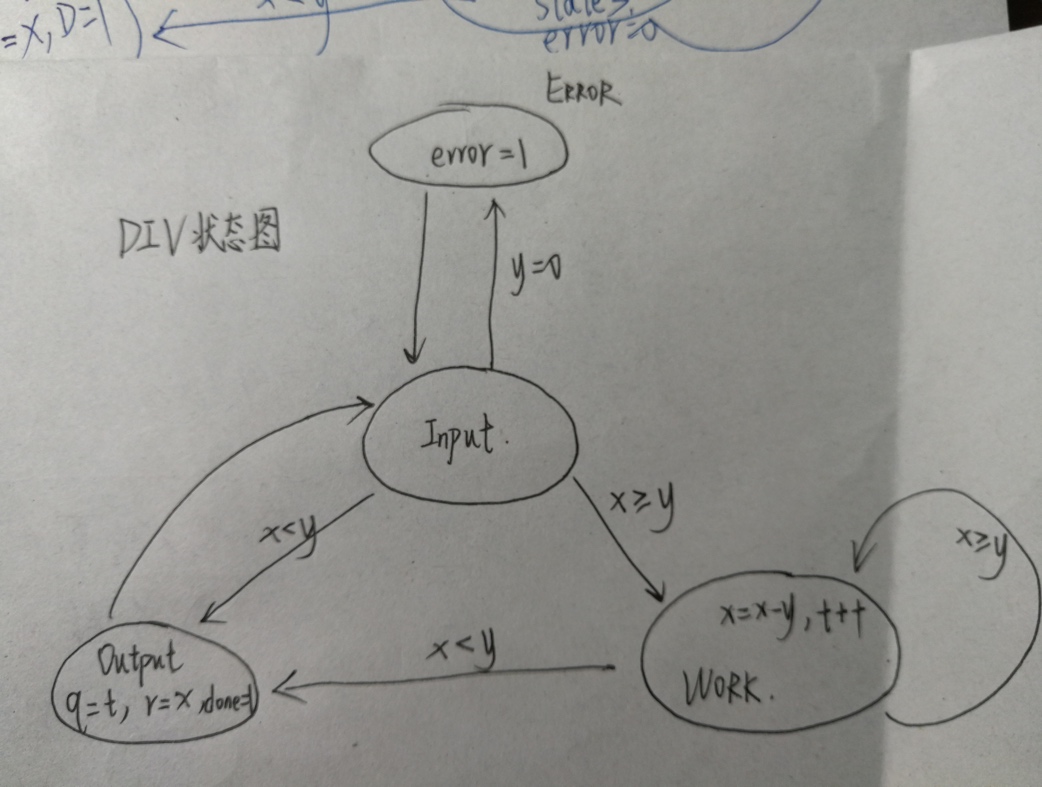
**as for x and y:**

**if y=0, error=0;**

**else if (x<y) output: q=0, r=x;**

**else if (x>=y) do x=x-y until x<y,**

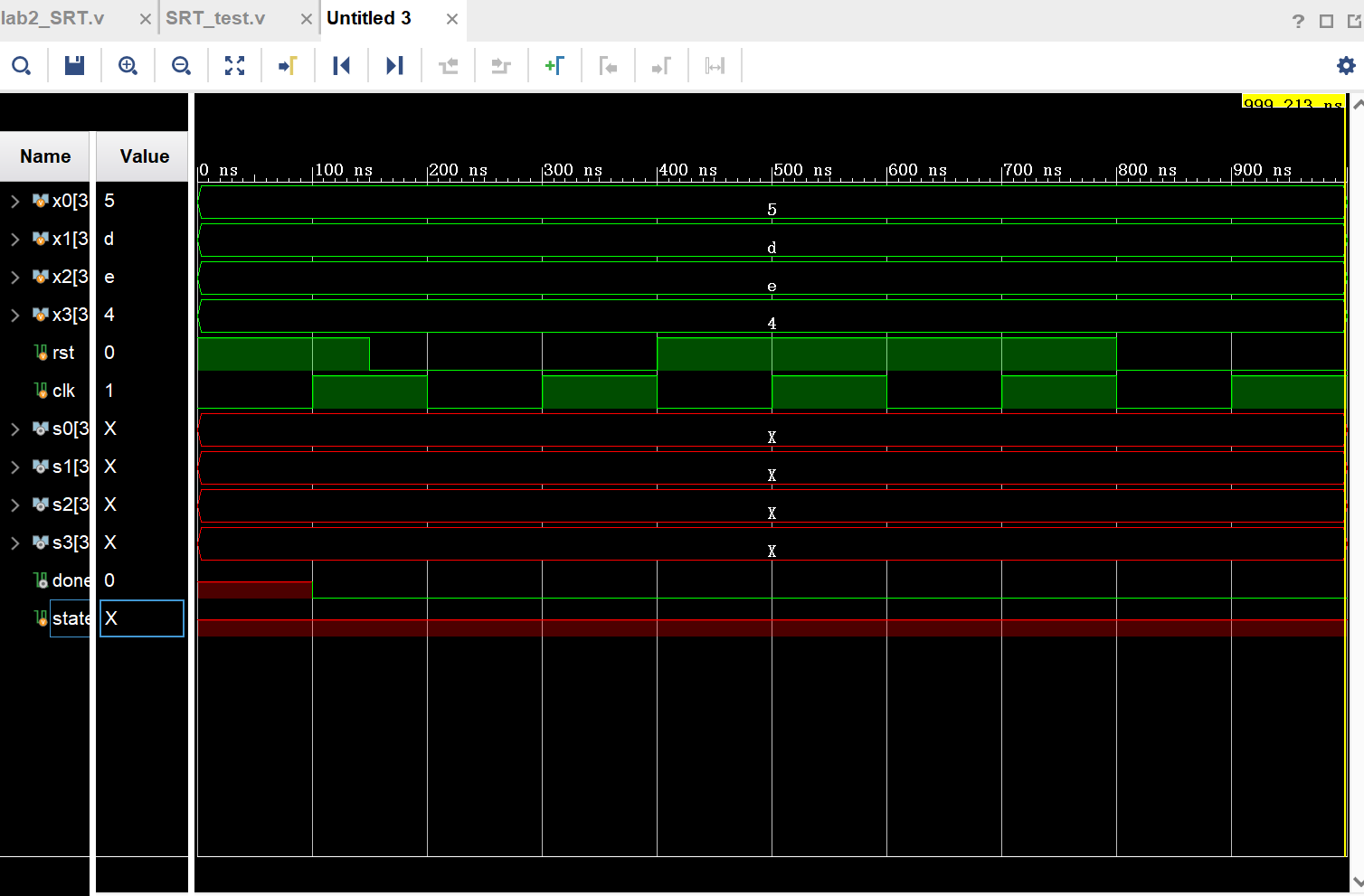
**then output: q=t (times of subtraction), r=x;**

****

#### 三、实验过程

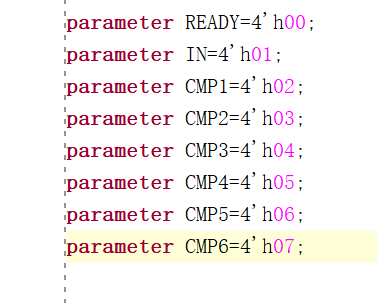
1.排序

SRT第一次仿真失败，s0-s3未被赋值：

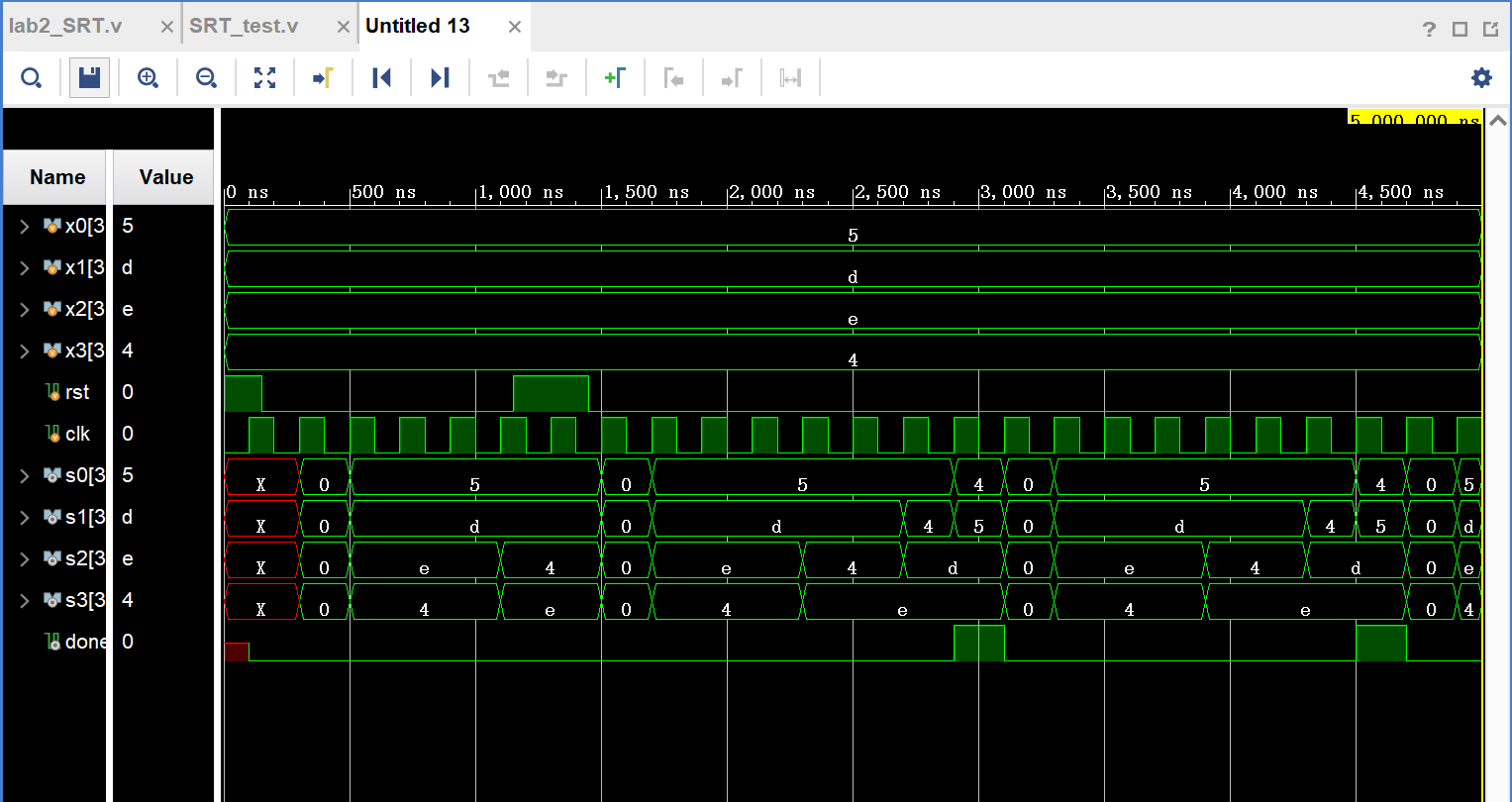
****

**经检查发现错误原因：**

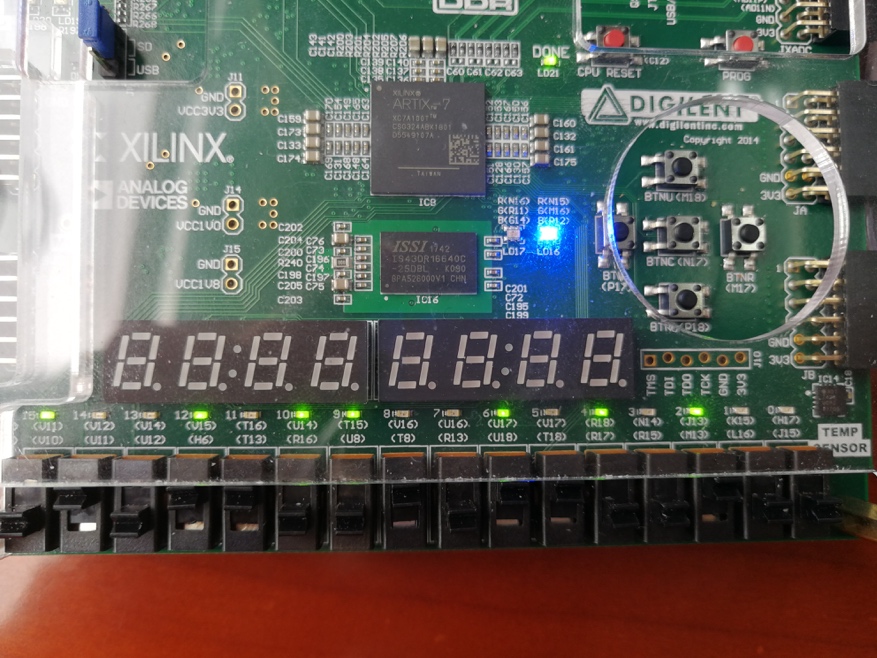
**给state的选择值赋初值时用IN=2’h01种方式，忽略了state是四位二进制数，改为4’h01后解决了该问题：**

****

**得到正确仿真如下**

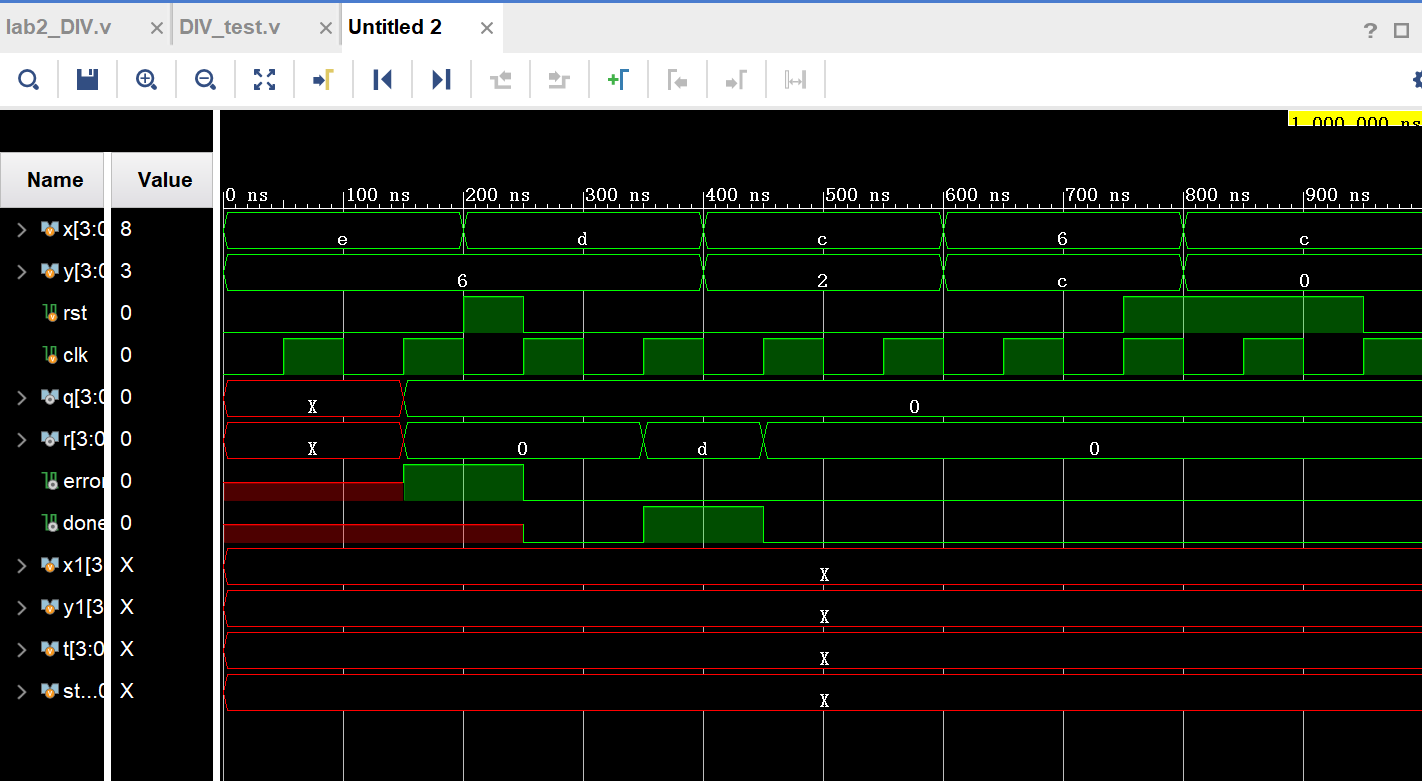
****

**下载结果如图，BTNC控制clk，蓝灯亮起代表done**

****

**2.除法运算**

**第一次仿真失败，输出结果很乱**

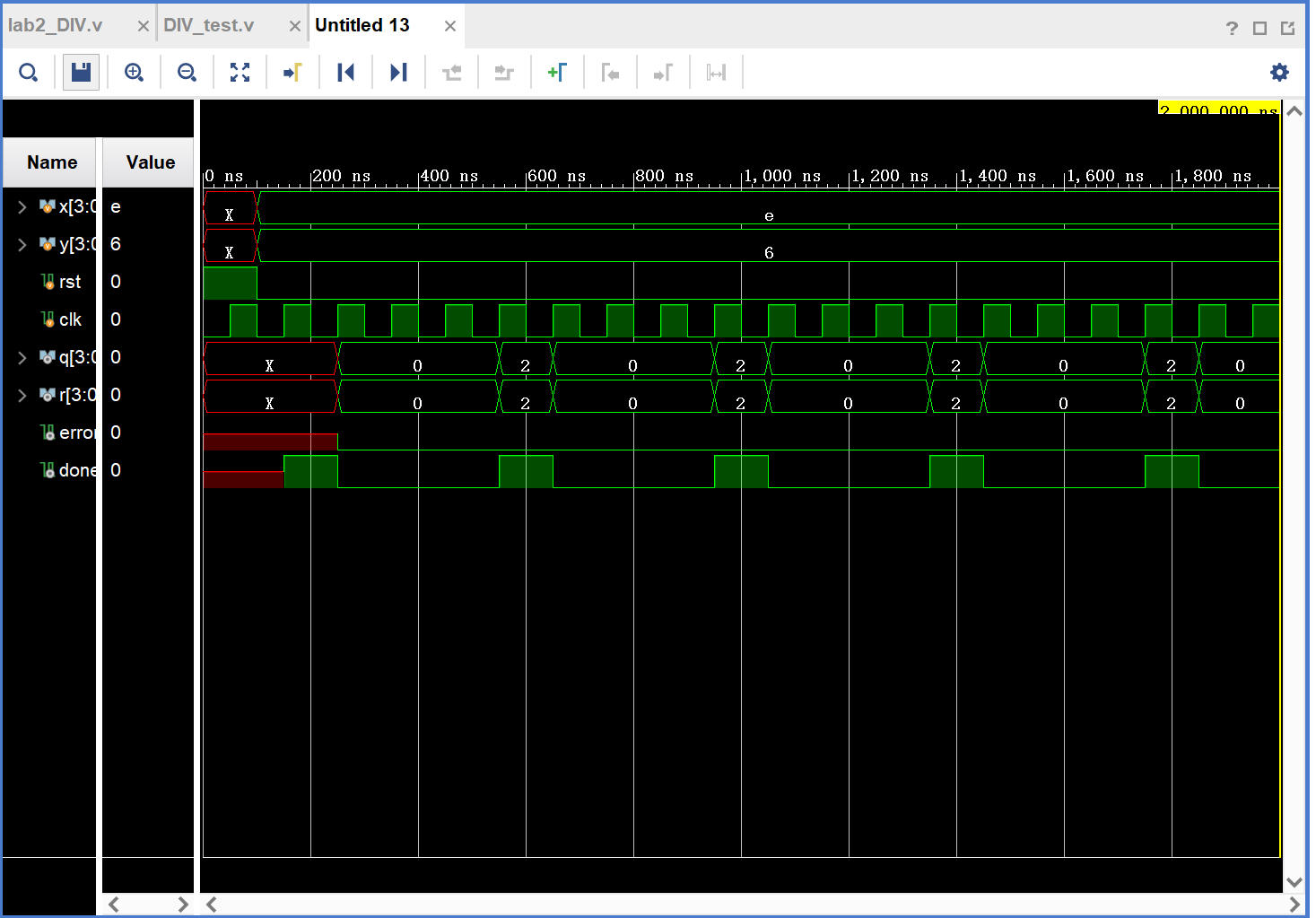
****

**经过研究，发现问题：**

**1.某组数据运算至done需要周期数较多，所以在一组还未完成运算我仿真设置的下一组数据提前到来了，导致输出出错。**

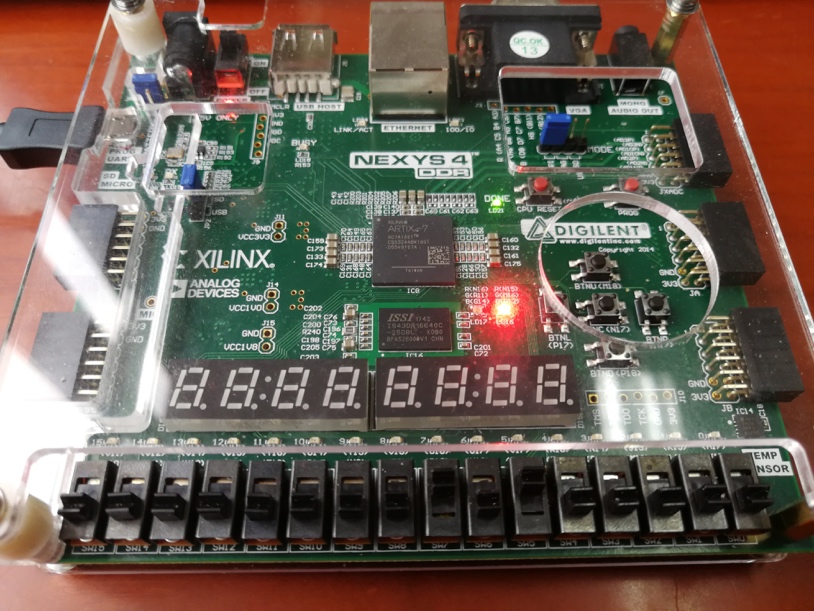
**2.在仿真时非输入输出变量不会在仿真中表现出数据变化，之前没有认识到这一点，导致出现问题时第一时间以为是state等值未赋进去，找了半天也没有解决。**

**解决后：在test文件中改为只有一组除数与被除数，仿真如下：**

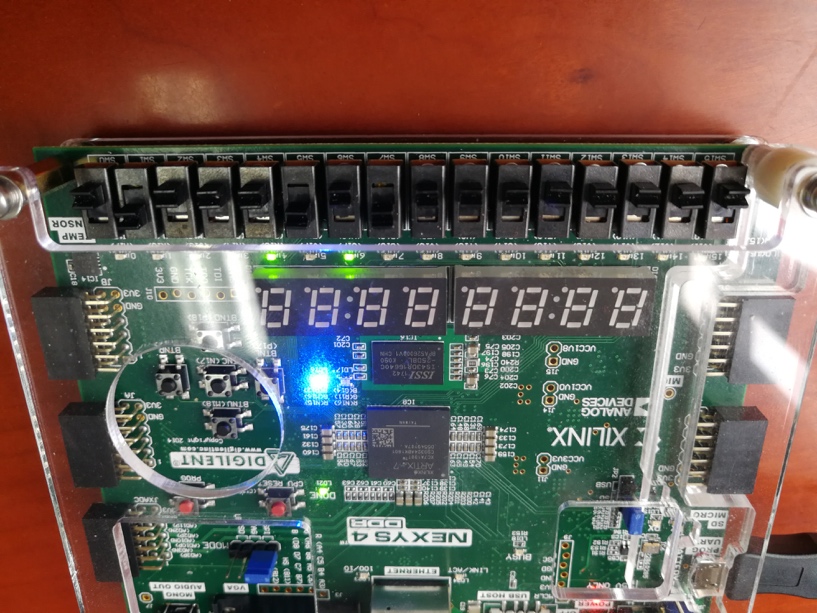
****

**下载结果如下：**

**红灯表示y=0时ERROR**

****

**蓝灯为done**

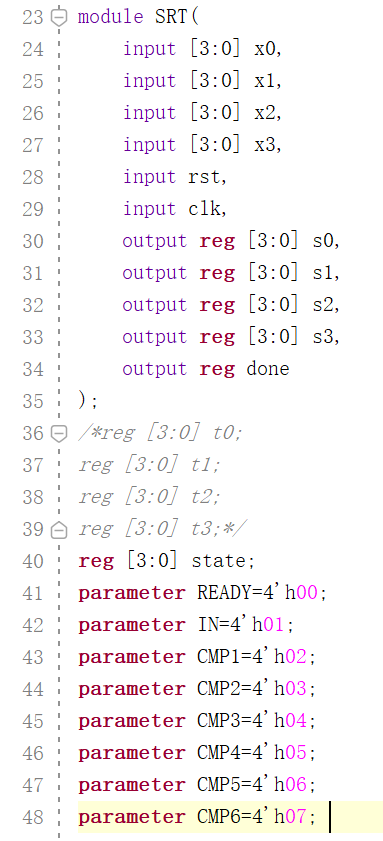
****

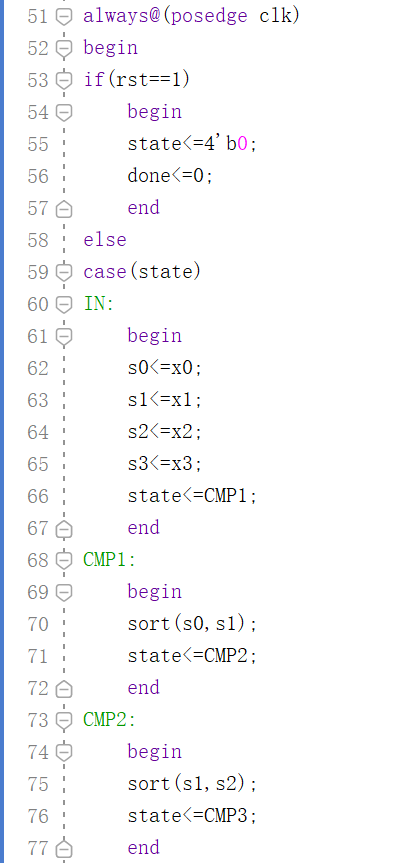
#### 四、实验总结

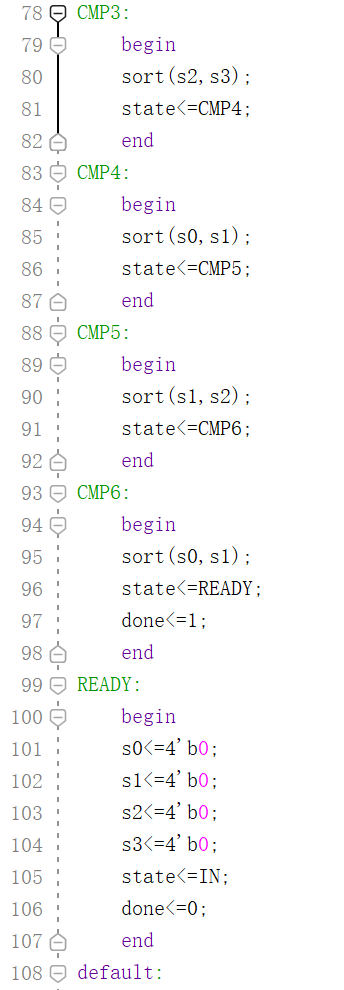
在这次实验中，我学会了四组数据排序和除法器的设计，对verilog的数据表示、case语句和时序逻辑等有了进一步的理解，在实验中解决仿真时遇到的问题提高了我的debug能力。

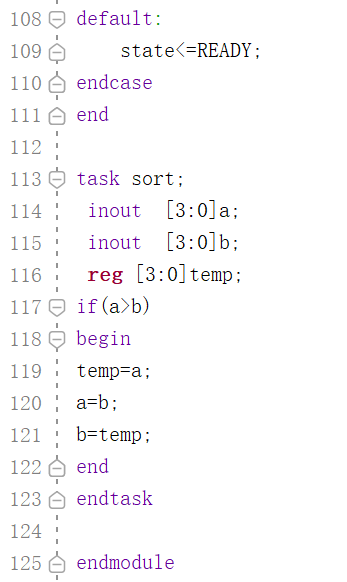
## 附

**1.SRT代码如下：**

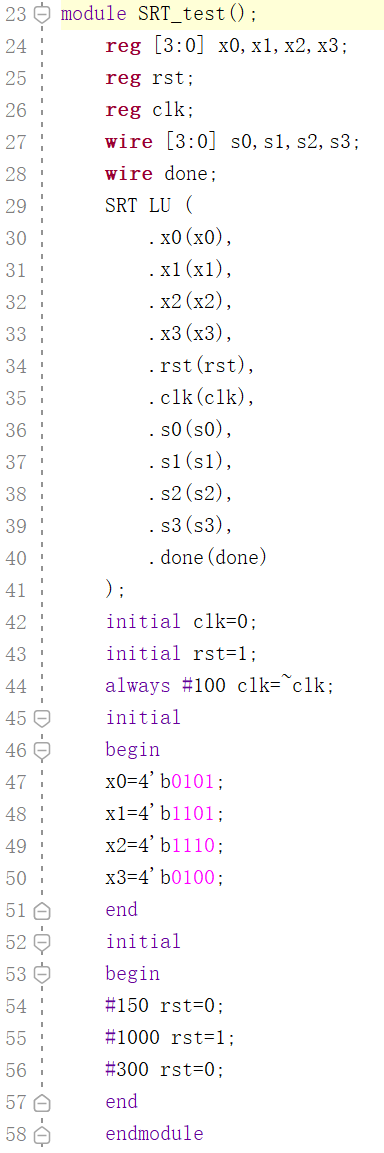
****

****

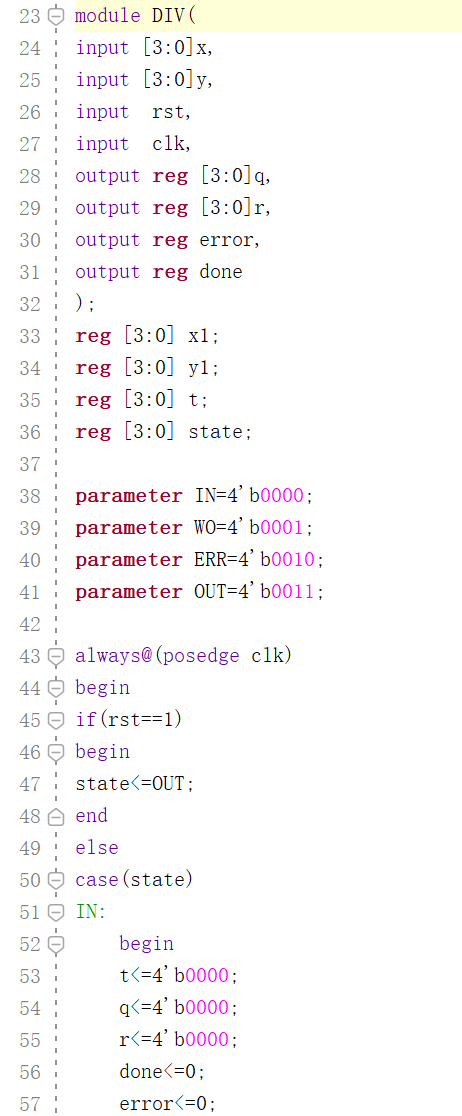
****

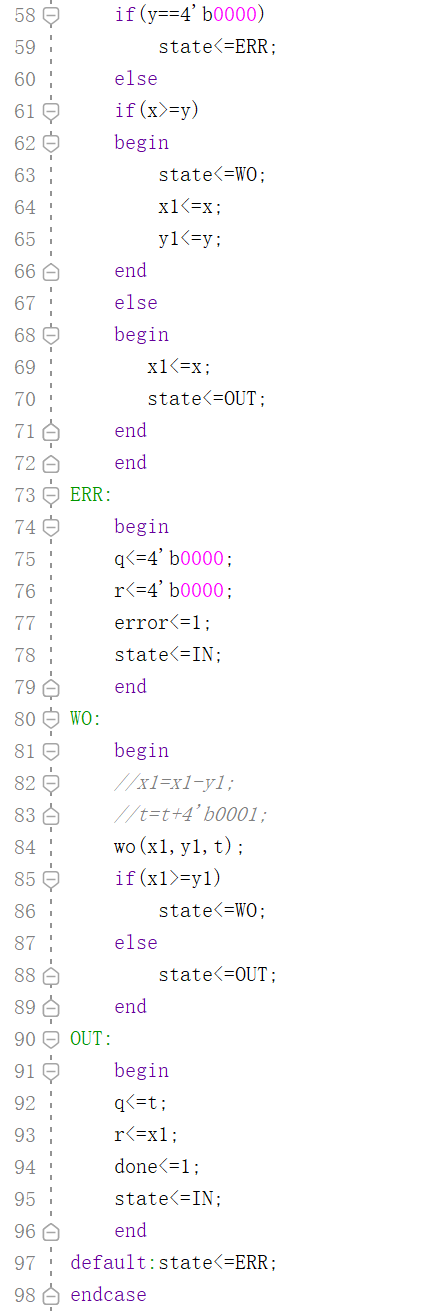
****

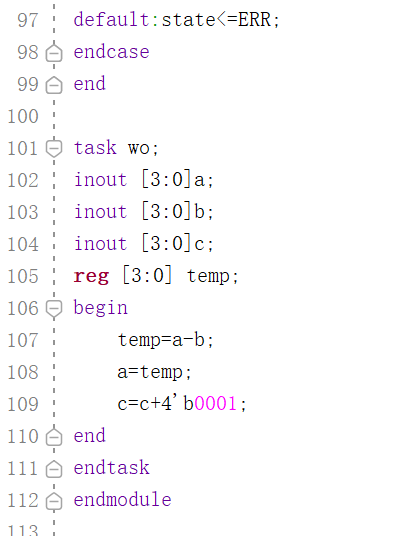
SRT仿真代码



2.DIV代码如下







DIV仿真代码

