

10.2 概 述

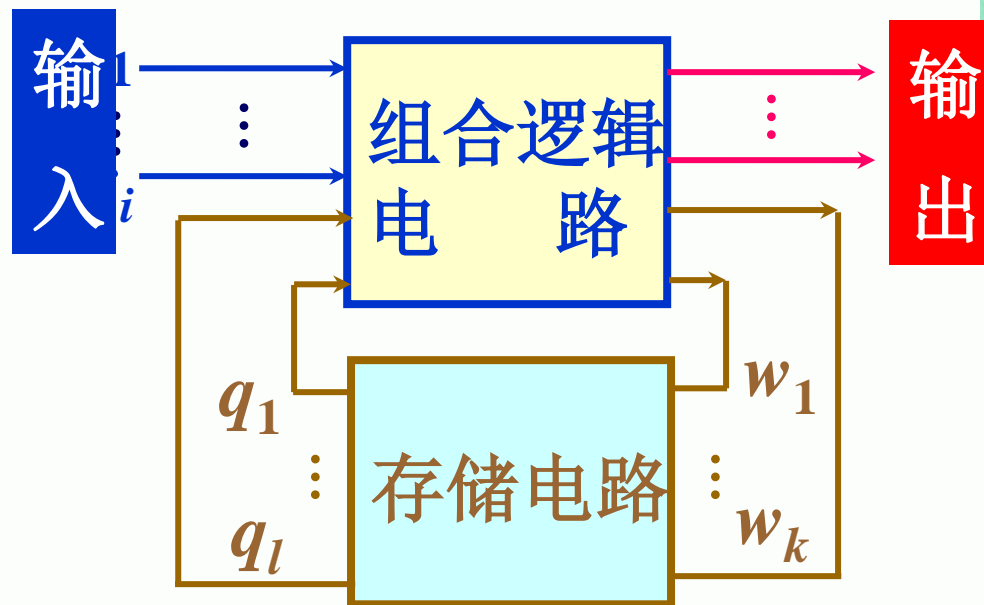
10.2.1 时序逻辑电路的特点、结构和分类

10.2.2 时序逻辑电路功能的描述方法

一、时序电路的特点

1. 定义

任何时刻电路的输出，不仅和该时刻的输入信号有关，而且还取决于电路原来的状态。



2. 电路特点

- (1) 与时间因素 (**CP**) 有关;
- (2) 含有记忆性的元件 (**触发器**)。

二、时序电路逻辑功能表示方法

1. 逻辑表达式

(1) 输出方程

$$Y(t_n) = F[X(t_n), Q(t_n)]$$

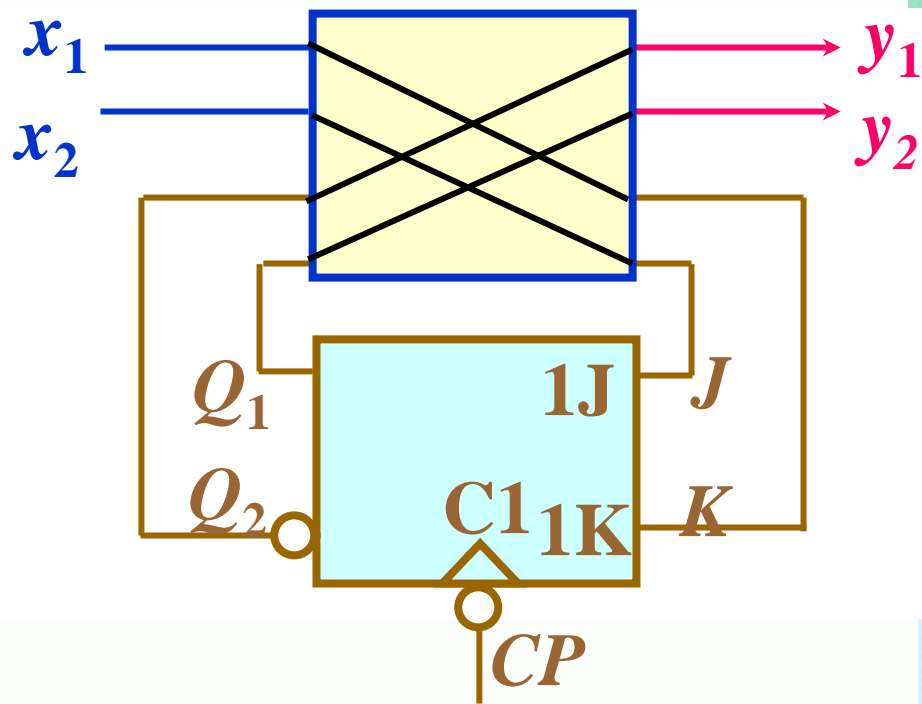
(2) 驱动方程(激励方程)

$$W(t_n) = G[X(t_n), Q(t_n)]$$

(3) 状态方程

$$Q(t_{n+1}) = H[W(t_n), Q(t_n)]$$

2. 状态表、卡诺图、状态图和时序图



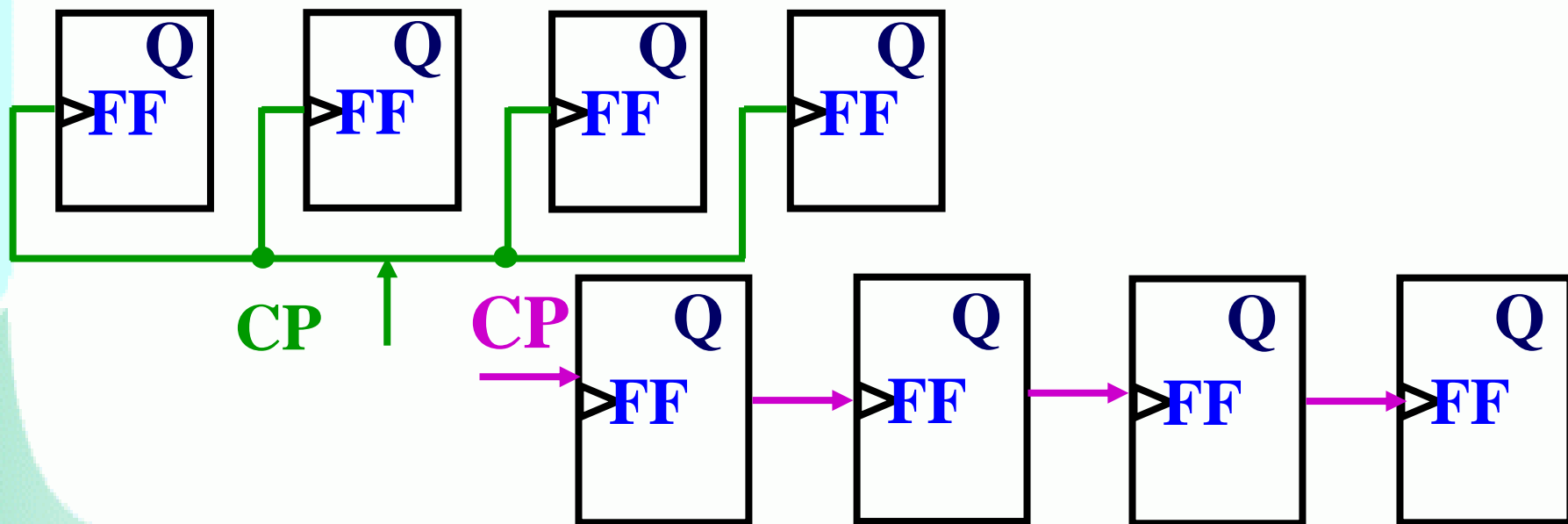
三、时序逻辑电路分类

1. 按逻辑功能划分：计数器、寄存器、读/写存储器、顺序脉冲发生器等。

2. 按时钟控制方式划分：

同步时序电路 触发器共用一个时钟 CP ，要更新状态的触发器同时翻转。

异步时序电路 电路中所有触发器没有共用一个 CP 。



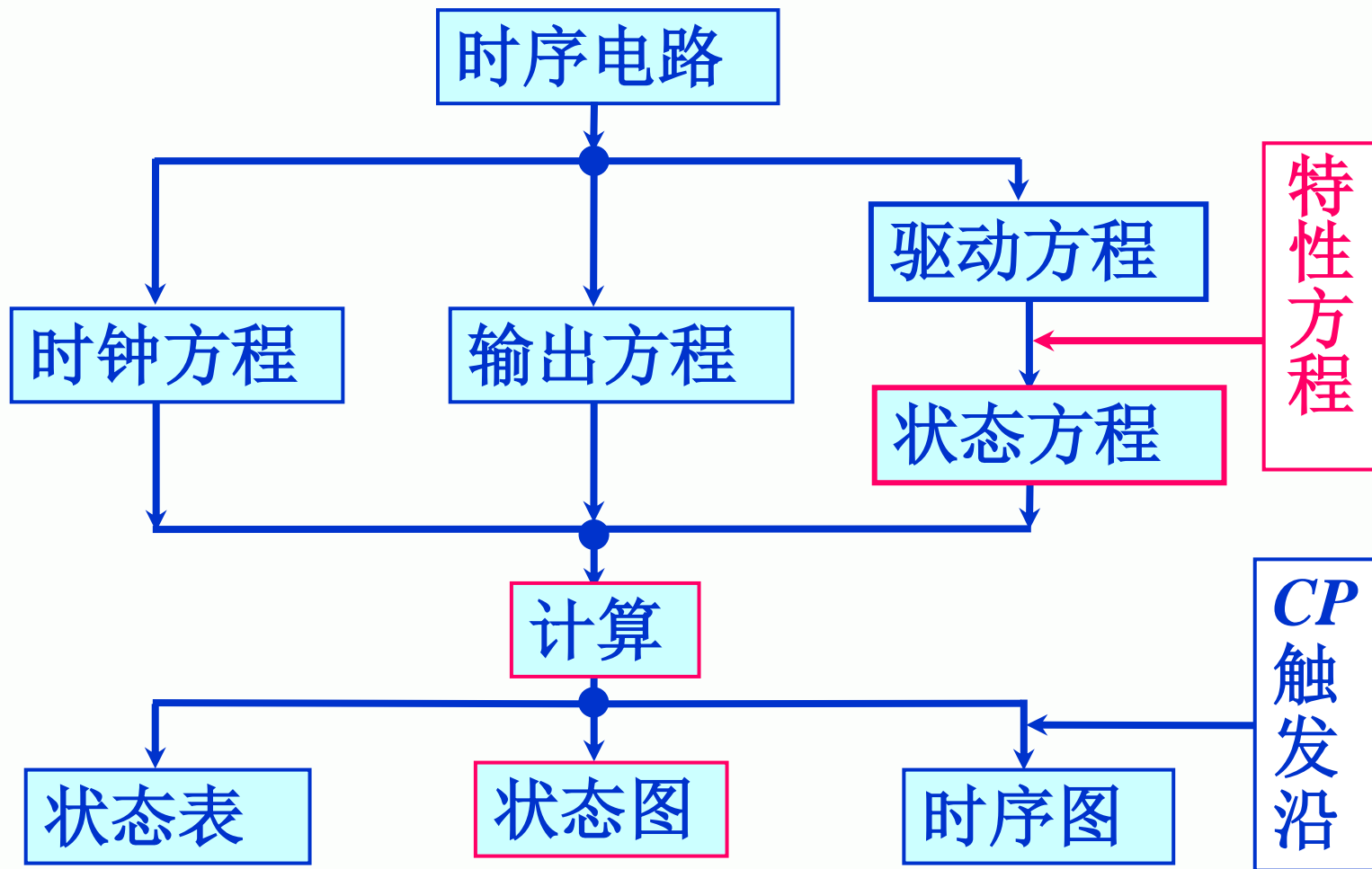
10.3 时序逻辑电路的分析和设计

10.3.1 时序逻辑电路的分析

10.3.2 时序逻辑电路的设计

10.3.1 时序逻辑电路的分析

1、分析步骤



2、状态表

反映时序逻辑电路的输出 Z 、次态 Q^{n+1} 和电路的输入 X 、现态 Q^n 间对应取值关系的表格称为状态表。

<div> <div>输入</div> <div>次态/输出</div> <div>现态</div> </div>	X
	Q^{n+1}/Z
Q^n	

Z 为现态下的输出

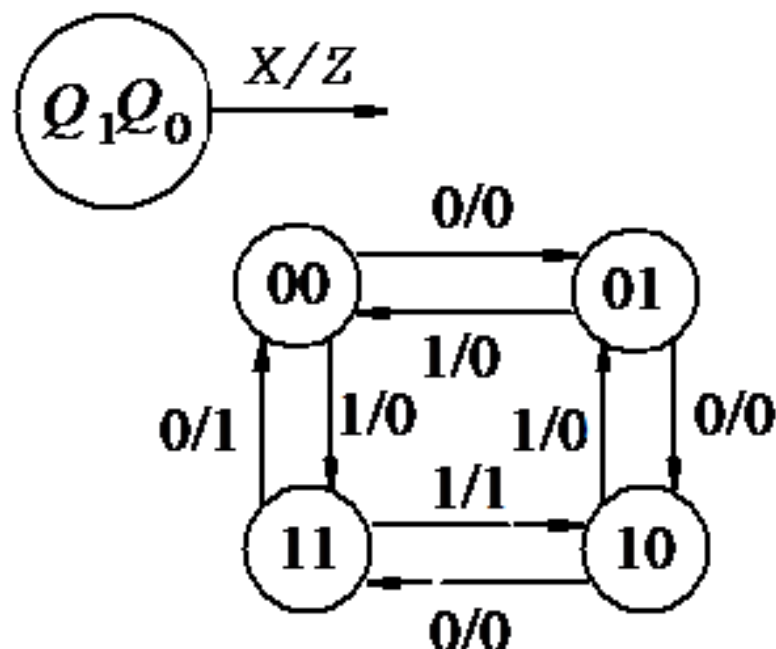
$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$X=0$	$X=1$
0 0	0 1 / 0	1 1 / 0
0 1	1 0 / 0	0 0 / 0
1 0	1 1 / 0	0 1 / 0
1 1	0 0 / 1	1 0 / 1

读法：处于现态 Q^n 的时序电路，当输入为 X 时，该电路将进入输出为 z 的次态 Q^{n+1}

3. 状态图

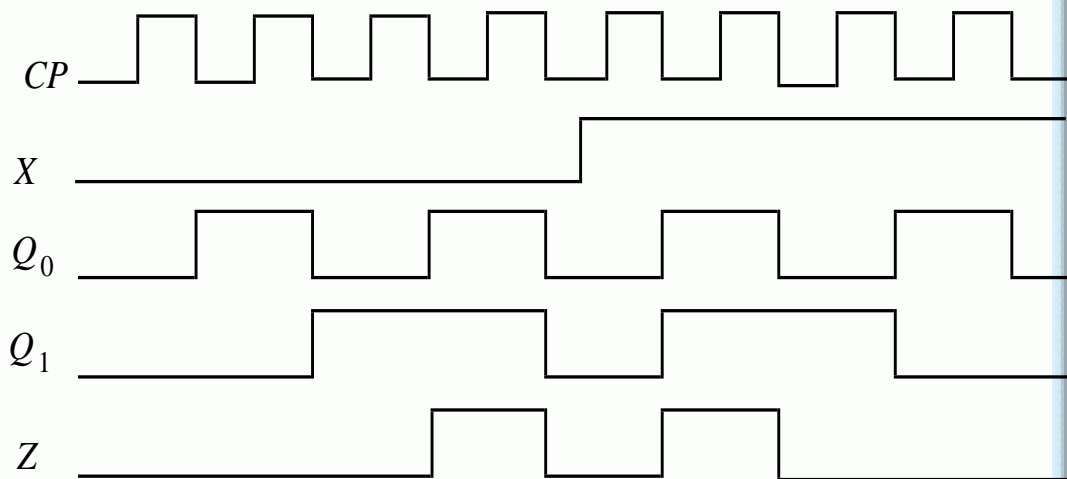
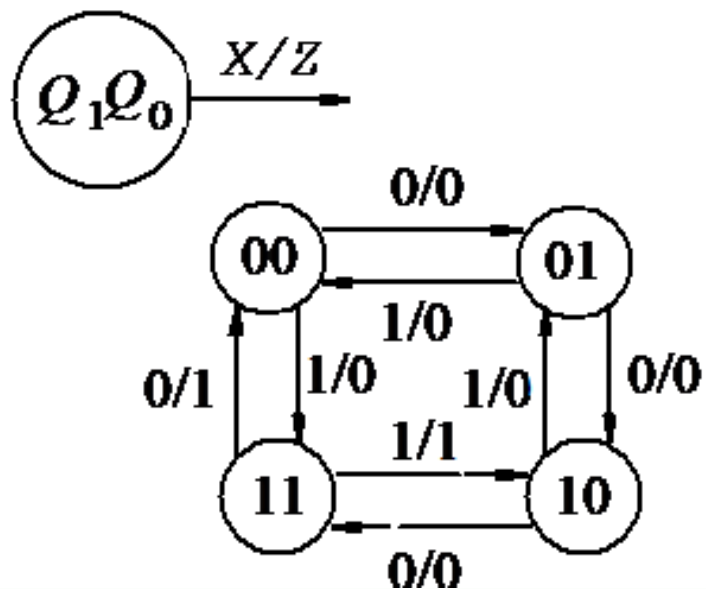
反映时序逻辑电路状态转换规律及相应输入、输出取值关系的图形称为状态图

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$X=0$	$X=1$
0 0	0 1 / 0	1 1 / 0
0 1	1 0 / 0	0 0 / 0
1 0	1 1 / 0	0 1 / 0
1 1	0 0 / 1	1 0 / 1



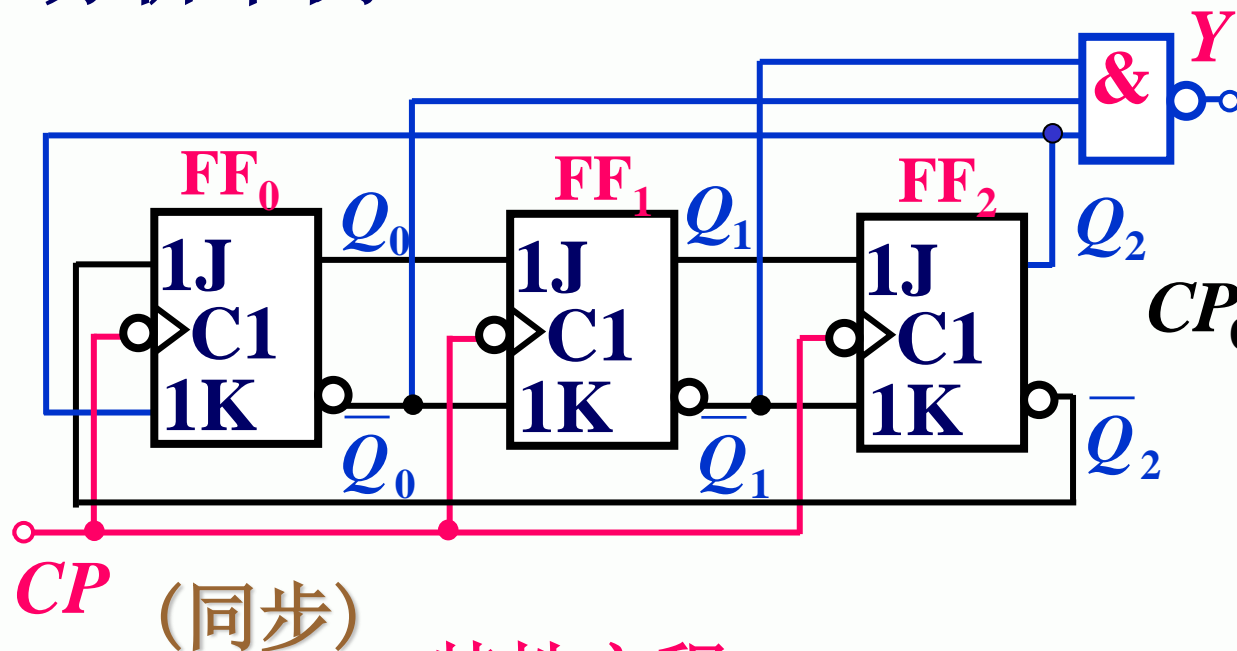
4. 时序图

即时序电路的工作波形图,能直观地描述时序电路的输入信号、时钟信号、输出信号及电路的状态转换等在时间上的对应关系。



时序逻辑电路的四种描述方式是可以相互转换的

分析举例



[解]

1、写方程式

时钟方程

$$CP_0 = CP_1 = CP_2 = CP$$

输出方程

$$Y = Q_2^n Q_1^n Q_0^n$$

驱动方程

特性方程

2、状态方程

$$\begin{cases} J_0 = \bar{Q}_2^n, K_0 = Q_2^n \\ J_1 = Q_0^n, K_1 = \bar{Q}_0^n \\ J_2 = Q_1^n, K_2 = Q_1^n \end{cases}$$

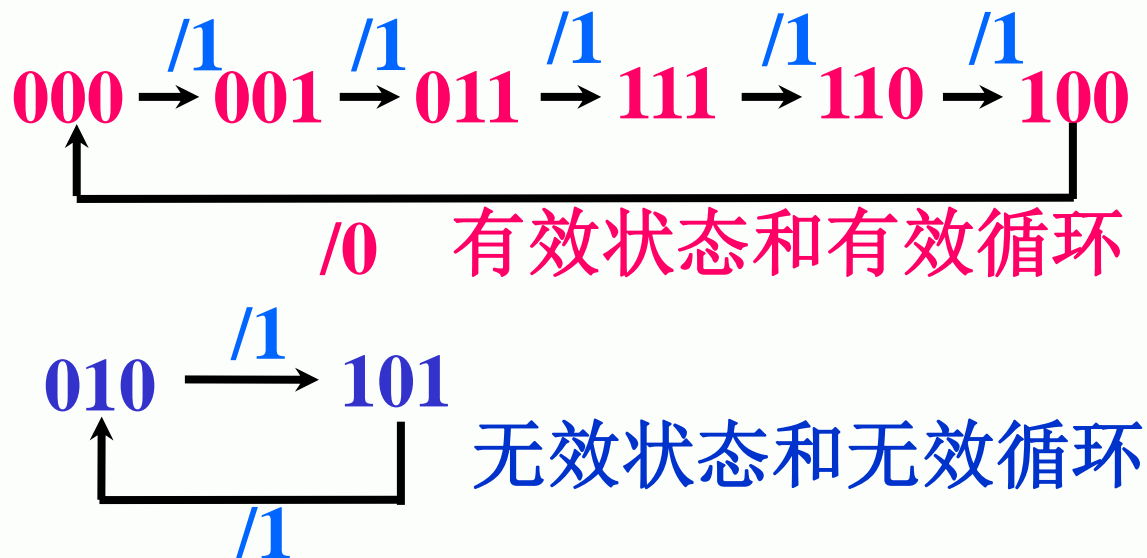
$$\begin{cases} Q_0^{n+1} = \bar{Q}_2^n \bar{Q}_0^n + Q_2^n Q_0^n = \bar{Q}_2^n \\ Q_1^{n+1} = Q_0^n \bar{Q}_1^n + \bar{Q}_0^n Q_1^n = Q_0^n \\ Q_2^{n+1} = Q_1^n \bar{Q}_2^n + \bar{Q}_1^n Q_2^n = Q_1^n \end{cases}$$

$$Q_2^{n+1} = Q_1^n \quad Q_1^{n+1} = Q_0^n \quad Q_0^{n+1} = \overline{Q_2^n} \quad Y = Q_2^n Q_1^n Q_0^n$$

3、计算，列状态转换表

CP	$Q_2 Q_1 Q_0$	Y
0	0 0 0	1
1	0 0 1	1
2	0 1 1	1
3	1 1 1	1
4	1 1 0	1
5	1 0 0	0
0	0 1 0	1
1	1 0 1	1
2	0 1 0	1

4、画状态转换图

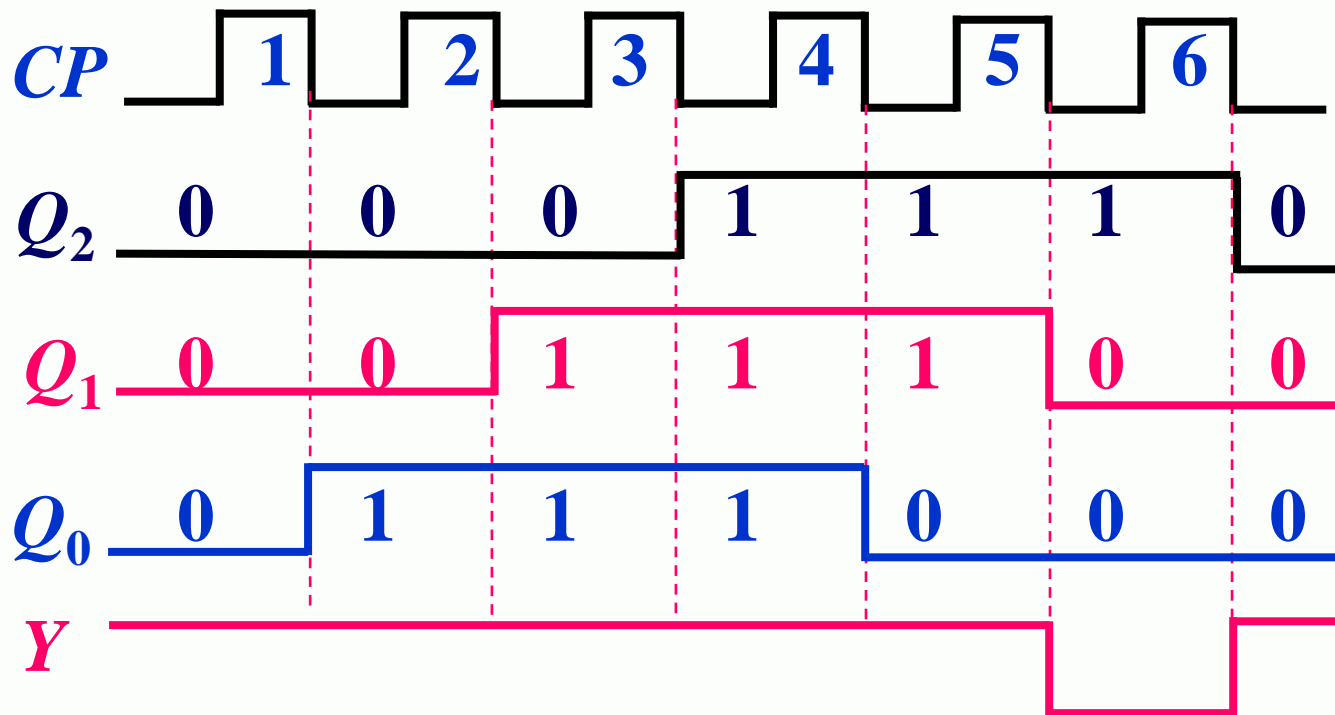
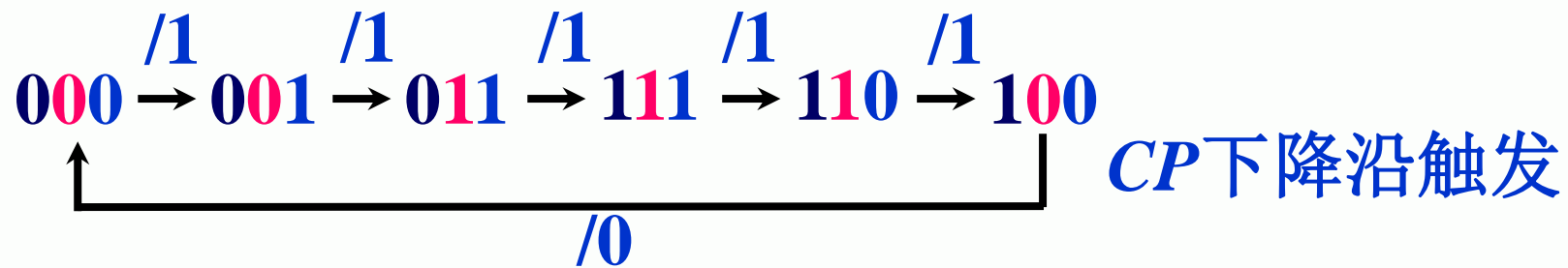


能否自启动?

能自启动: 存在无效状态, 但没有形成循环。

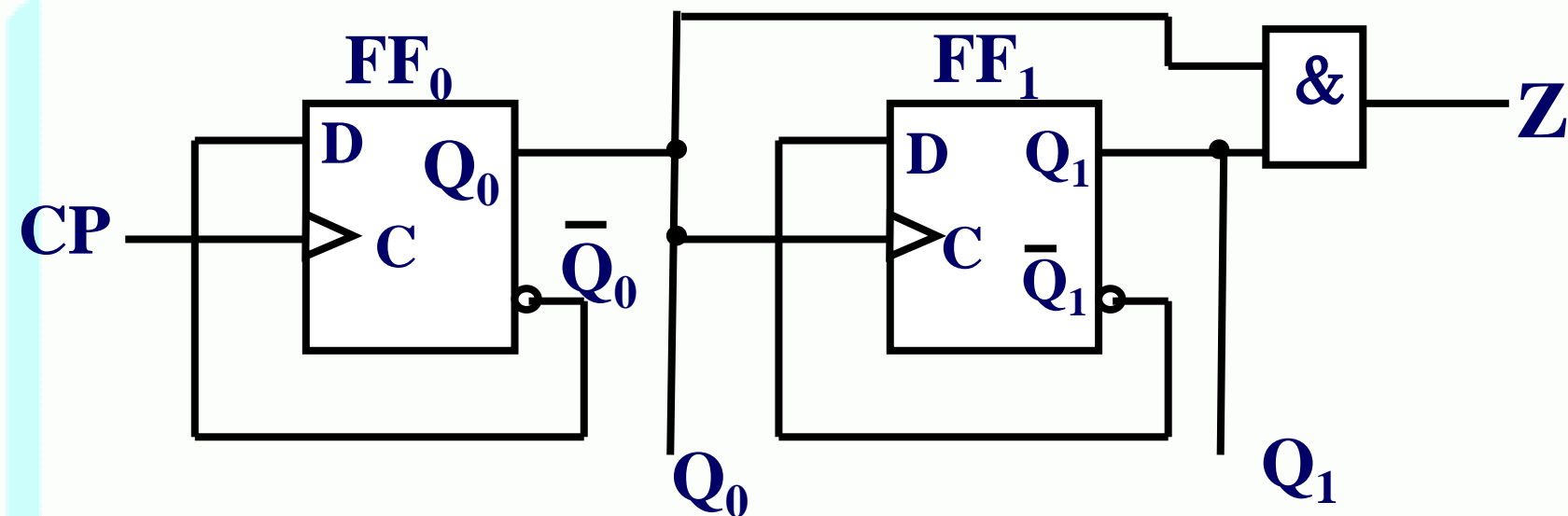
不能自启动: 无效状态形成循环。

画时序图



异步时序逻辑电路的分析举例

例：试分析如图所示的时序逻辑电路



该电路为异步时序逻辑电路。具体分析如下：

1、写出各逻辑方程式。

(1) 时钟方程：

$CP_0 = CP$ （时钟脉冲源的上升沿触发。 $CP \uparrow$ ）

$CP_1 = Q_0$ （当 FF_0 的 Q_0 由 $0 \rightarrow 1$ 时， Q_1 才可能改变状态。 $Q_0 \uparrow$ ）

(2) 输出方程: $Z = Q_0 Q_1$

(3) 各触发器的驱动方程: $D_0 = \overline{Q_0^n}; D_1 = \overline{Q_1^n}$

2、将各驱动方程代入D触发器的特性方程，得状态方程：

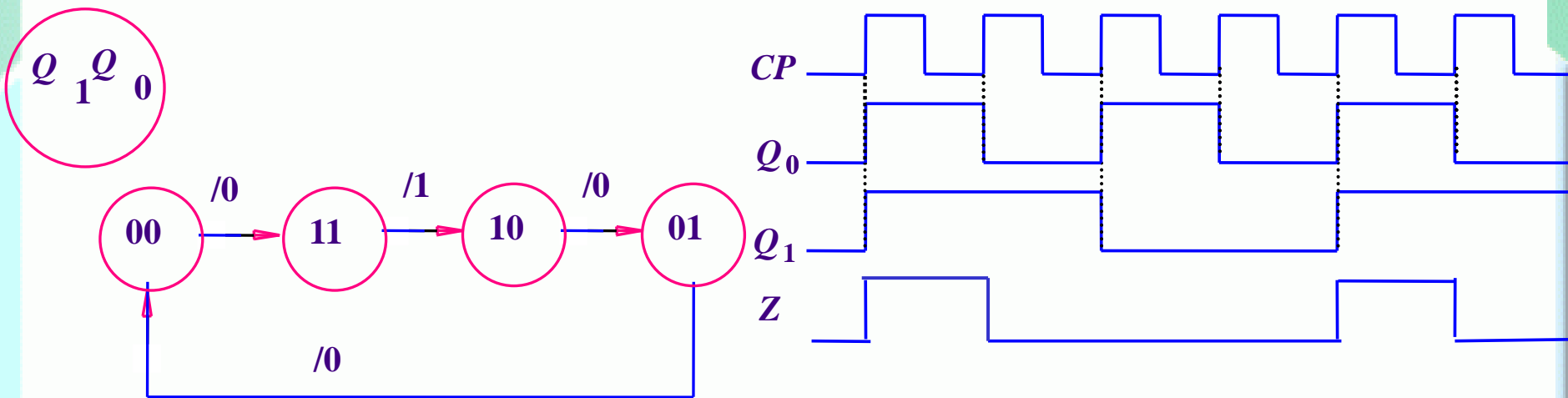
$$Q_0^{n+1} = D_0 = \overline{Q_0^n} \quad (\text{CP} \uparrow)$$

$$Q_1^{n+1} = D_1 = \overline{Q_1^n} \quad (Q_0 \uparrow)$$

3、作状态转换表。

现 态	次 态	时钟脉冲	现输出
$Q_1^n \quad Q_0^n$	$Q_1^{n+1} \quad Q_0^{n+1}$	$CP_1 \quad CP_0$	Z^n
0 0	1 1	↑ ↑	0
1 1	1 0	0 ↑	1
1 0	0 1	↑ ↑	0
0 1	0 0	0 ↑	0

(4) 作状态转换图、时序图。

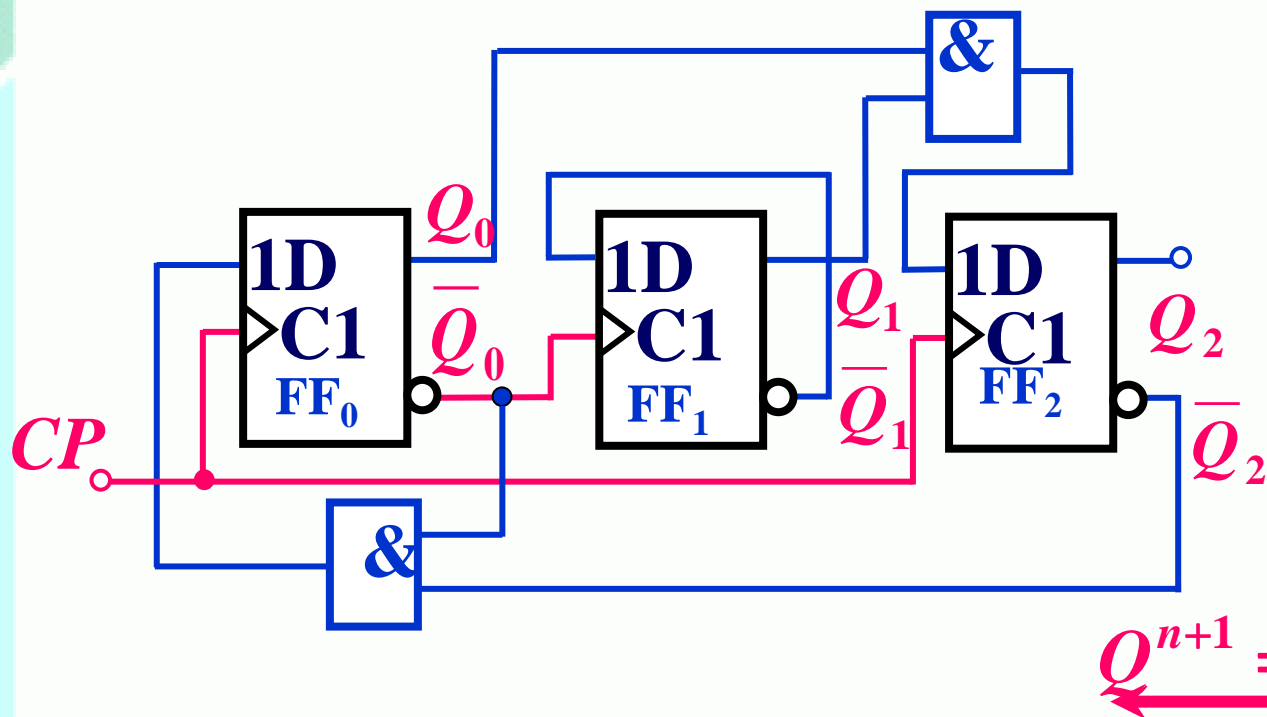


(5) 逻辑功能分析

由状态图可知：该电路一共有4个状态00、01、10、11，在时钟脉冲作用下，按照减1规律循环变化，所以是一个**4进制减法计数器**，**Z是借位信号**。

异步时序电路

[解] 写方程式



时钟方程

$$CP_0 = CP_2 = CP$$

$$CP_1 = \overline{Q_0}$$

驱动方程

$$D_0 = \overline{Q_2^n} \overline{Q_0^n}$$

$$D_1 = \overline{Q_1^n}$$

$$D_2 = Q_1^n Q_0^n$$

$$Q^{n+1} = D$$

状态方程

$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_0^n} \quad (CP \uparrow \text{有效})$$

$$Q_1^{n+1} = \overline{Q_1^n} \quad (\overline{Q_0} \uparrow \text{有效})$$

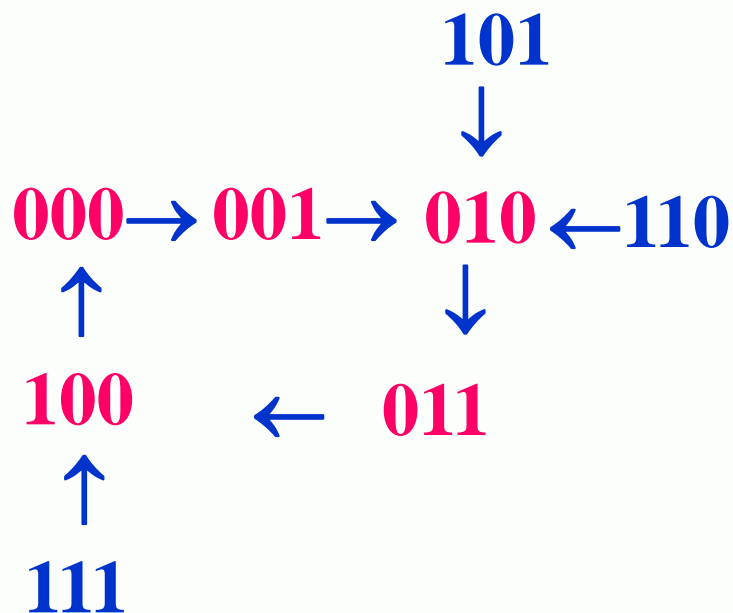
$$Q_2^{n+1} = Q_1^n Q_0^n \quad (CP \uparrow \text{有效})$$

求状态转换表

$$Q_0^{n+1} = \overline{Q_2^n} \overline{Q_0^n} \quad Q_1^{n+1} = \overline{Q_1^n} \quad Q_2^{n+1} = Q_1^n Q_0^n$$

现态			次态			时钟		
$Q_2^n Q_1^n Q_0^n$			$Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$			$CP2$	$CP1$	$CP0$
0	0	0	0	0	1	↑	0	↑
0	0	1	0	1	0	↑	↑	↑
0	1	0	0	1	1	↑	0	↑
0	1	1	1	0	0	↑	↑	↑
1	0	0	0	0	0	↑	0	↑
1	0	1	0	1	0	↑	↑	↑
1	1	0	0	1	0	↑	0	↑
1	1	1	1	0	0	↑	↑	↑

画状态图

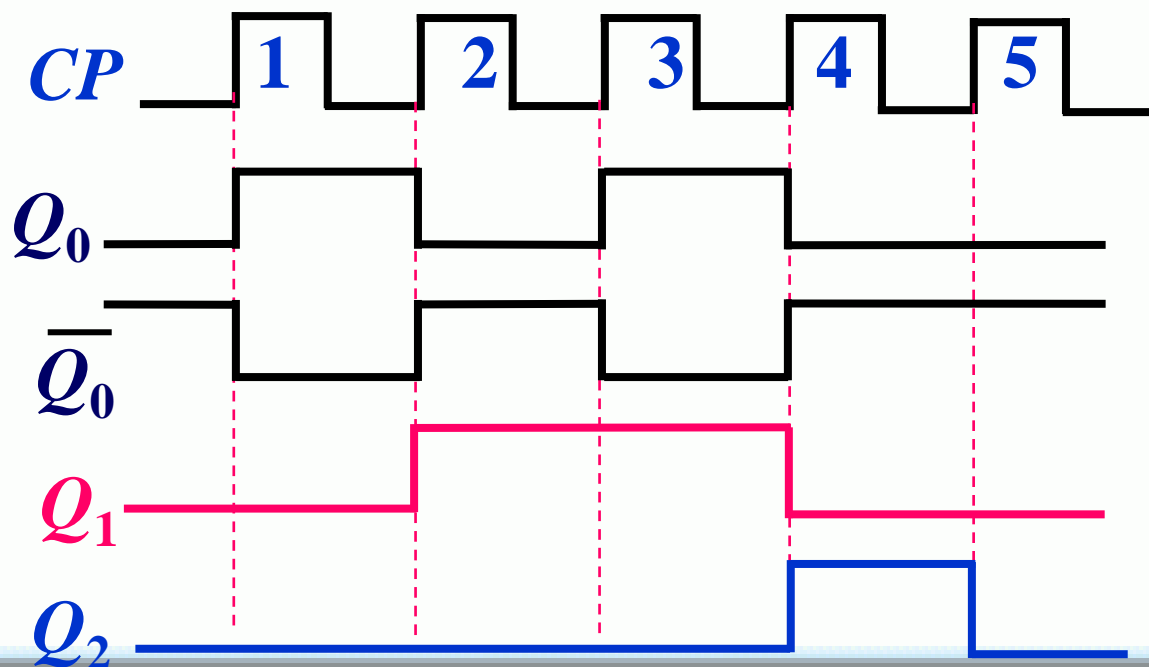


能自启动

画时序图

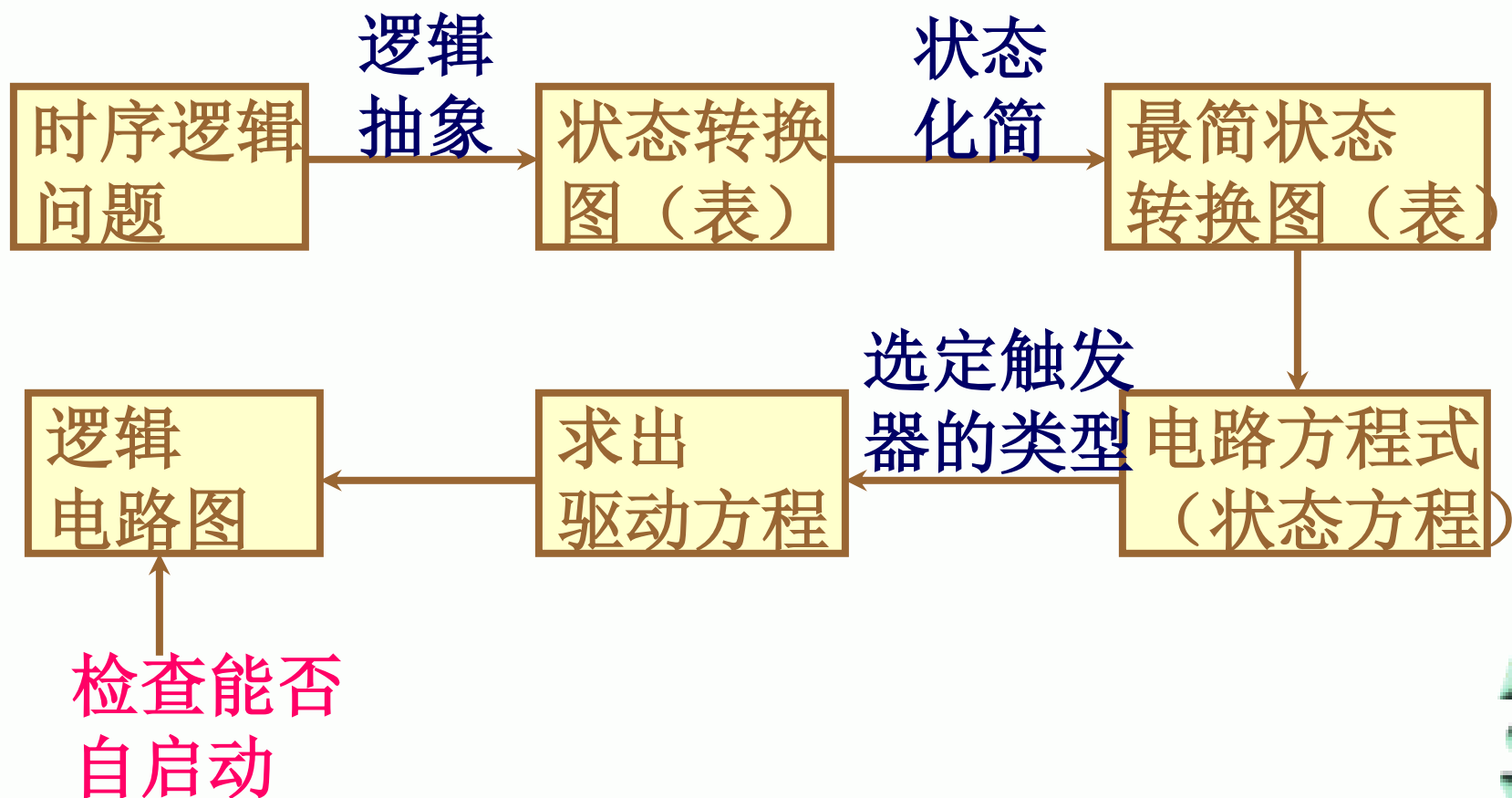
$$CP_0 = CP_2 = CP$$

$$CP_1 = \overline{Q_0}$$



10.3.2 时序电路的基本设计方法（不要求）

1. 设计的一般步骤



10.4 计数器

10.4.1 二进制计数器

10.4.2 十进制计数器

10.4.3 常用中规模计数器芯片

10.4.4 常用中规模计数器芯片应用



概 述

1、计数器的逻辑功能

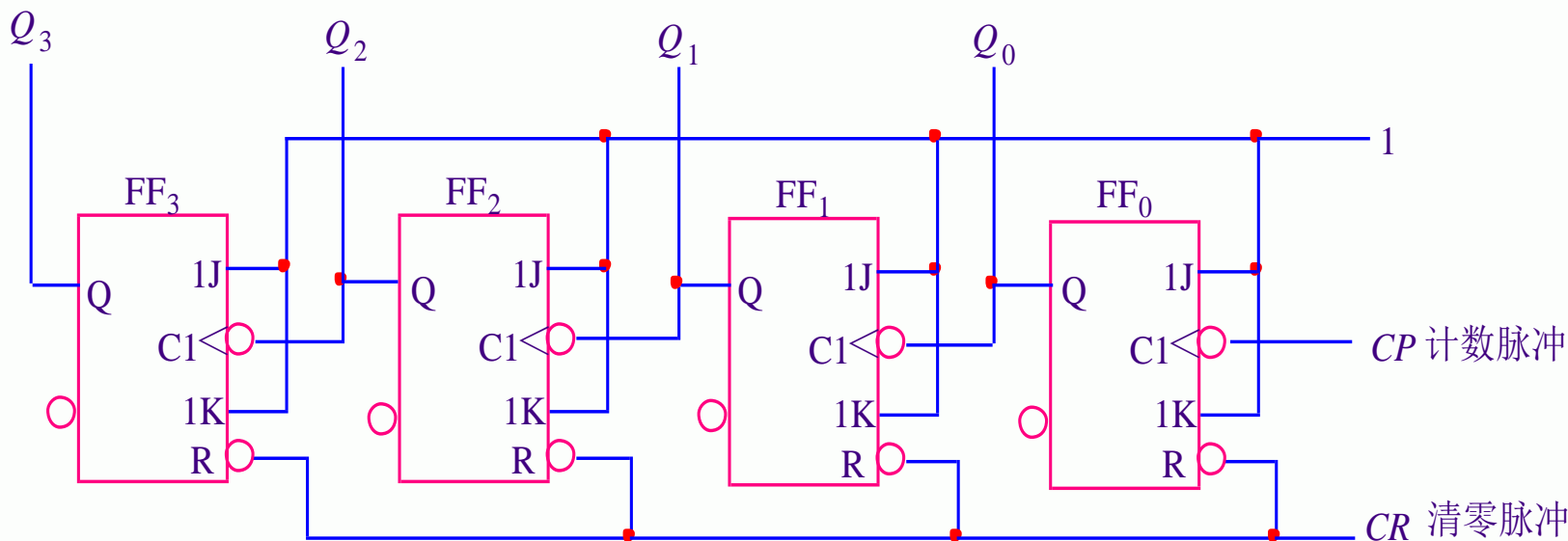
计数器的基本功能是对输入时钟脉冲进行计数。它也可用于分频、定时、产生节拍脉冲和脉冲序列及进行数字运算等等。

2、计数器的分类

- 按脉冲输入方式，分为同步和异步计数器
- 按进位体制，分为二进制、十进制和任意进制计数器
- 按逻辑功能，分为加法、减法和可逆计数器

10.4.1 二进制计数器

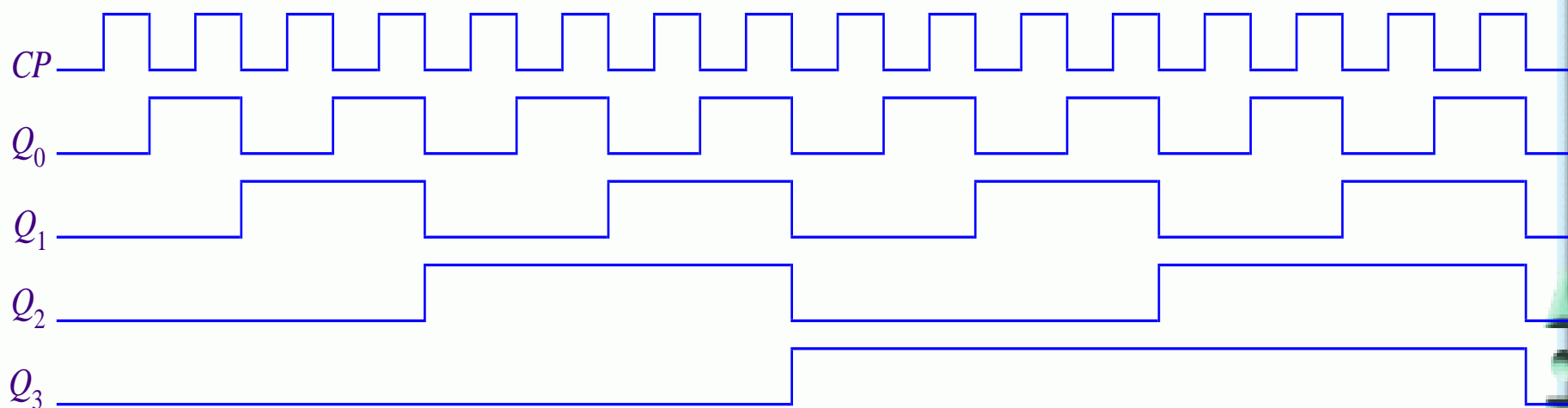
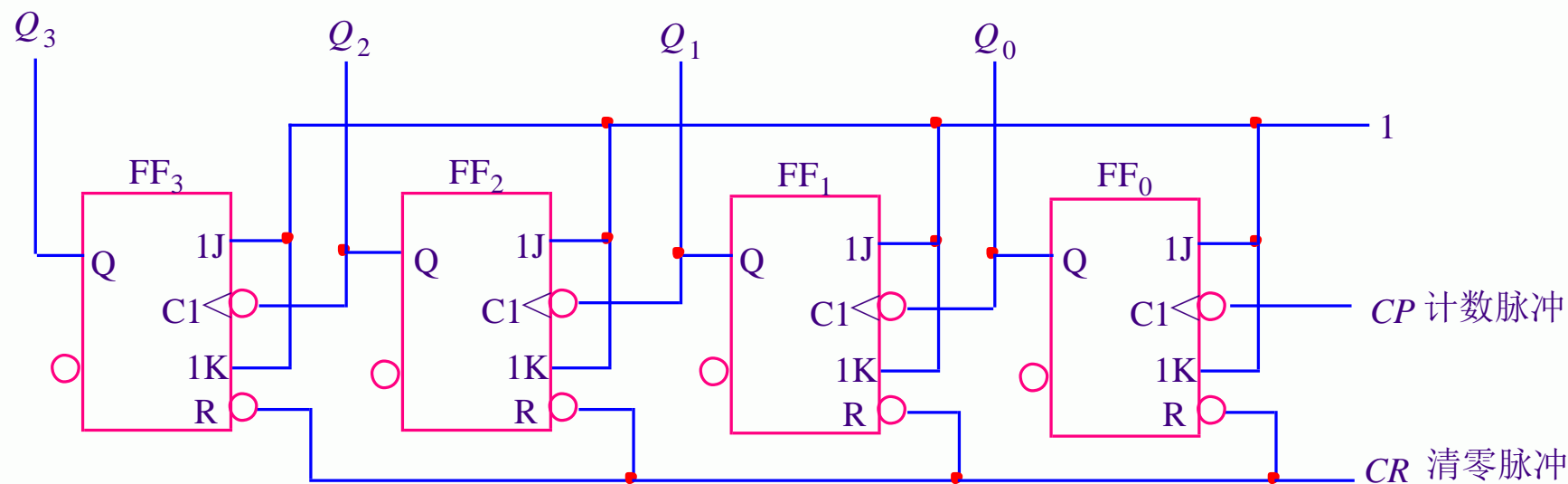
1 二进制异步加法计数器（4位）



工作原理： 4个JK触发器都接成 T' 触发器。 $J=K=1$

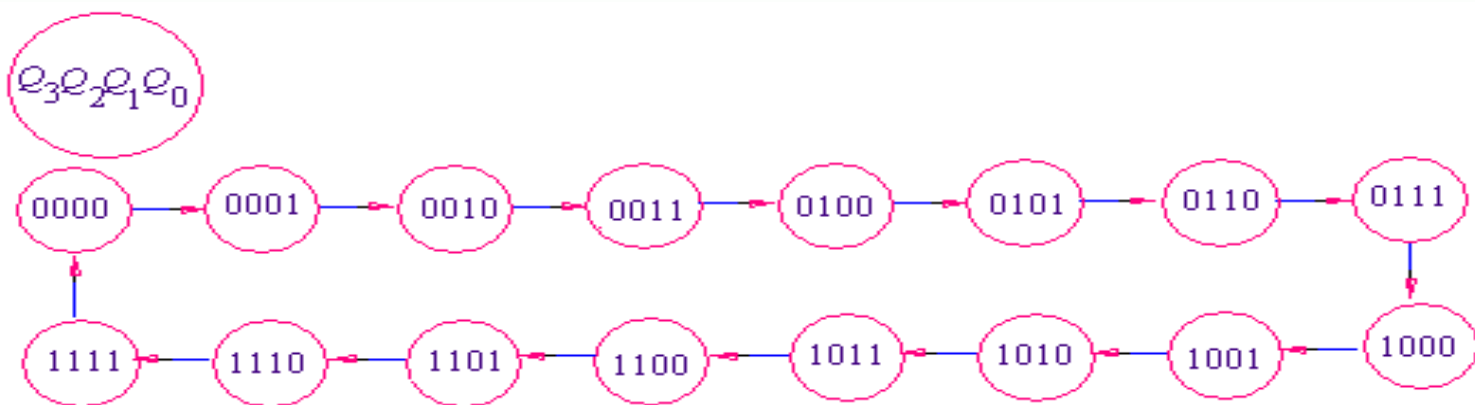
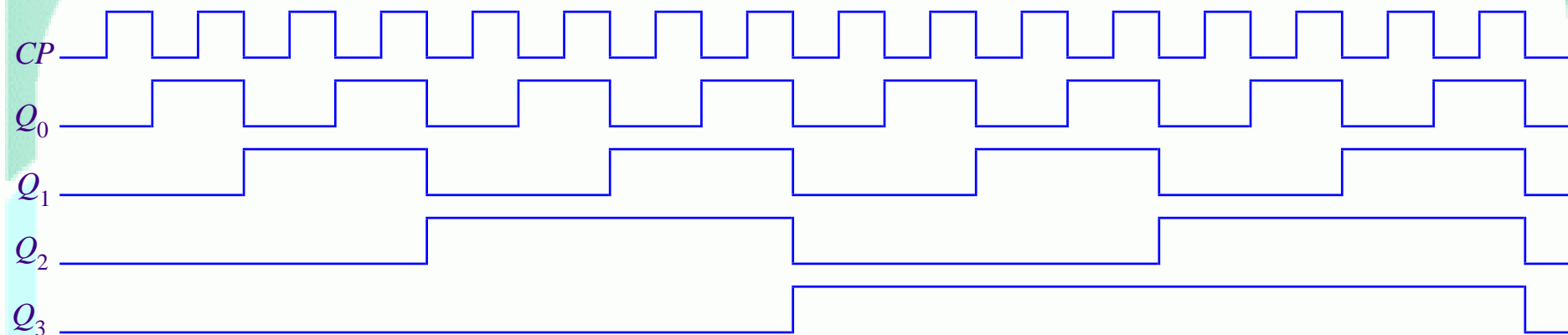
最低位触发器FF0的时钟脉冲输入端接计数脉冲CP，其他触发器的时钟脉冲输入端接相邻低位触发器的Q端。

用“观察法”作出该电路的时序波形图和状态图





用“观察法”作出该电路的时序波形图和状态图。



由状态图可见，从初态0000（由清零脉冲所置）开始，每输入一个计数脉冲，计数器的状态按二进制加法规律加1，所以是二进制加法计数器（4位）。

由时序图可以看出， Q_0 、 Q_1 、 Q_2 、 Q_3 的周期分别是计数脉冲(CP)周期的2倍、4倍、8倍、16倍，因而计数器也可作为分频器。

异步二进制计数器结构简单，改变级联触发器的个数，可以很方便地改变二进制计数器的位数， n 个触发器构成 n 位二进制计数器或模 2^n 计数器，或 2^n 分频器。



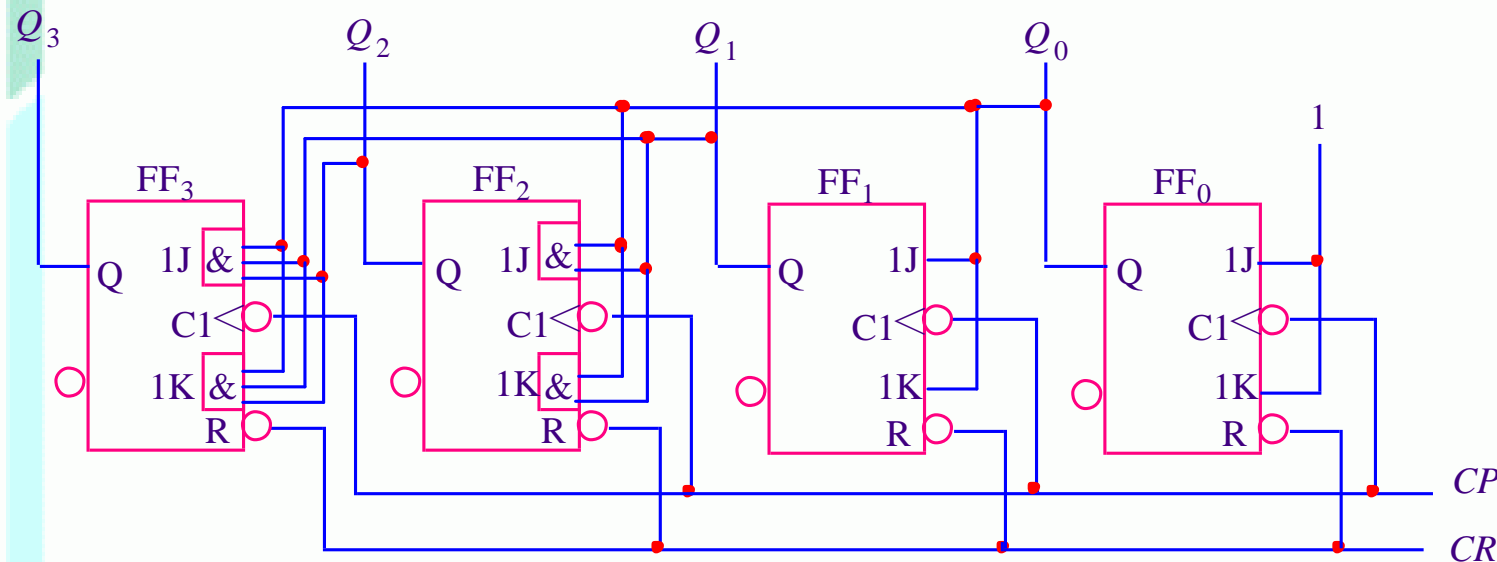
3 二进制同步加法计数器

用“观察法”设计电路：

因为是“同步”方式，所以将所有触发器的CP端连在一起，接计数脉冲。

然后分析状态图，
选择适当的JK信号。

计数脉冲序号	电 路 状 态				等效十进制数
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0



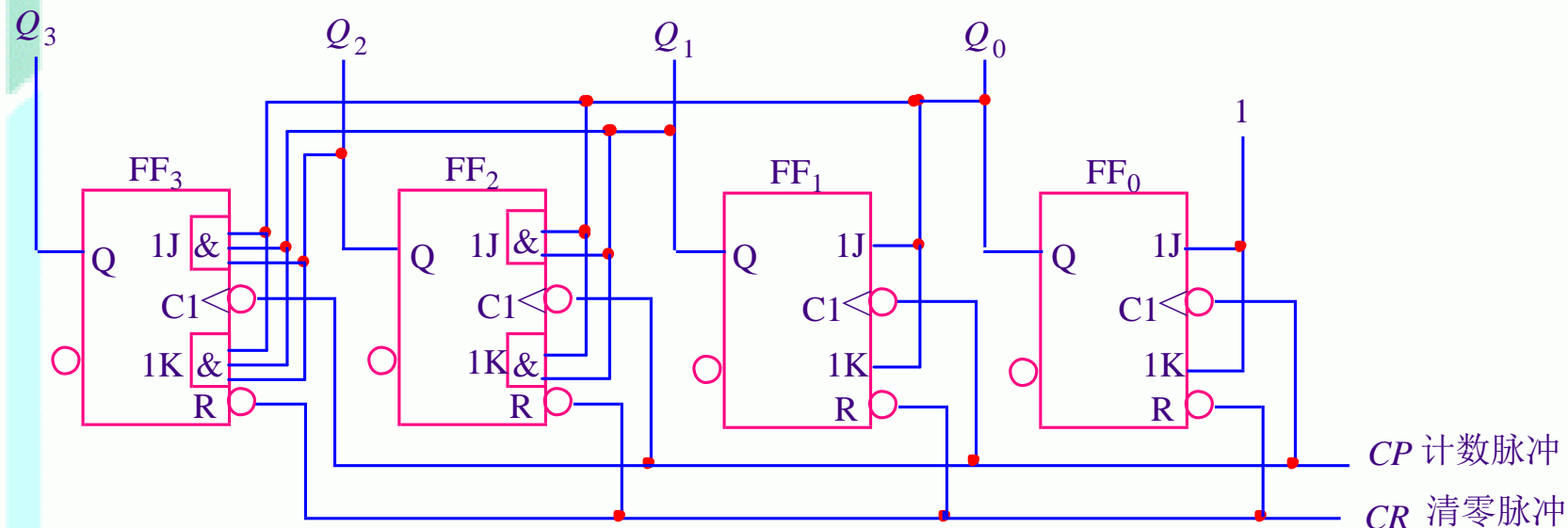
电 路 状 态			
Q_3	Q_2	Q_1	Q_0
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1
0	0	0	0

FF₀: 每来一个 CP ，向相反的状态翻转一次。所以选 $J_0=K_0=1$ 。

FF₁: 当 $Q_0=1$ 时，来一个 CP ，向相反的状态翻转一次。所以选 $J_1=K_1=Q_0$ 。

FF₂: 当 $Q_0Q_1=1$ 时，来一个 CP ，向相反的状态翻转一次。所以选 $J_2=K_2=Q_0Q_1$ 。

FF₃: 当 $Q_0Q_1Q_3=1$ 时，来一个 CP 向相反的状态翻转一次。所以选 $J_3=K_3=Q_0Q_1Q_3$ 。



n 位二进制同步加法计数器级联规律:

$$T_i = Q_{i-1}^n Q_{i-2}^n \cdots Q_1^n Q_0^n = \prod_{j=0}^{i-1} Q_j^n$$

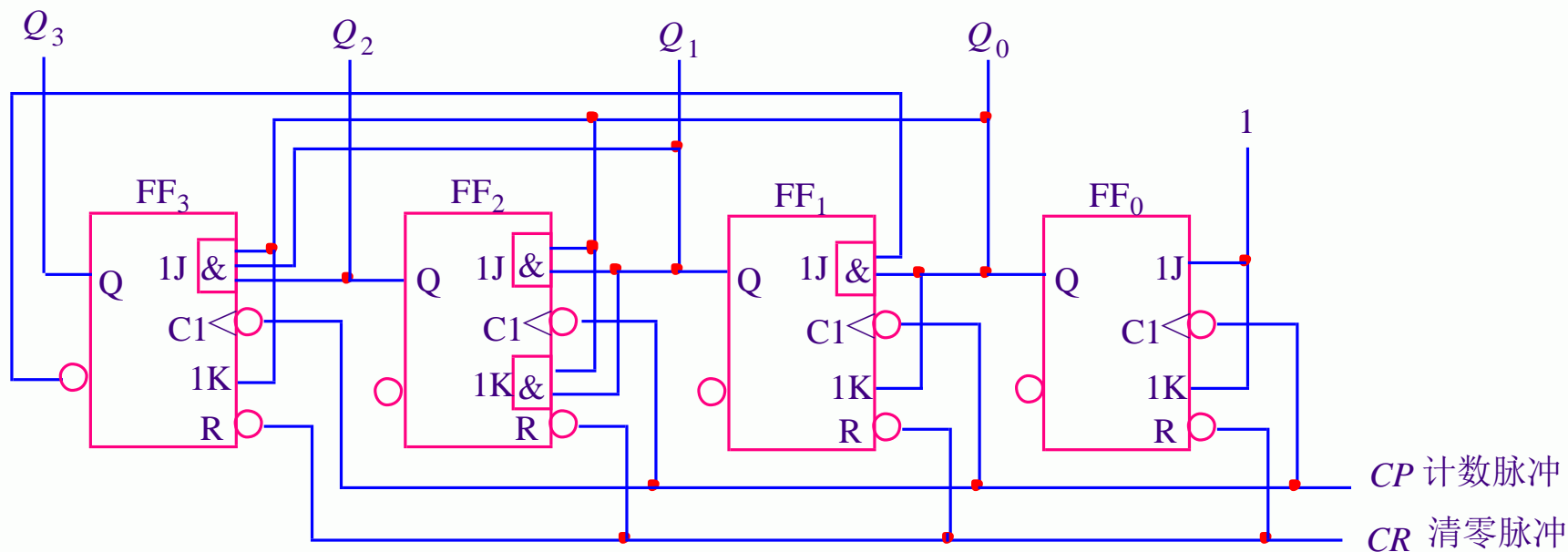
10.4.2 十进制计数器

N进制计数器又称模N计数器。

当 $N=2^n$ 时，就是前面讨论的 n 位二进制计数器；

当 $N \neq 2^n$ 时，为非二进制计数器。非二进制计数器中最常用的是十进制计数器。

1. 8421BCD码同步十进制加法计数器



同步时序逻辑电路

(1) 写出驱动方程:

$$J_0 = \underline{1} \quad K_0 = 1$$

$$J_1 = Q_3^n Q_0^n \quad K_1 = Q_0^n$$

$$J_2 = Q_1^n Q_0^n \quad K_2 = Q_1^n Q_0^n$$

$$J_3 = Q_2^n Q_1^n Q_0^n \quad K_3 = Q_0^n$$

(2) 转换成状态方程:

先写出JK触发器的特性方程

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n \text{ (CP } \downarrow \text{)}$$

$$\begin{aligned} J_0 &= \underline{1} & K_0 &= 1 \\ J_1 &= \overline{Q_3^n} Q_0^n & K_1 &= Q_0^n \\ J_2 &= Q_1^n Q_0^n & K_2 &= Q_1^n Q_0^n \\ J_3 &= Q_2^n Q_1^n Q_0^n & K_3 &= Q_0^n \end{aligned}$$

然后将各驱动方程代入JK触发器的特性方程，得各触发器的状态方程：

$$Q_0^{n+1} = J_0 \overline{Q_0^n} + \overline{K_0} Q_0^n = \overline{Q_0^n}$$

$$Q_1^{n+1} = J_1 \overline{Q_1^n} + \overline{K_1} Q_1^n = \overline{Q_3^n} Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

$$Q_2^{n+1} = J_2 \overline{Q_2^n} + \overline{K_2} Q_2^n = Q_1^n Q_0^n \overline{Q_2^n} + \overline{Q_1^n} Q_0^n Q_2^n$$

$$Q_3^{n+1} = J_3 \overline{Q_3^n} + \overline{K_3} Q_3^n = Q_2^n Q_1^n Q_0^n \overline{Q_3^n} + \overline{Q_0^n} Q_3^n$$

(3) 作状态转换表。

初态为0000，代入次态方程进行计算，得状态转换表。

CP	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

$$Q_0^{n+1} = \overline{Q_0^n}$$

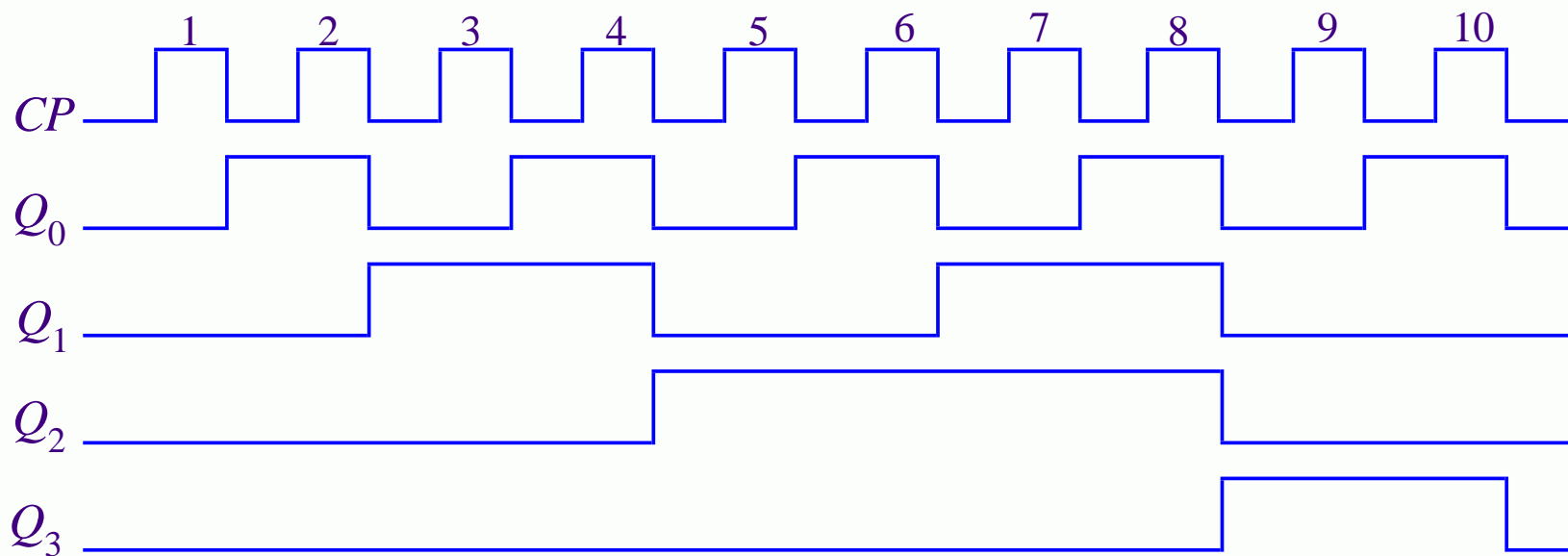
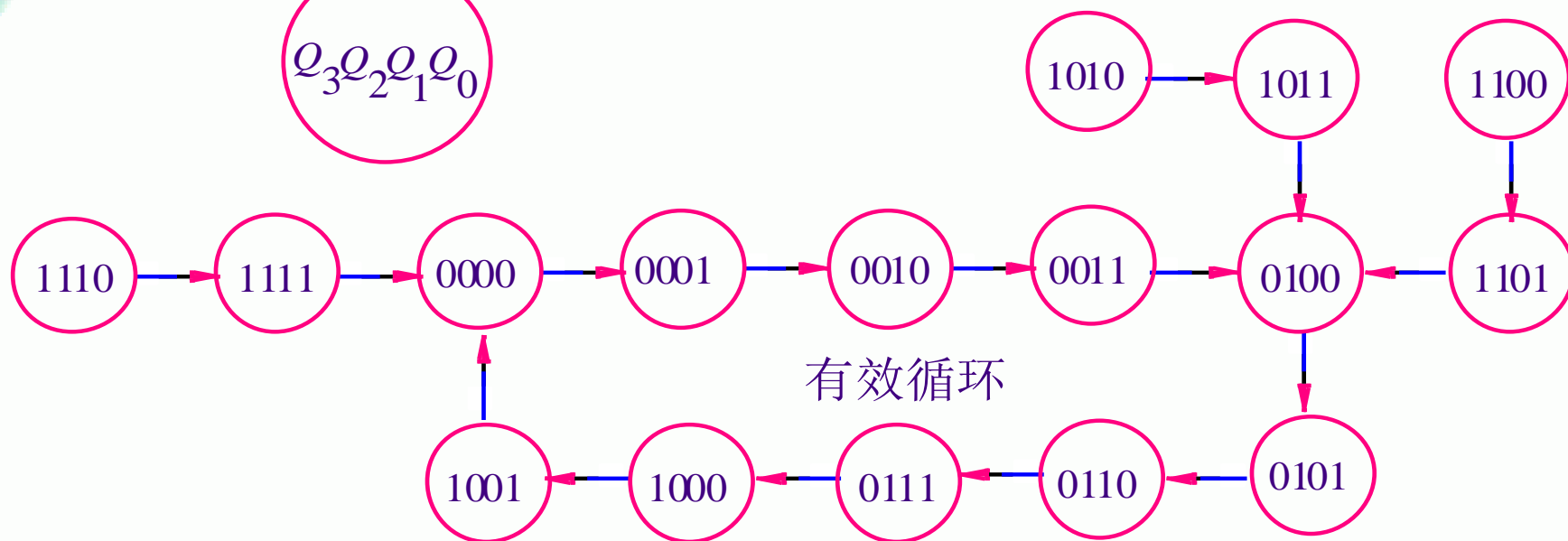
$$Q_1^{n+1} = \overline{Q_3^n} Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n$$

$$Q_2^{n+1} = Q_1^n Q_0^n \overline{Q_2^n} + \overline{Q_1^n} Q_0^n Q_2^n$$

$$Q_3^{n+1} = Q_2^n Q_1^n Q_0^n \overline{Q_3^n} + \overline{Q_0^n} Q_3^n$$

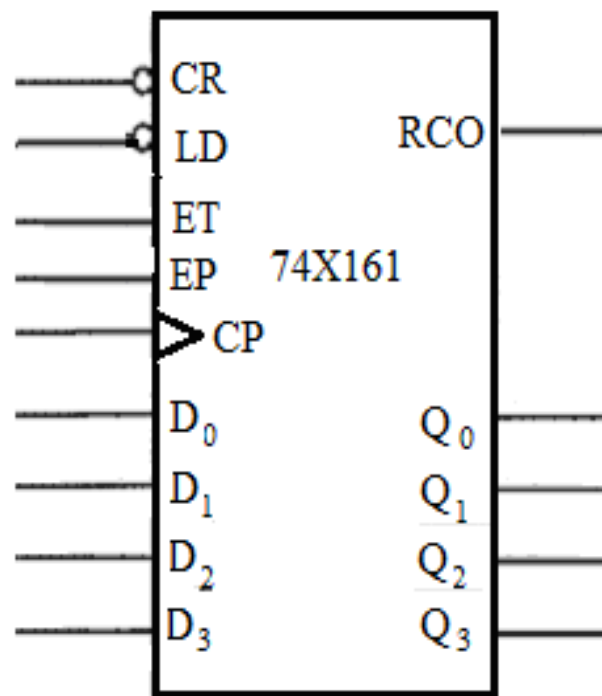
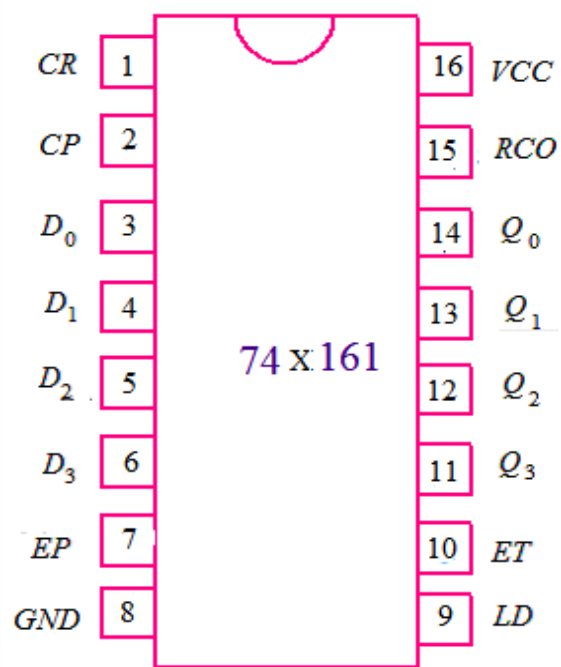
M=10

十进制加法计数器



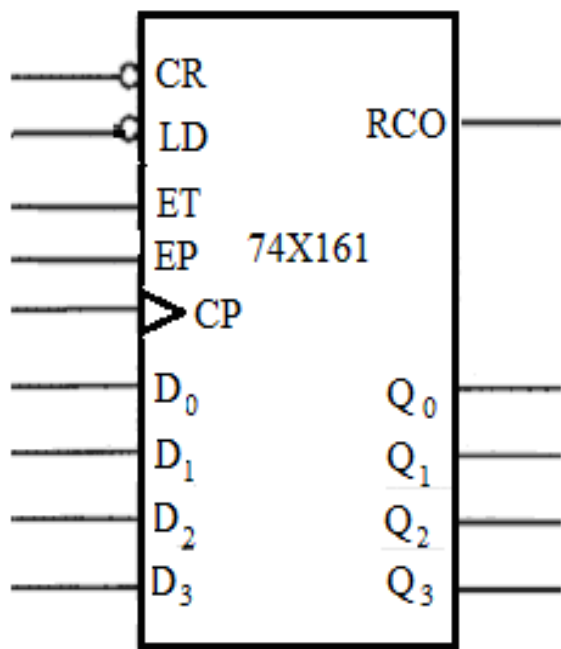
10.4.3 常用中规模集成计数器芯片

(一) 4位二进制同步加法计数器芯片74X161

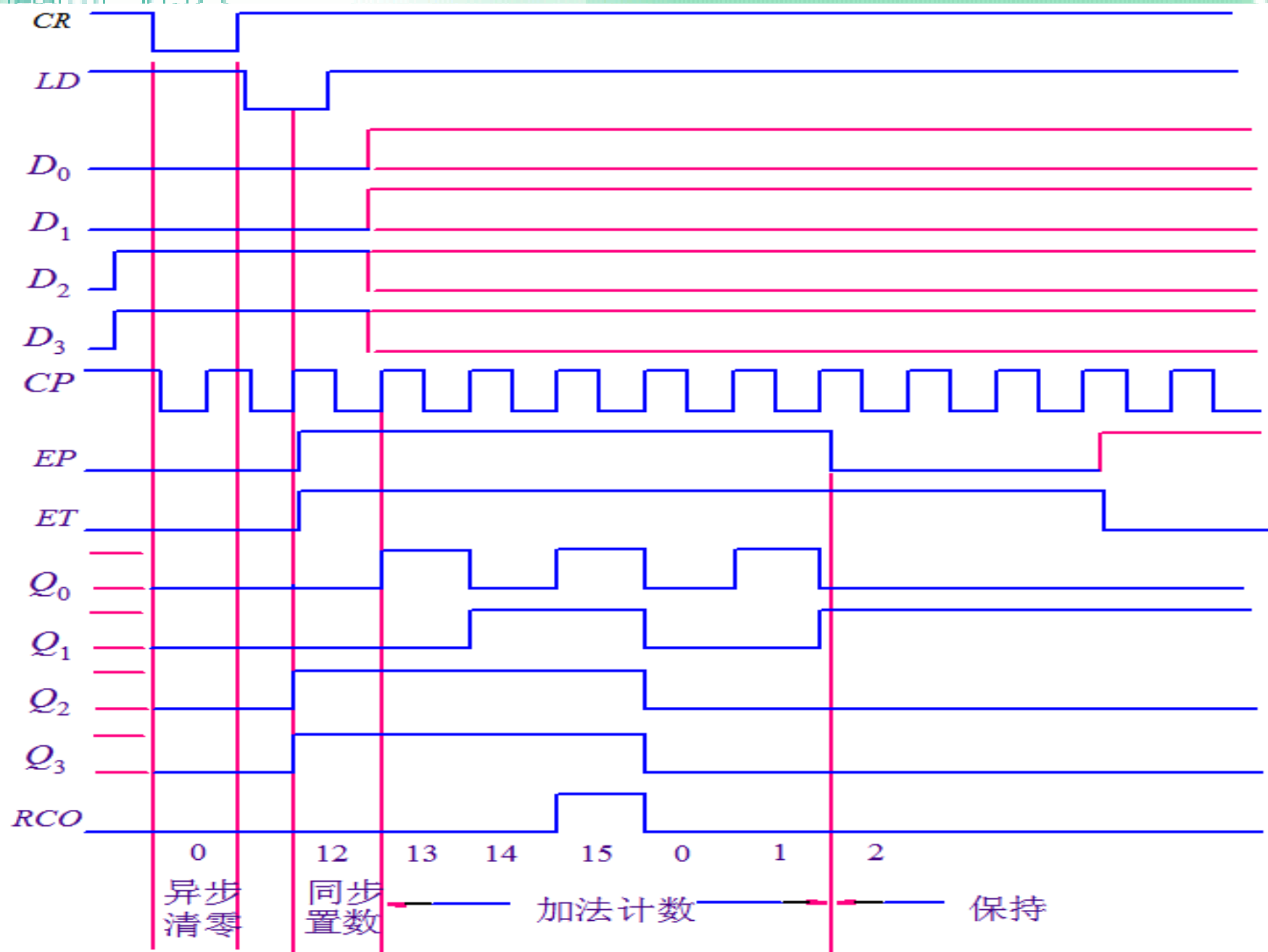


引脚分布

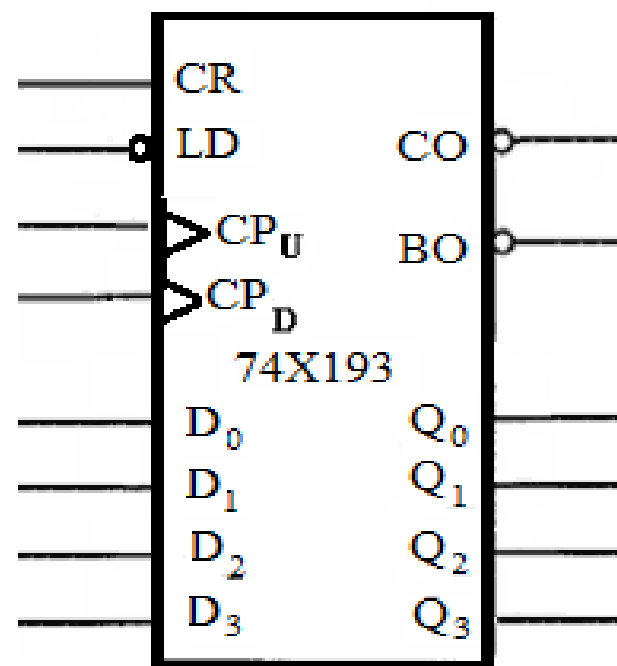
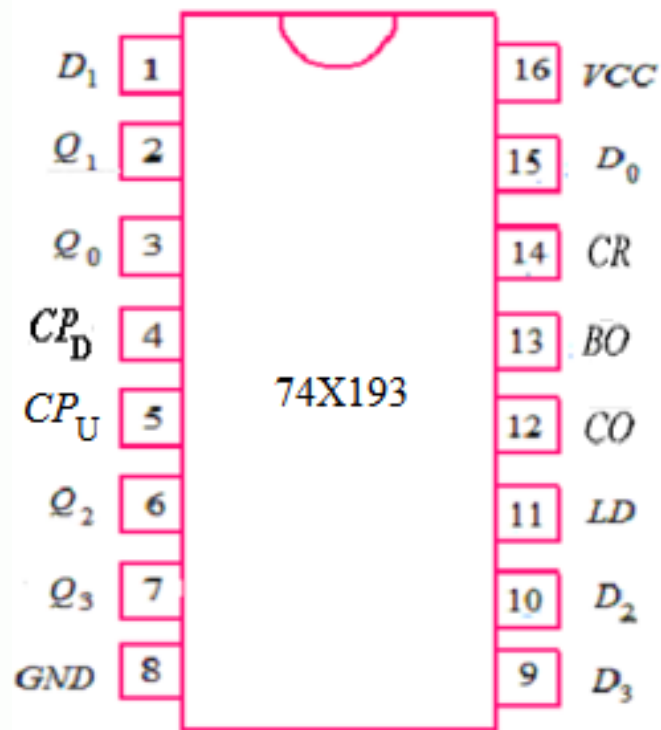
清零	预置数	使 能	时钟	预置数据输入	输 出	工作模式
<i>CR</i>	<i>LD</i>	<i>ET EP</i>	<i>CP</i>	<i>D₃ D₂ D₁ D₀</i>	<i>Q₃ Q₂ Q₁ Q₀</i>	
0	×	×	×	×	0 0 0 0	异步清零
1	0	×	↑	<i>D C B A</i>	<i>D C B A</i>	同步置数
1	1	0 ×	×	×	保 持	数据保持
1	1	×	×	×	保 持	数据保持
1	1	1 1	↑	×	计 数	加法计数



异步清零，同步置数

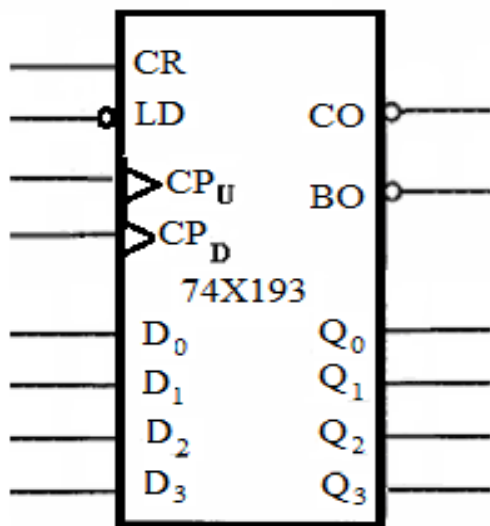


(二) 4位二进制同步可逆计数器芯片74X193



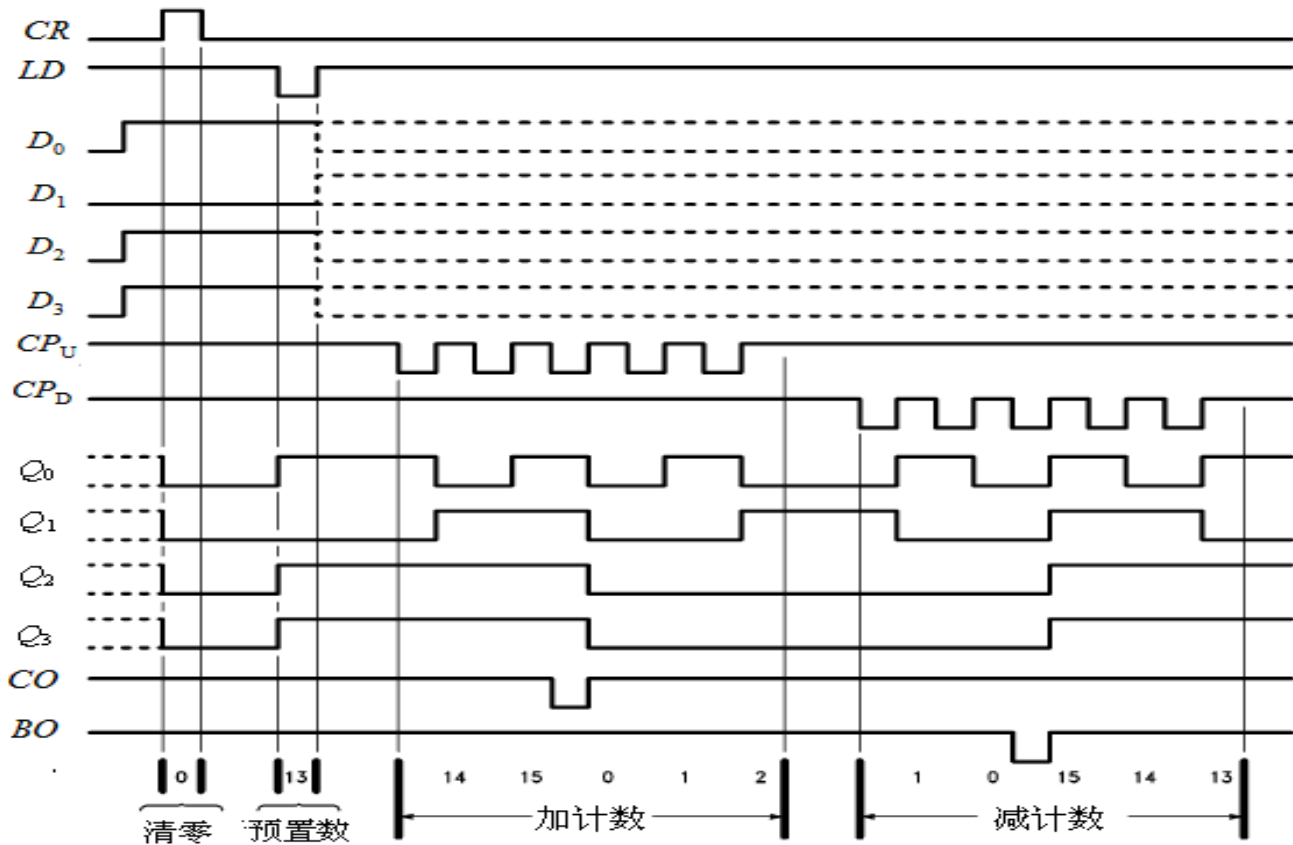
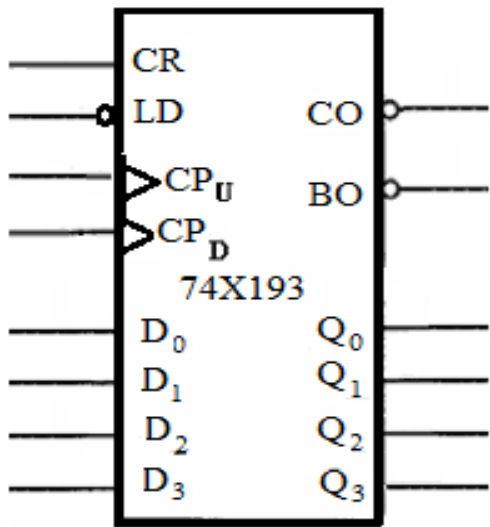
74X193的功能表

清零	预置	“加”计数时钟	“减”计数时钟	预置数据输入	输出	工作模式
CR	LD	CP_U	CP_D	$D_3 D_2 D_1 D_0$	$Q_3 Q_2 Q_1 Q_0$	
1	×	×	×	× × × ×	0 0 0 0	异步清零
0	0	×	×	$D C B A$	$D C B A$	异步置数
0	1	1	1	× × × ×	保 持	数据保持
0	1	↑	1	× × × ×	计 数	加法计数
0	1	1	↑	× × × ×	计 数	减法计数



异步清零，异步置数

清零	预置	“加”计数时钟	“减”计数时钟	预置数据输入	输出	工作模式
CR	LD	CP_U	CP_D	$D_3 D_2 D_1 D_0$	$Q_3 Q_2 Q_1 Q_0$	
1	×	×	×	×	0 0 0 0	异步清零
0	0	×	×	$D C B A$	$D C B$	异步置数
0	1	1	1	×	保持	数据保持
0	1	↑	1	×	计数	加法计数
0	1	1	↑	×	计数	减法计数



异步清零，异步
置数

10.4.4 集成计数器芯片的应用

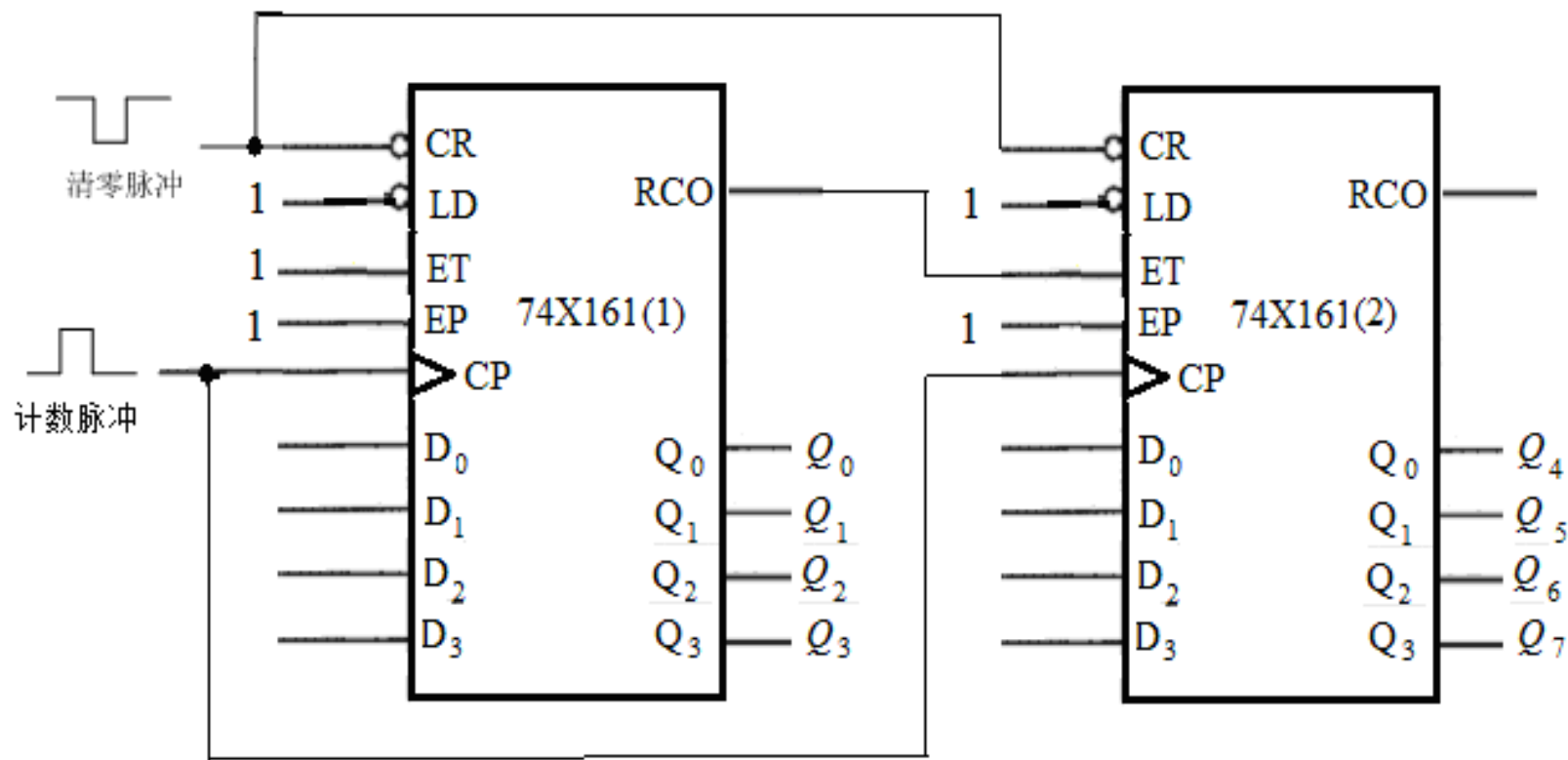
一. 计数器容量扩展

将多个计数器进行级联，就可以扩大计数范围。如： m 个模 N 计数器级联，可以实现 N^m 的计数器。

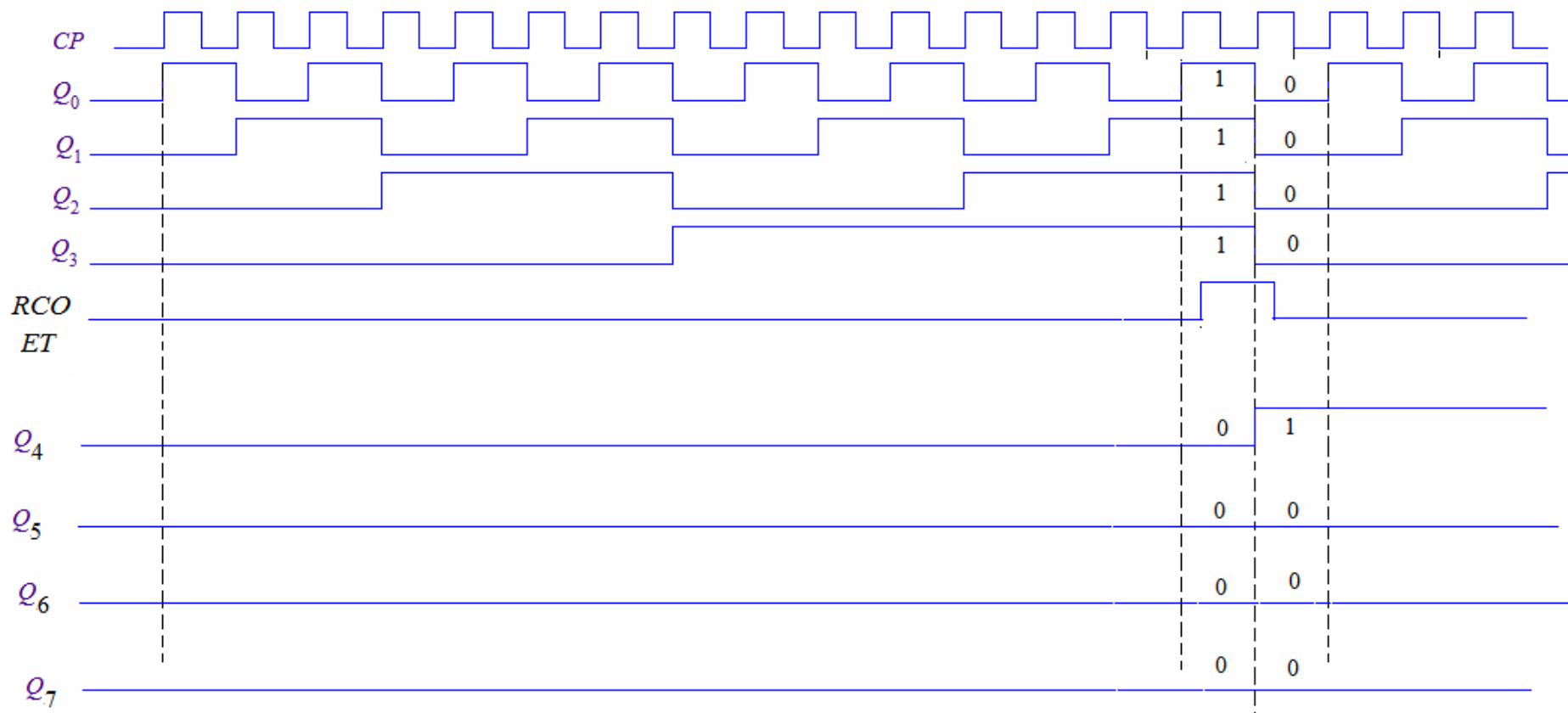
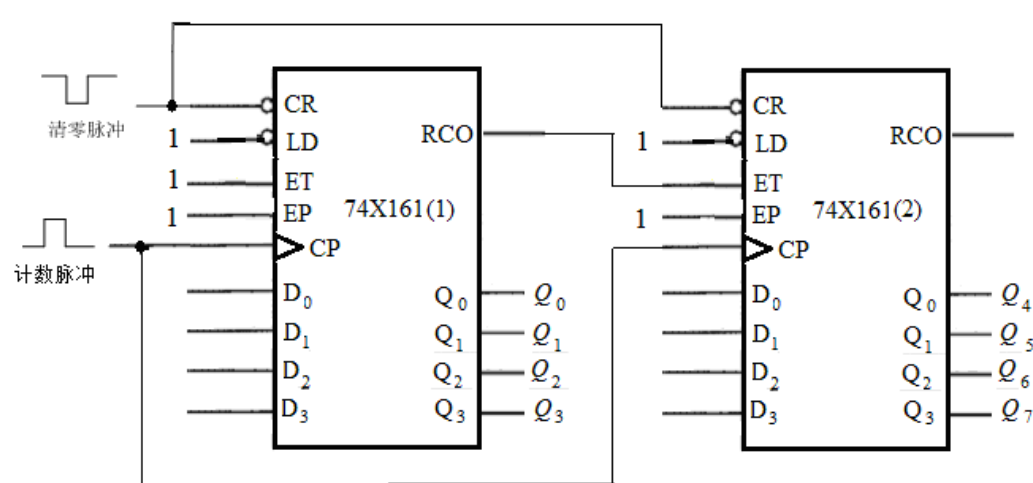
计数器级联的方式有两种：

- 1、级间串联进位方式—异步级联方式
- 2、级间并联进位方式—同步级联方式

1. 同步级联方式



两片74X161同步级联组成8位二进制加法计数器的逻辑电路图



二. 组成任意进制计数器

实际应用中，可以用现有的二进制或十进制计数器，利用其清零端或预置数端，外加适当的门电路连接而成。

方法有两种：1、反馈清零法
2、反馈置数法

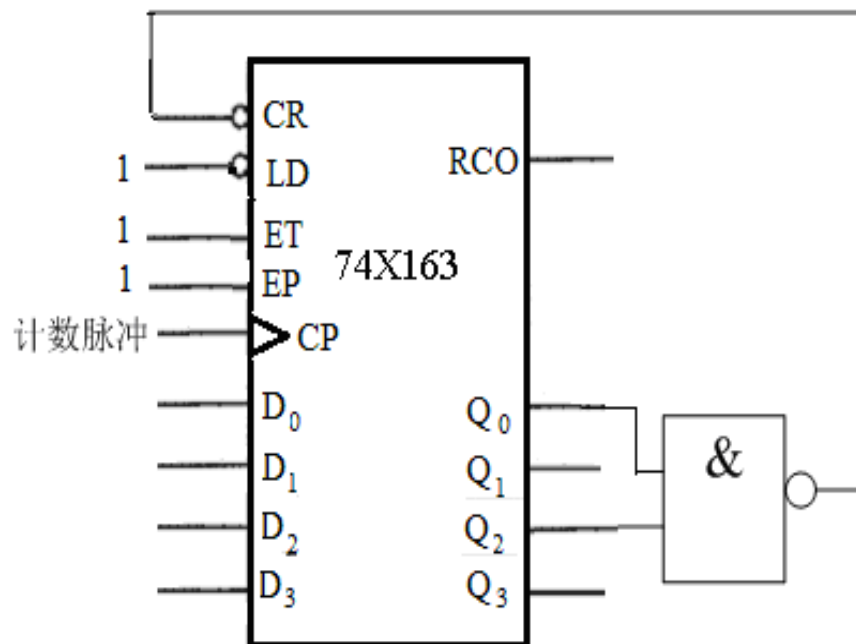
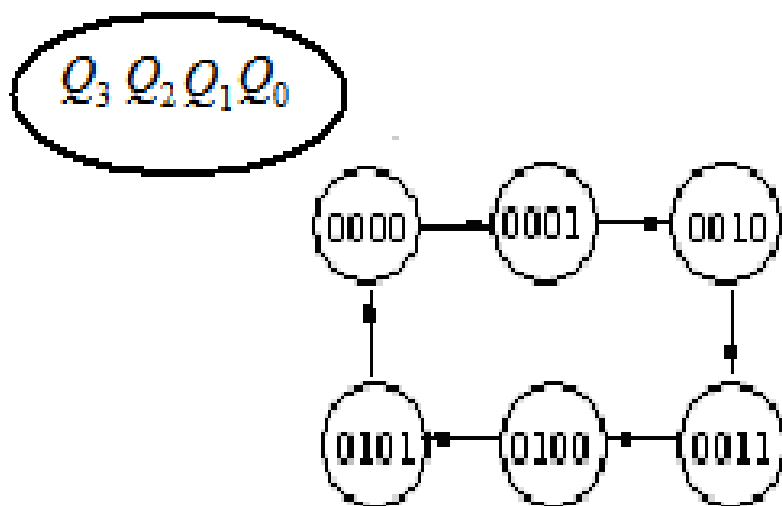
用模N的计数器构成任意模值的M计数器

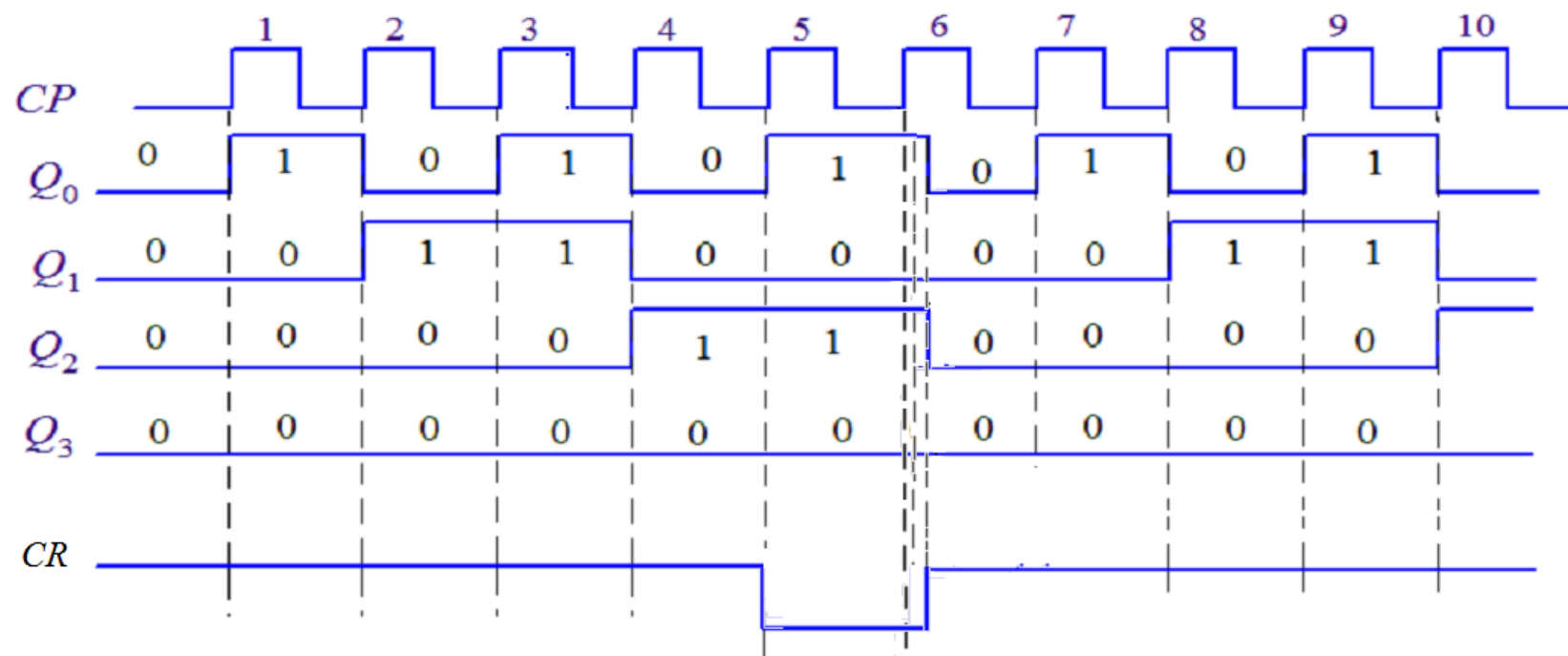
1. 若 $M < N$ ，只需一片N进制计数器，使计数器在N进制的计数过程中，跳过 $N-M$ 个状态即可。
2. 若 $M > N$ ，需要多片N进制计数器级联，同步级联或异步级联，然后再用反馈清零或反馈置数法构成M进制计数器。

1. 反馈清零法-适用于有清零输入端的集成计数器

(1) 同步反馈清零法

例 用集成计数器74X163和必要的门电路组成6进制计数器，要求使用反馈清零法。



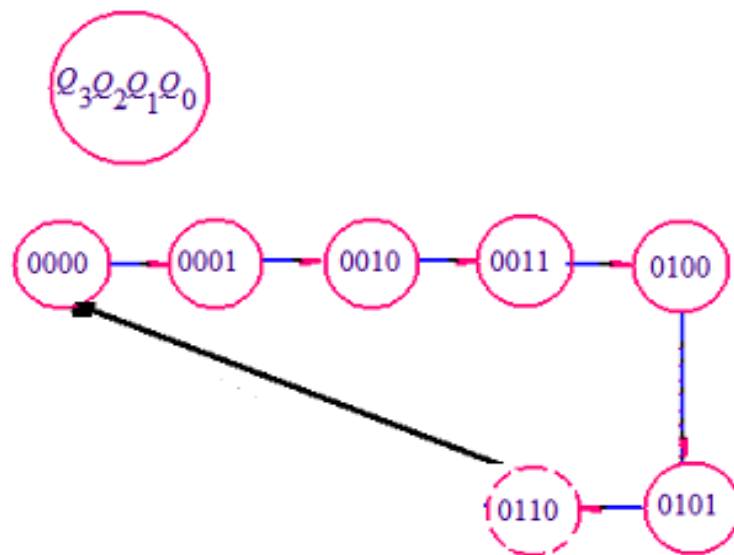
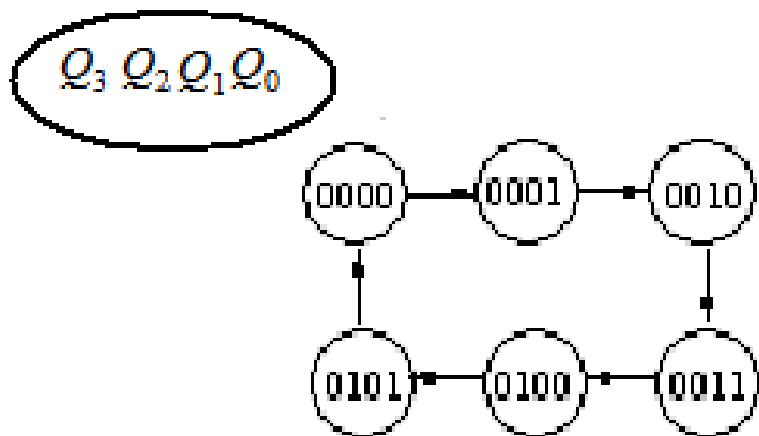


时序图

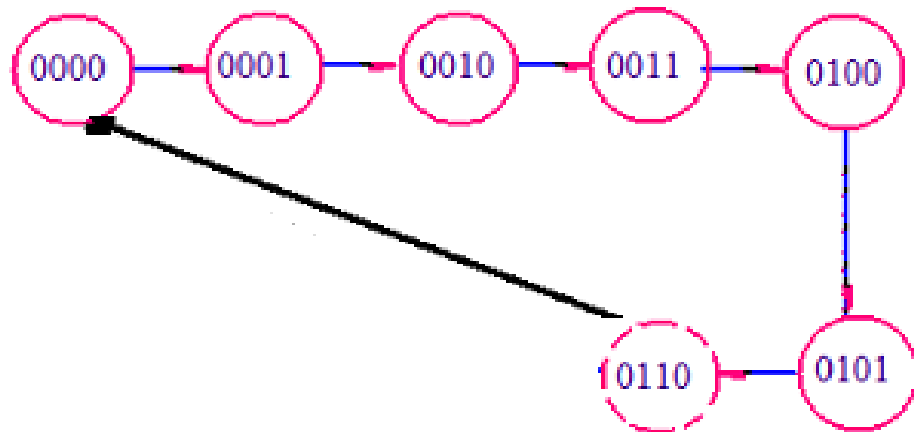
1. 反馈清零法

(2) 异步反馈清零法

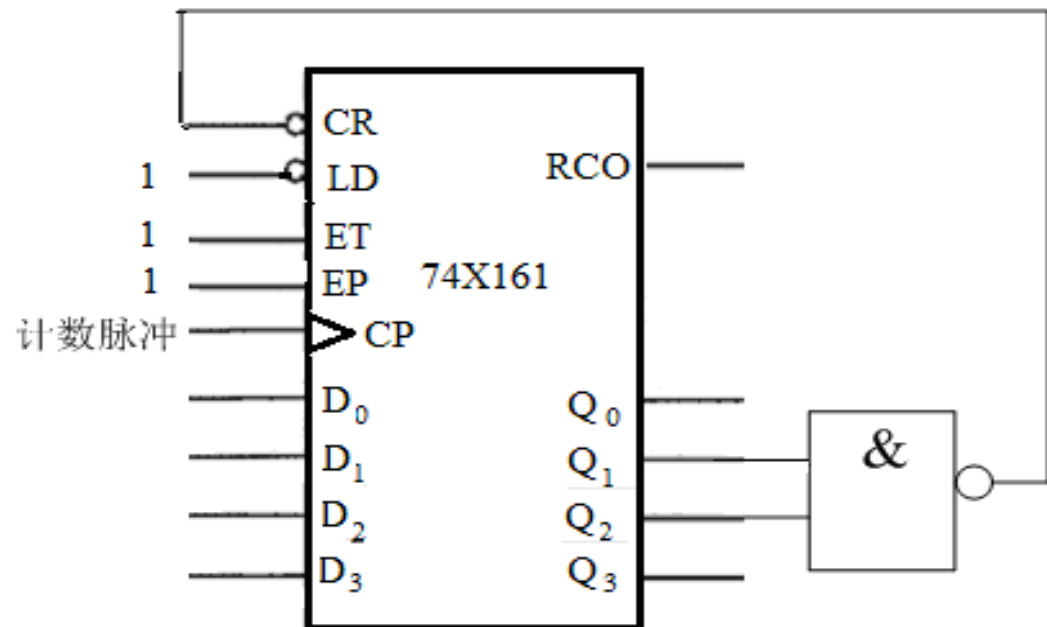
例 用集成计数器74X161和必要的门电路构成6进制计数器，要求使用反馈清零法。



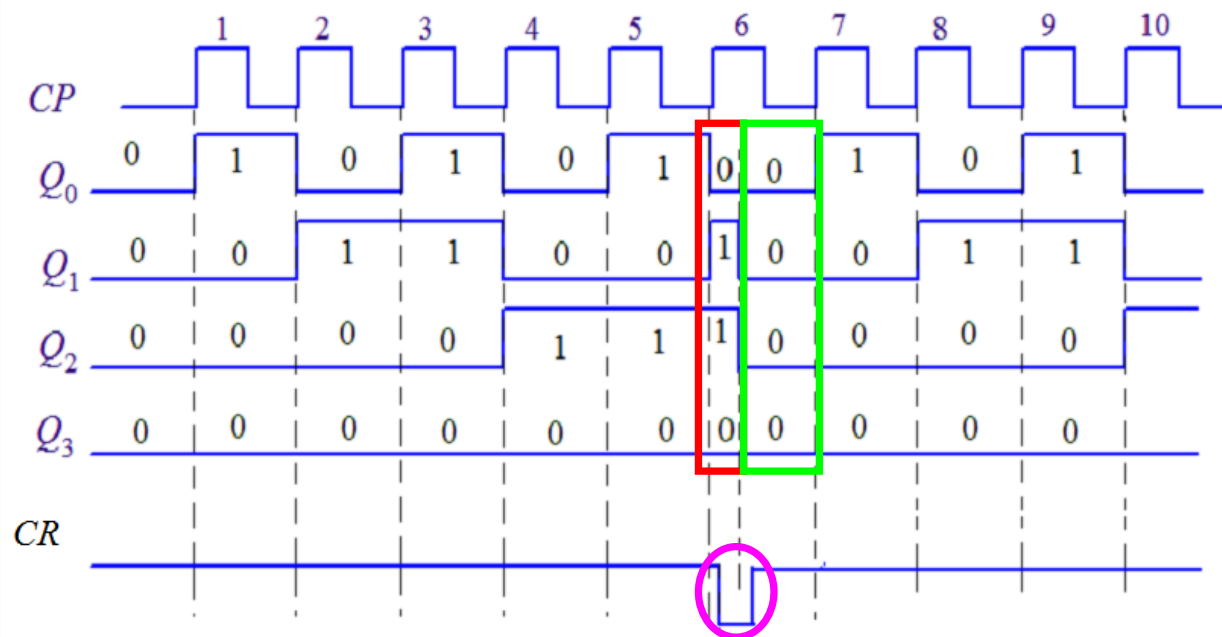
$Q_3Q_2Q_1Q_0$



接 L1 时
 Q_0, Q_2



时序图

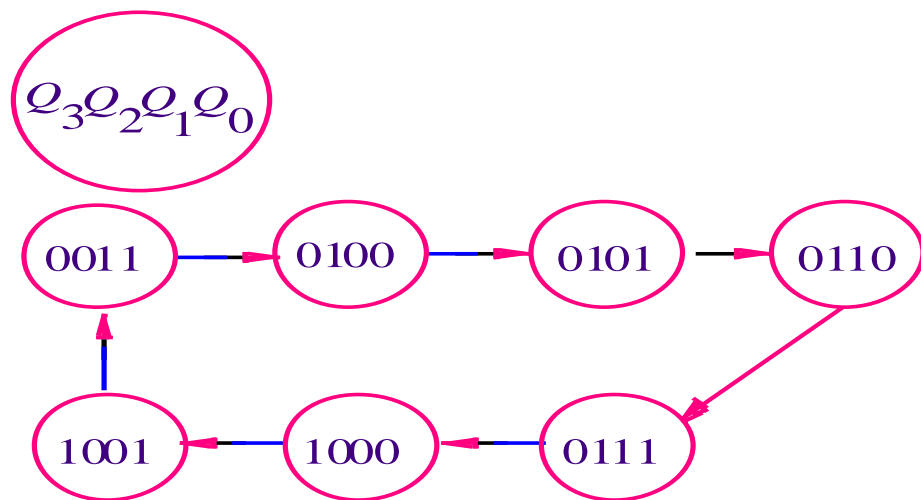


2. 反馈置数法—适用于有预置功能的集成计数器

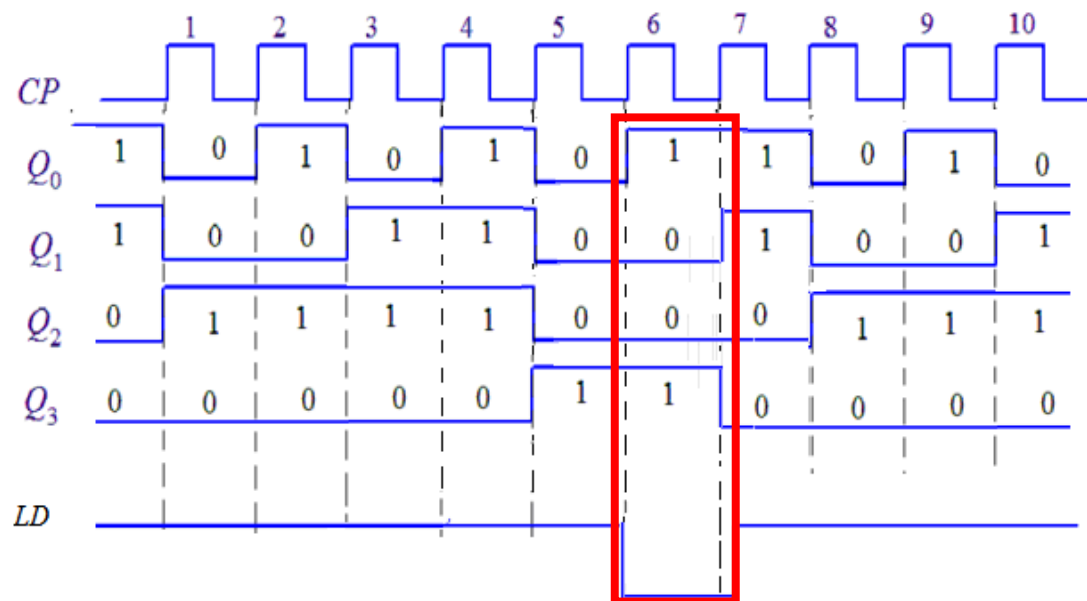
(1) 同步反馈置数法

例 用集成计数器74X160和必要的门电路组成7进制计数器，要求该电路的有效状态是

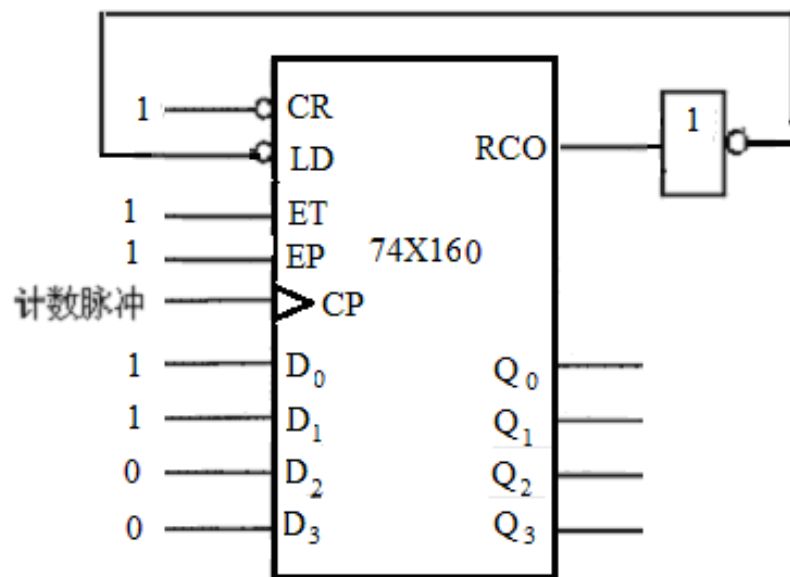
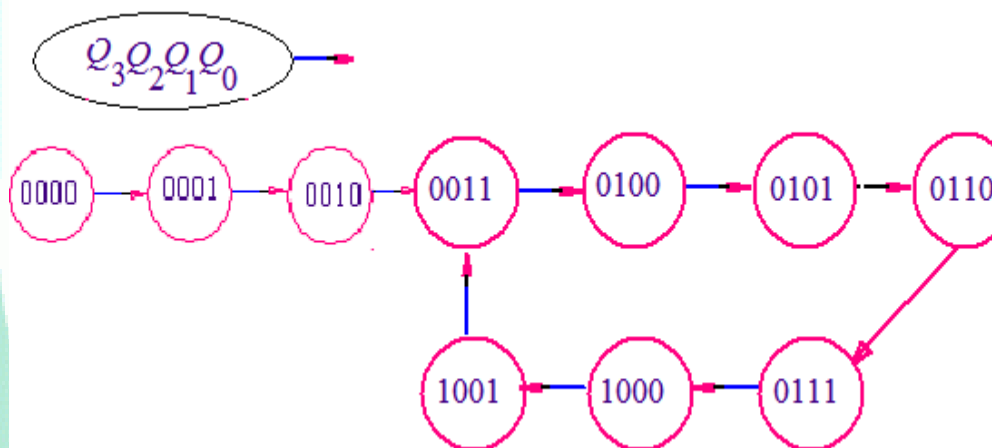
$Q_3Q_2Q_1Q_0$ 按“加1”的顺序从0011 到1001循环变化。



数字电子技术 时序图

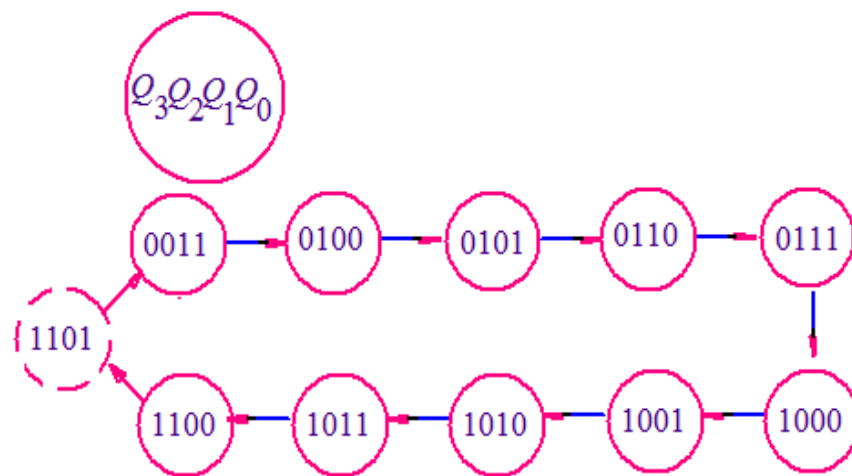
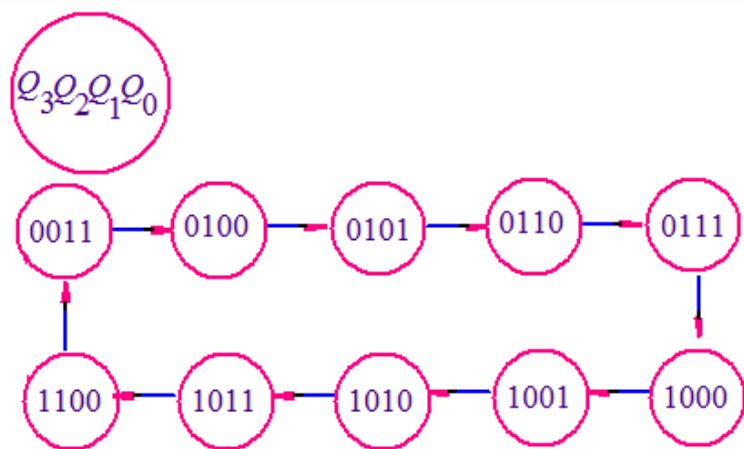


完整状态转换图

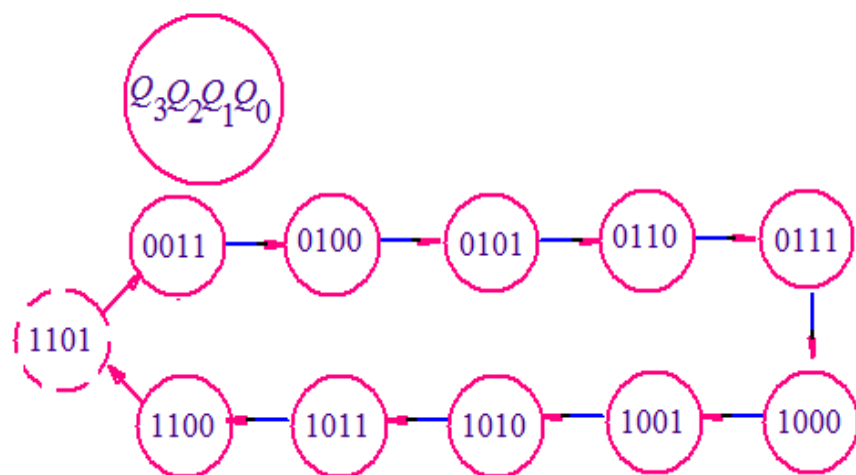
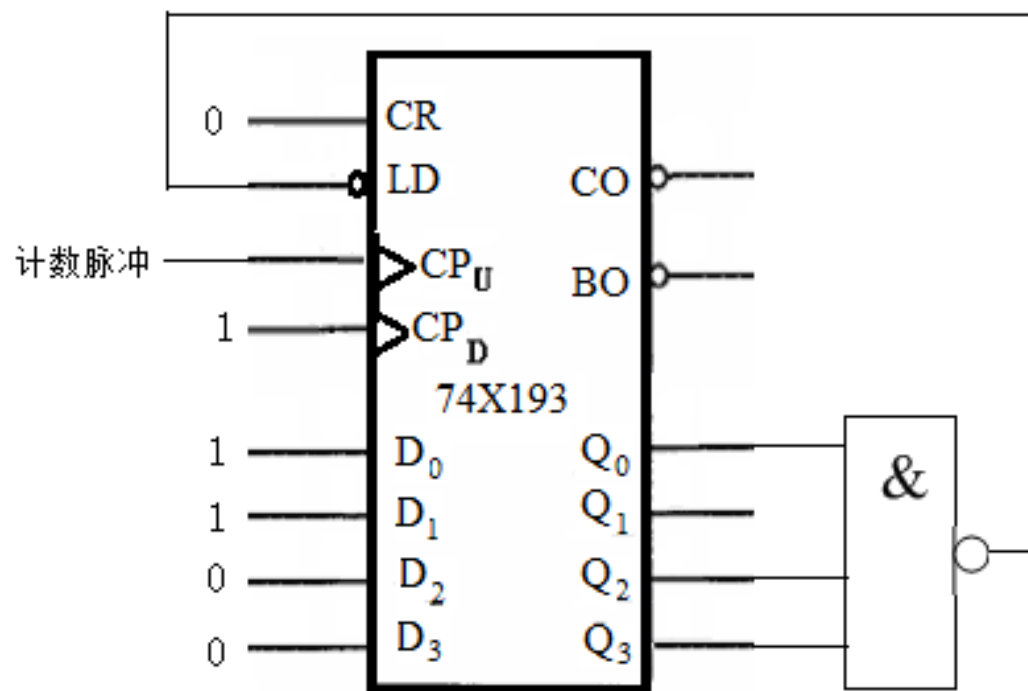


(2) 异步反馈置数法

例 计数器74X193和必要的门电路组成10进制计数器，要求用反馈置数法实现。



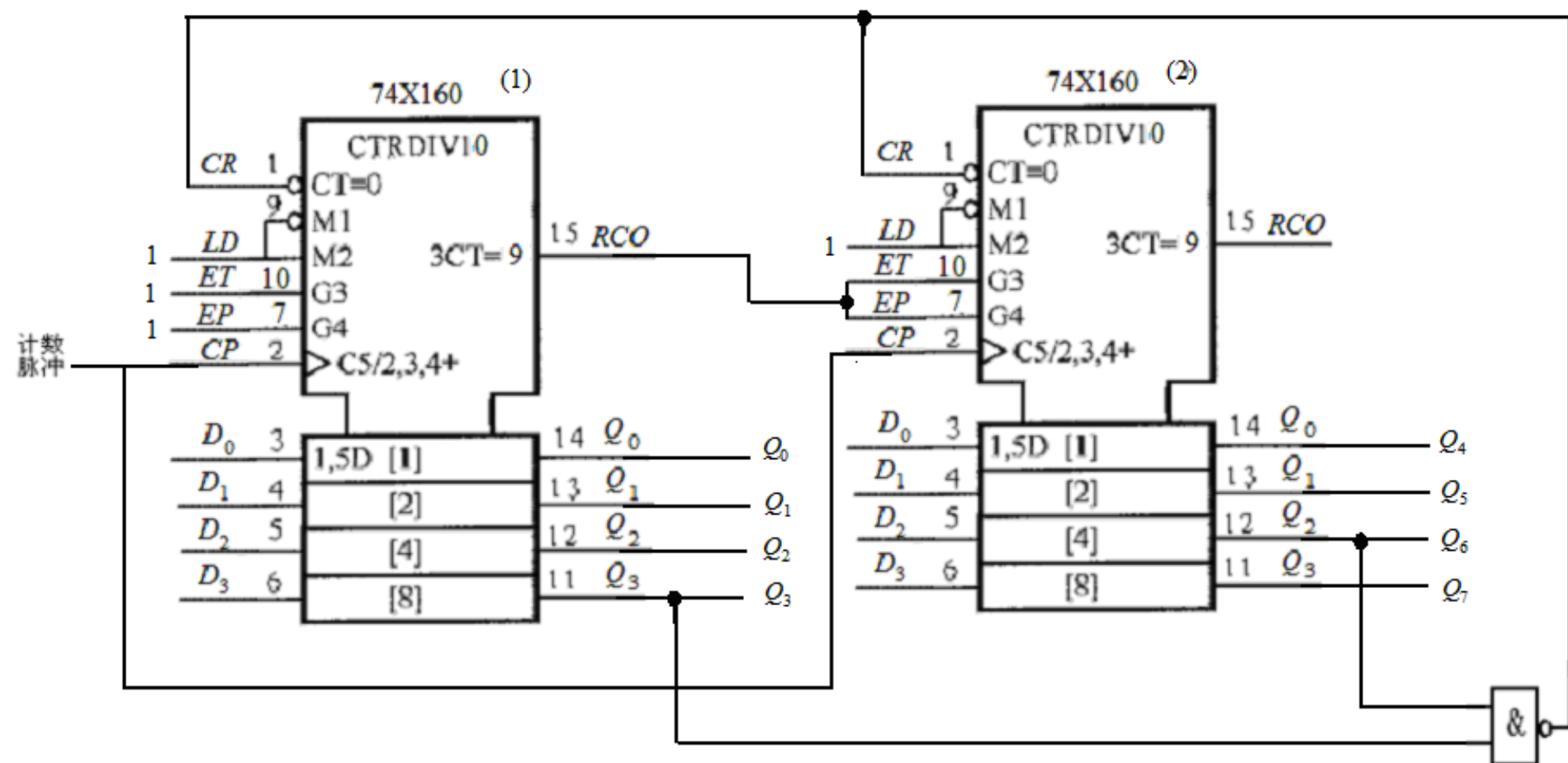
逻辑电路图



例 用74X160组成48进制计数器。

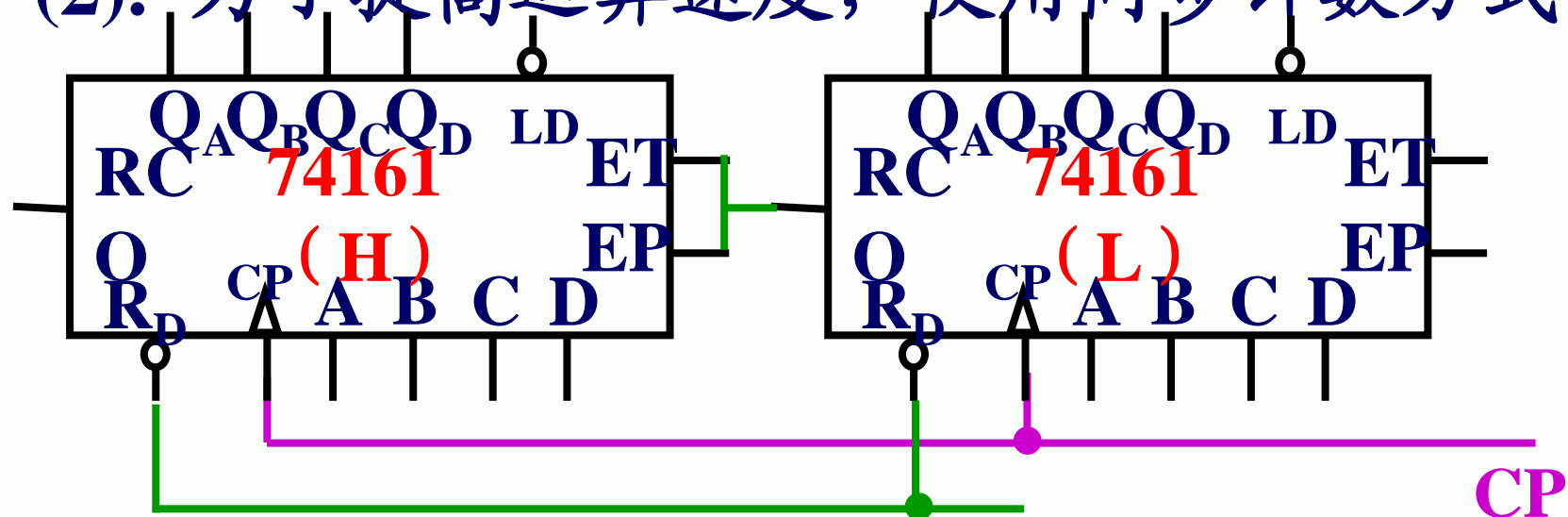
状态 序号	Q_7^n	Q_6^n	Q_5^n	Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_0^n
0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	1
2	0	0	0	0	0	0	1	0
3	0	0	0	0	0	0	1	1
4	0	0	0	0	0	1	0	0
5	0	0	0	0	0	1	0	1
6	0	0	0	0	0	1	1	0
7	0	0	0	0	0	1	1	1
8	0	0	0	0	1	0	0	0
9	0	0	0	0	1	0	0	1
10	0	0	0	1	0	0	0	0
11	0	0	0	1	0	0	0	1
12	0	0	0	1	0	0	1	0
13	0	0	0	1	0	0	1	1
14	0	0	0	1	0	1	0	0
15	0	0	0	1	0	1	0	1
16	0	0	0	1	0	1	1	0
17	0	0	0	1	0	1	1	1
18	0	0	0	1	1	0	0	0
19	0	0	0	1	1	0	0	1
20	0	0	1	0	0	0	0	0
...				...				
29	0	0	1	0	1	0	0	1
30	0	0	1	1	0	0	0	0
...				...				
39	0	0	1	1	1	0	0	1
40	0	1	0	0	0	0	0	0
...				...				
47	0	1	0	0	0	1	1	1
48	0	1	0	0	1	0	0	0

将高位片的 Q_2 和低位片的 Q_3 通过与非门接至两芯片的清零端



例. 用74161构成二十四进制计数器。

- (1). $M < N$, 需要两片74LS161;
- (2). 为了提高运算速度, 使用同步计数方式。



(3). 用反馈清零法, $24 = (18)_H = (0001\ 1000)_B$

应该在 $Q_D' Q_C' Q_B' Q_A' Q_D Q_C Q_B Q_A$
 $= 0001\ 1000$ 时准备清零。

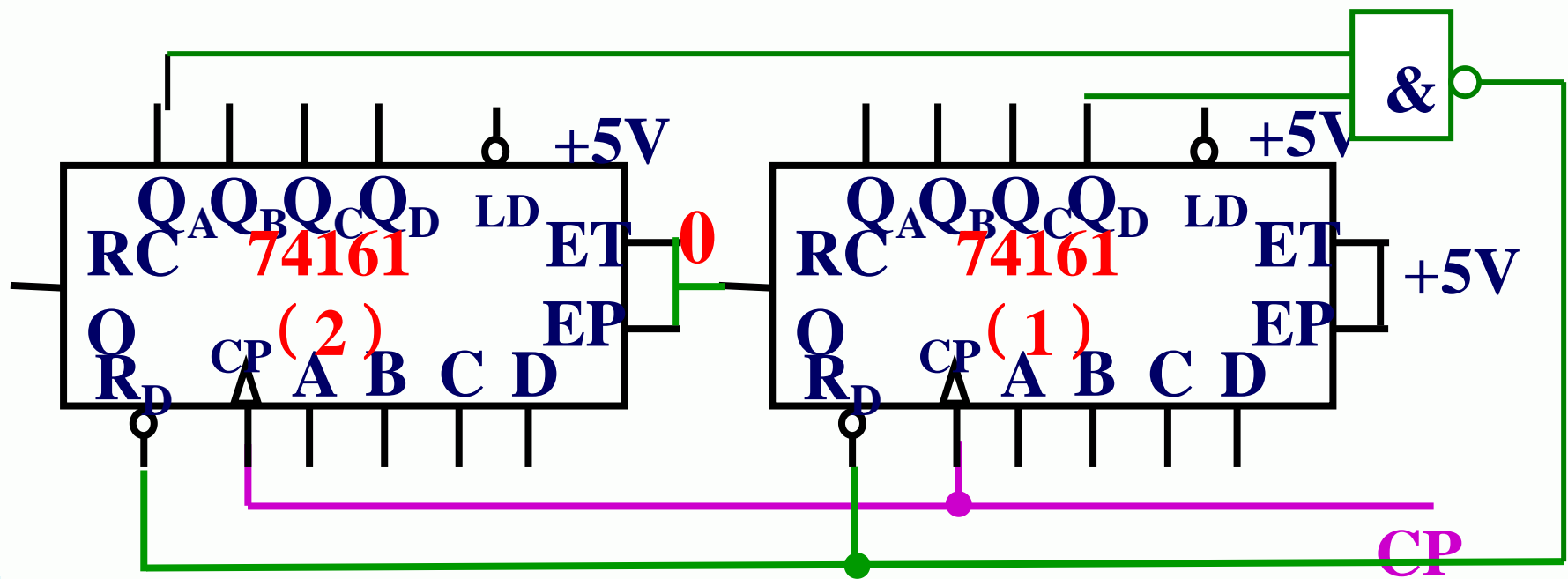
所以, $RD = Q_A' Q_D$

低位片 $Q_D Q_C Q_B Q_A$ ，从 0000 起，一直到 1110，高位片工作否？为什么？

由于其进位信号 $RCO = 0$ ，故高位片不工作。

这个阶段，只有低位片处在计数状态。

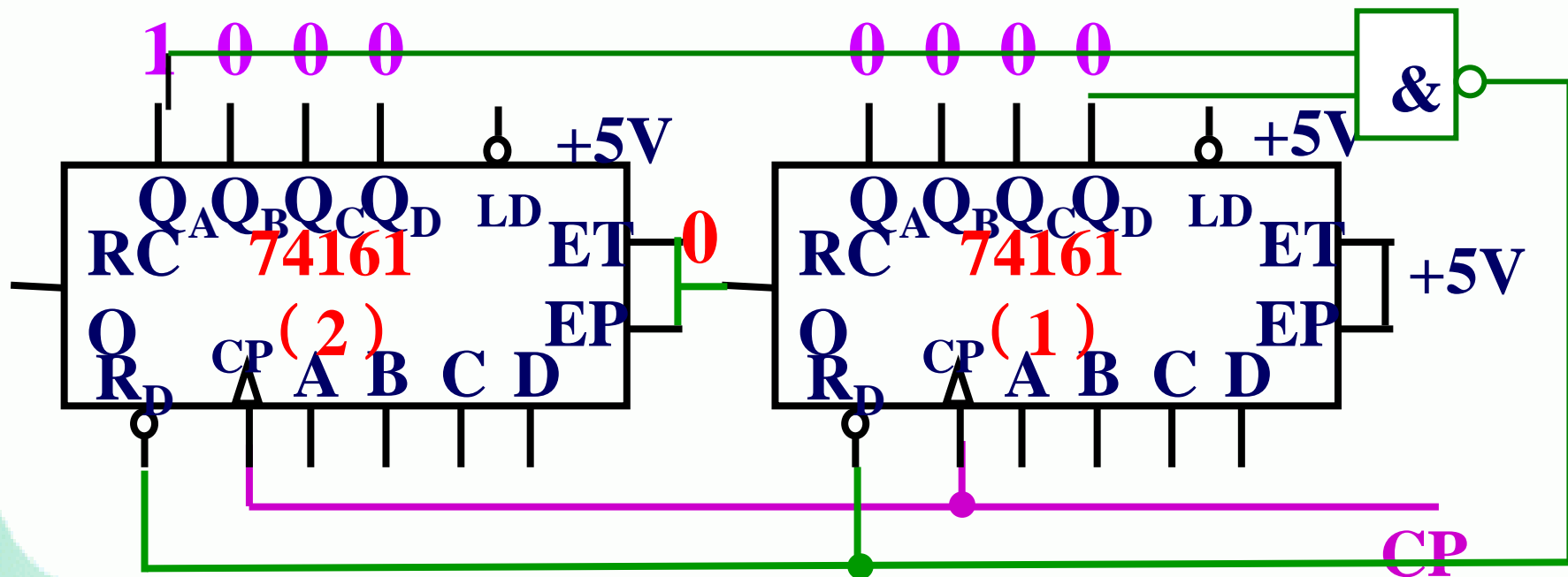
这种状况一直延续到 $Q_D Q_C Q_B Q_A = 1111$ 止。



当 $Q_D Q_C Q_B Q_A = 1111$ 时, 进位 $RCO = 1$,
使得高位片的计数使能控制端 $E_T = EP = 1$,

在下一个 CP 脉冲来到时，低位片和
高位片都处于计数“允许”状态，
于是，有

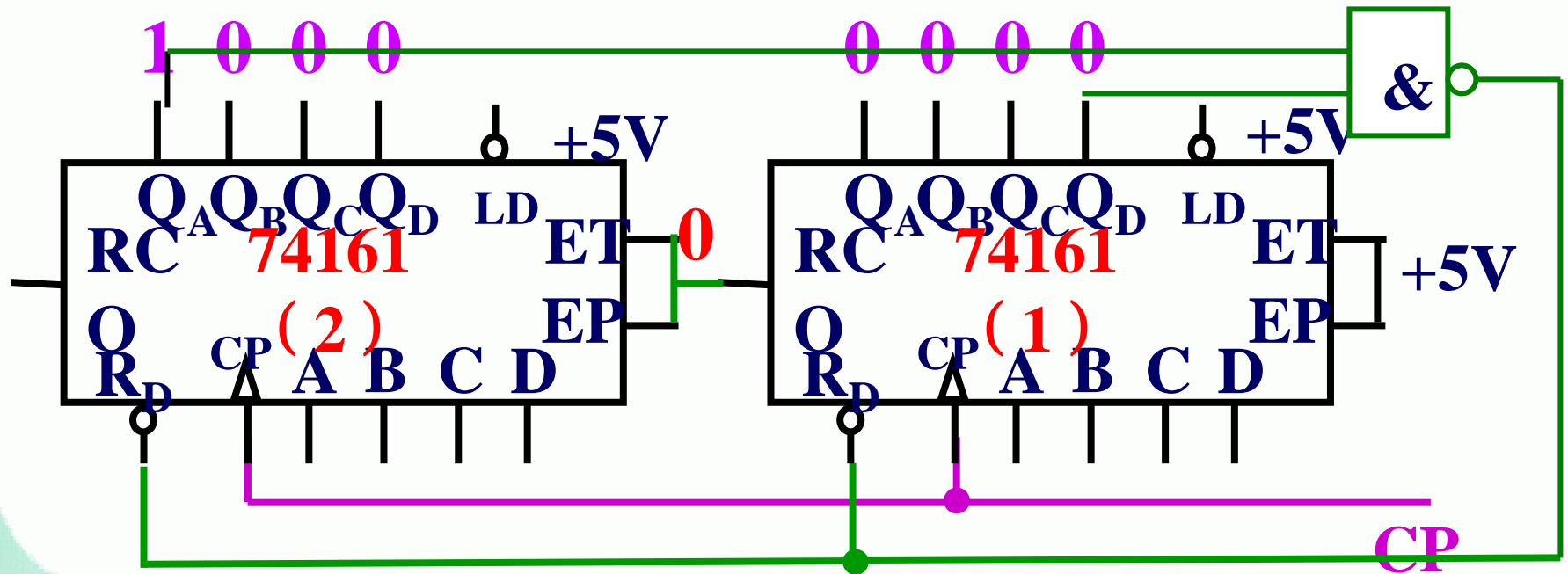
$$\mathbf{Q_D'Q_C'Q_B'Q_A'} = 0001 \text{ , } \quad \mathbf{Q_DQ_CQ_BQ_A} = 0000 \text{ .}$$



出现 $Q_D'Q_C'Q_B'Q_A' = 0001$, $Q_DQ_CQ_BQ_A = 0000$ 后,

低位片的进位信号 $RCO=0$,

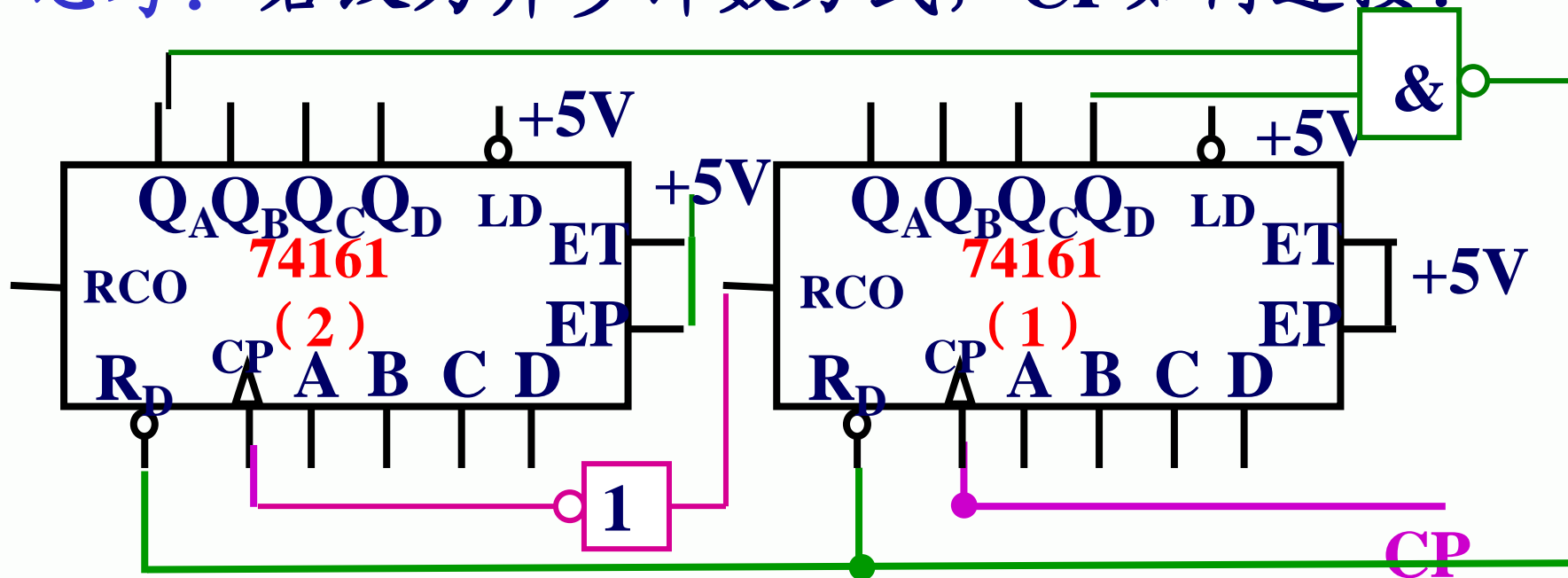
高位片则处于“禁止”状态, 保留原计数结果。
只有低位片满足计数条件而不断进行加法运算。



注意：

每当低位片的 $Q_D Q_C Q_B Q_A$ 从 0000 到 1111，经过 16 个 CP 脉冲完成一个循环以后，才允许高位片做一次加法运算。

思考：若改为异步计数方式，CP 如何连接？



注意

1. **同步** 清零(或置数)端计数终值为 S_{N-1}
异步 清零(或置数)端计数终值为 S_N
2. 用集成 **二进制** 计数器扩展容量后,
终值 S_N (或 S_{N-1}) 是**二进制代码**;

用集成**十进制**计数器扩展容量后,
终值 S_N (或 S_{N-1}) 的代码由个位、十位、
百位的**十进制数**对应的 **BCD 代码**构成。

10.5 寄存器



惠州市嘉安电子有限公司

10.5 寄存器

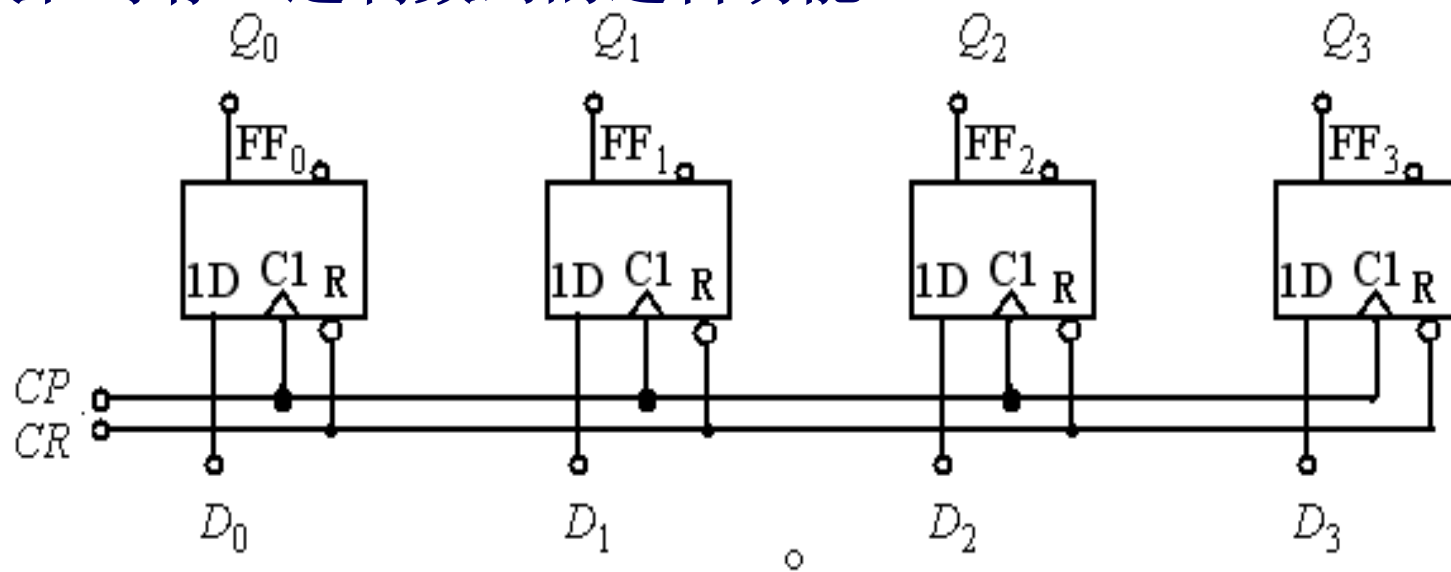
寄存器:是数字系统中用来存储代码或数据的逻辑部件。它的主要组成部分是触发器。

一个触发器能存储1位二进制代码，存储 n 位二进制代码的寄存器需要用 n 个触发器组成。寄存器实际上是若干触发器的集合。

寄存器按功能划分为基本寄存器和移位寄存器。基本寄存器只能并行送入、并行输出数据；移位寄存器分为左移、右移和双向移位，数据可以并入并出、并入串出、串入串出和串入并出等。

10.5.1 数码寄存器

数码寄存器—存储二进制数码的时序电路组件，具有接收和寄存二进制数码的逻辑功能。

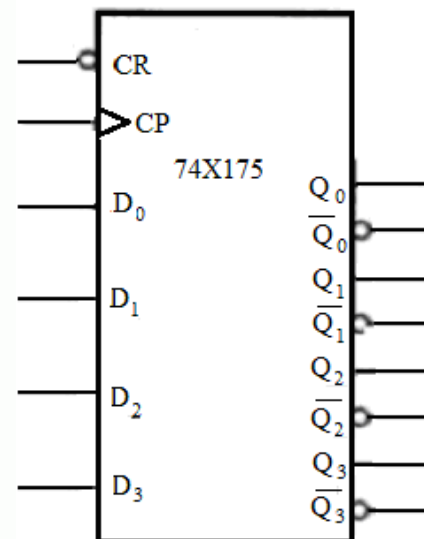
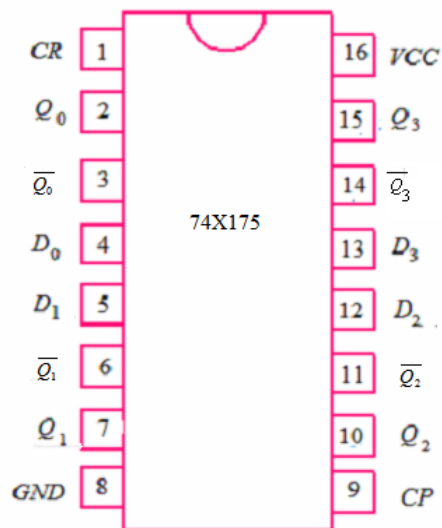


1、异步清零 $Q_3^n Q_2^n Q_1^n Q_0^n = 0000$

2、送数 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1} = D_3 D_2 D_1 D_0$

3、**CR=1**、**CP**上升沿以外的时间，寄存器保持。

4位集成寄存器74X175

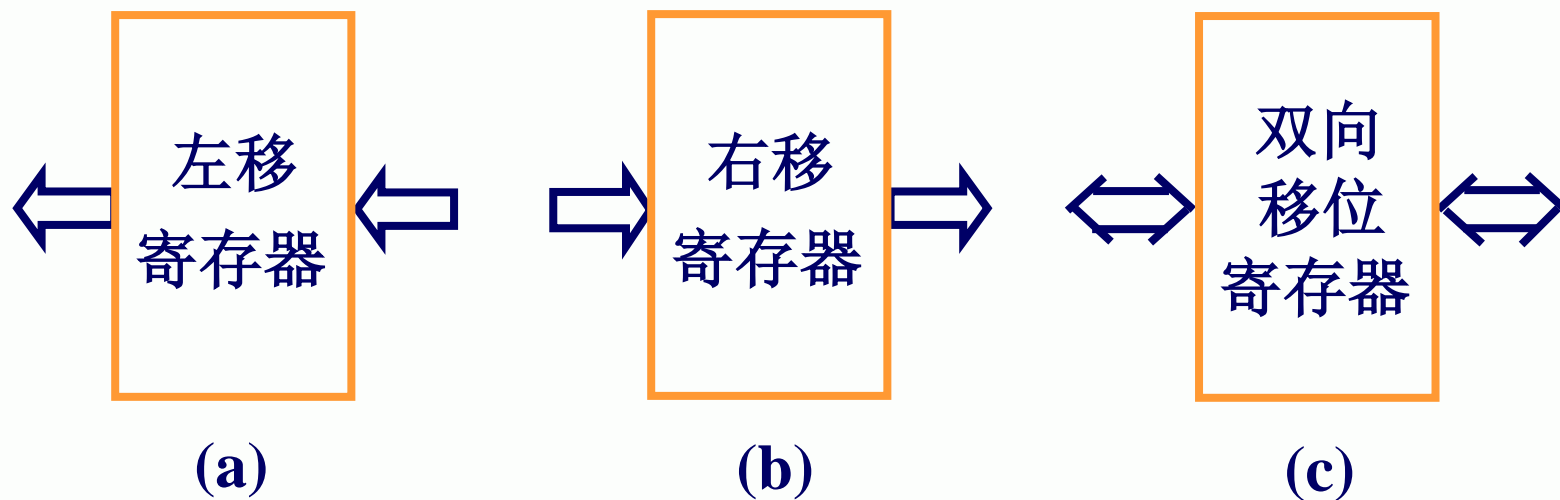


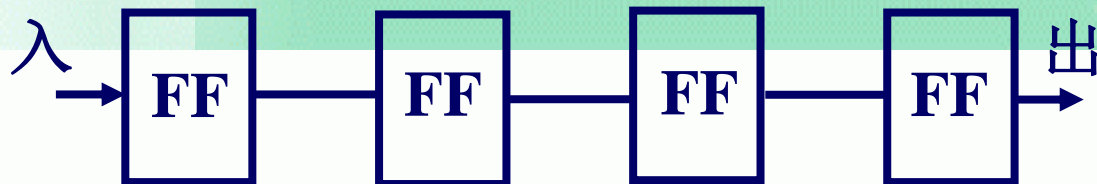
74X175的功能表

清零	时钟	输 入				输 出				工作模式
<i>CR</i>	<i>CP</i>	<i>D</i> ₃	<i>D</i> ₂	<i>D</i> ₁	<i>D</i> ₀	<i>Q</i> ₃	<i>Q</i> ₂	<i>Q</i> ₁	<i>Q</i> ₀	
0	×	×	×	×	×	0	0	0	0	异步清零
1	↑	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>	<i>D</i>	<i>C</i>	<i>B</i>	<i>A</i>	数码寄存
1	1	×	×	×	×	保 持				数据保持
1	0	×	×	×	×	保 持				数据保持

10.5.2 移位寄存器

所谓“移位”，就是将寄存器所存各位数据，在每个移位脉冲（CP）的作用下，向左或向右移动一位。根据移位方向，常把它分成左移寄存器、右移寄存器和双向移位寄存器三种：





串入—串出

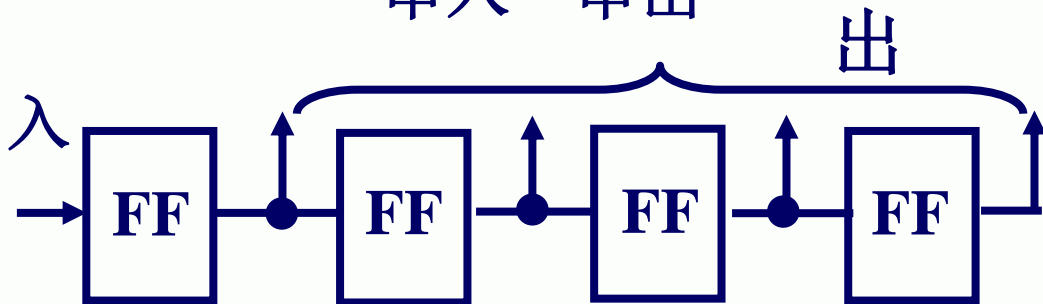
根据移位数据的输入—输出方式，可分为四种电路结构：

串入—串出，

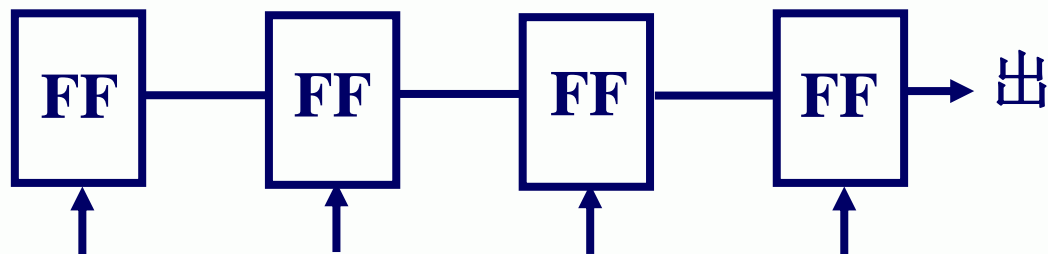
串入—并出，

并入—串出，

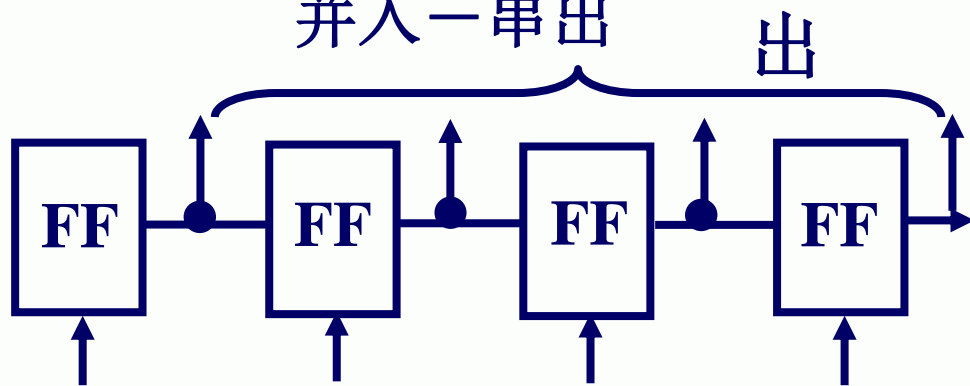
并入—并出。



串入—并出



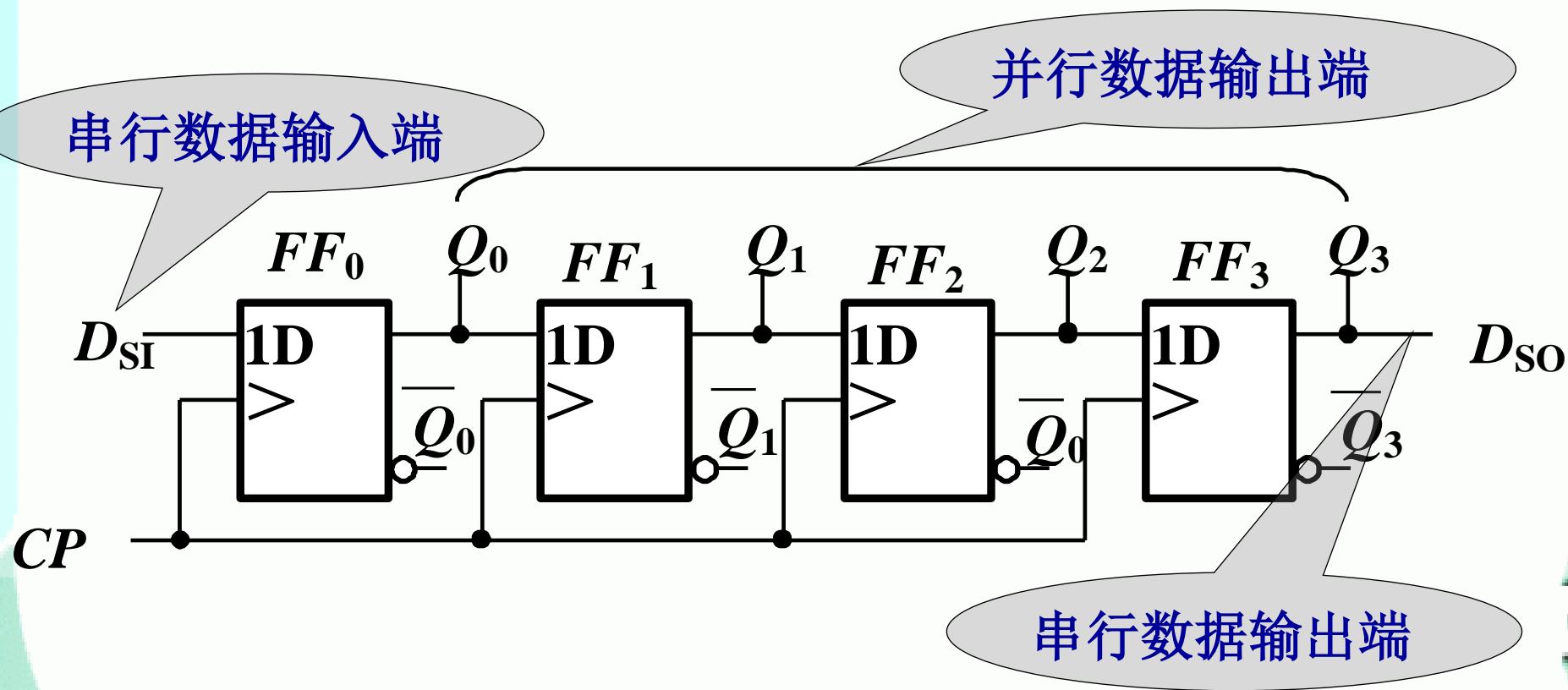
并入—串出



并入—并出

1. 4位右移寄存器

(a) 电路



(b). 工作原理

2、写出激励方程:

$$D_0 = D_{SI} \quad D_1 = Q_0^n \quad D_2 = Q_1^n \quad D_3 = Q_2^n$$

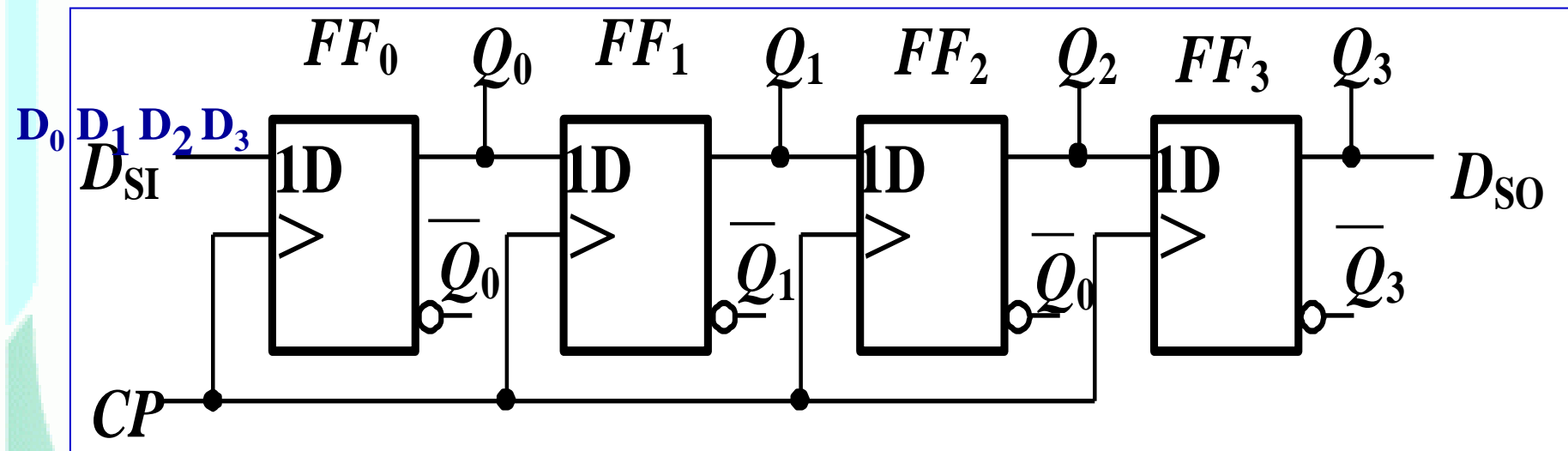
3、写出状态方程:

$$Q_0^{n+1} = D_{SI}$$

$$Q_1^{n+1} = D_1 = Q_0^n$$

$$Q_2^{n+1} = D_2 = Q_1^n$$

$$Q_3^{n+1} = D_3 = Q_2^n$$



$$Q_0^{n+1} = D_{SI}$$

$$Q_1^{n+1} = Q_0^n$$

$$Q_2^{n+1} = Q_1^n$$

$$Q_3^{n+1} = Q_2^n$$

1CP 后 1→

FF_0	FF_1	FF_2	FF_3
0	0	0	0

1	0	0	0
---	---	---	---

2CP 后 1→

1	1	0	0
---	---	---	---

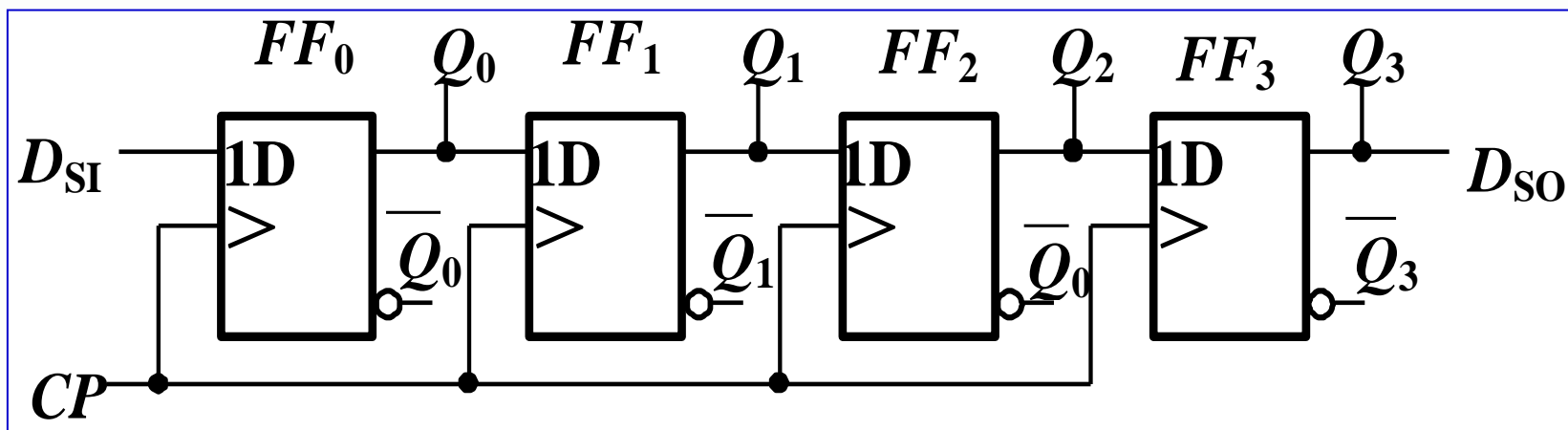
3CP 后 0→

0	1	1	0
---	---	---	---

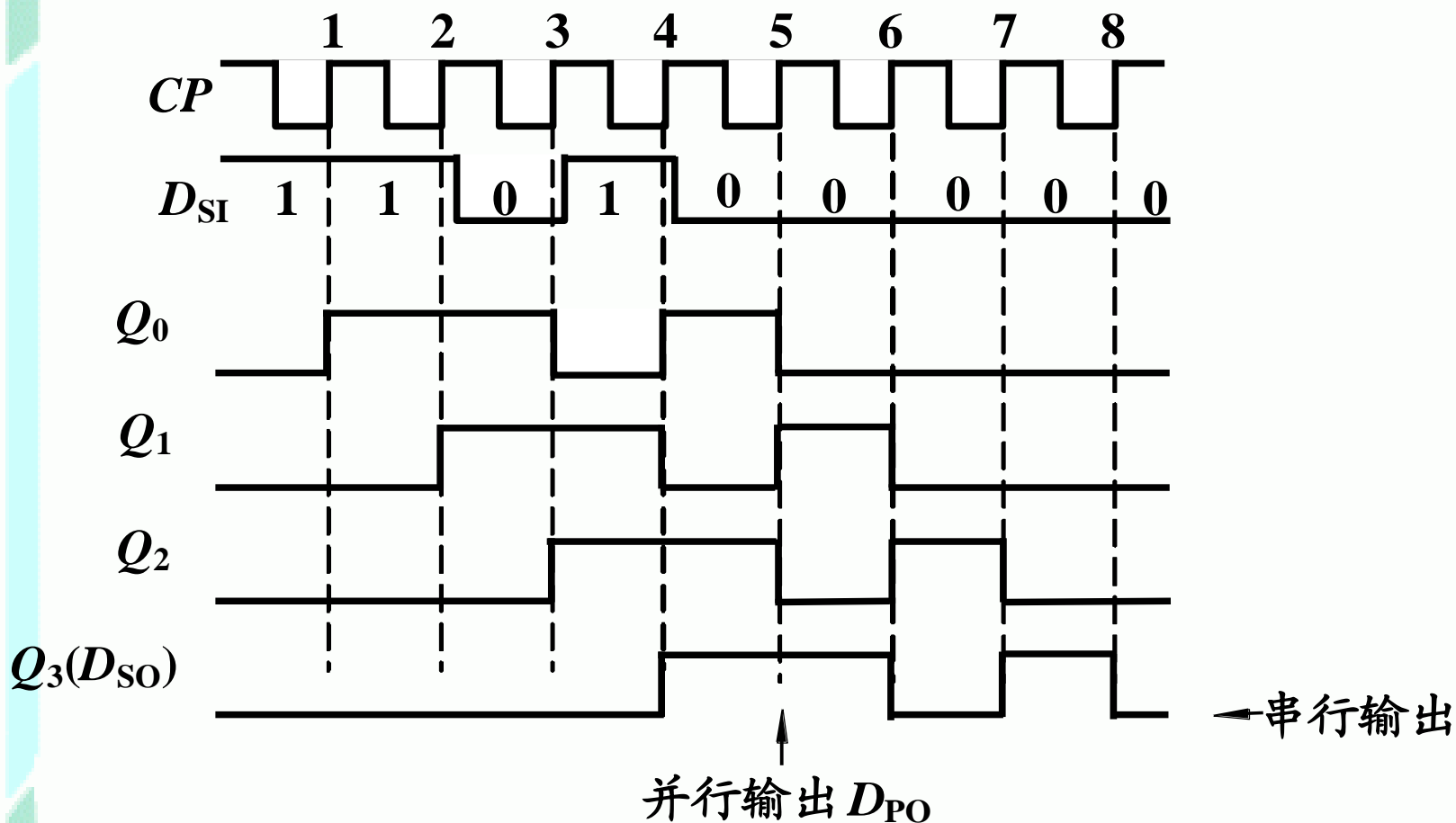
4CP 后 1→

1	0	1	1
---	---	---	---

1011

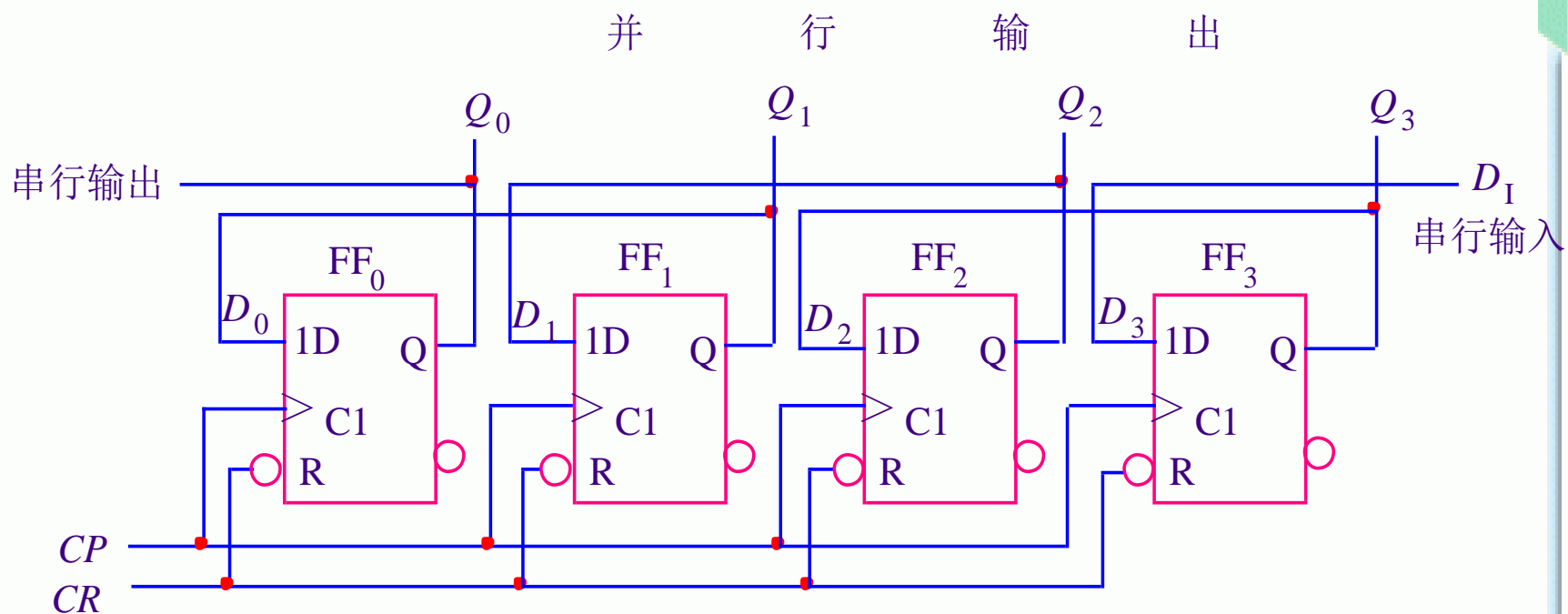


$D_{SI} = 11010000$, 从高位开始输入



经过7个CP脉冲作用后，从 D_{SI} 端串行输入的数码就可以从 D_O 端串行输出。
串入→串出

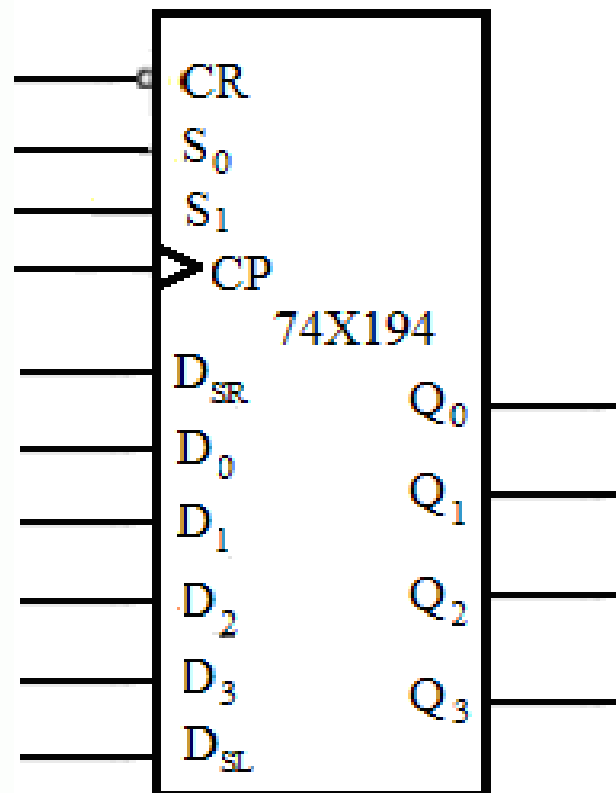
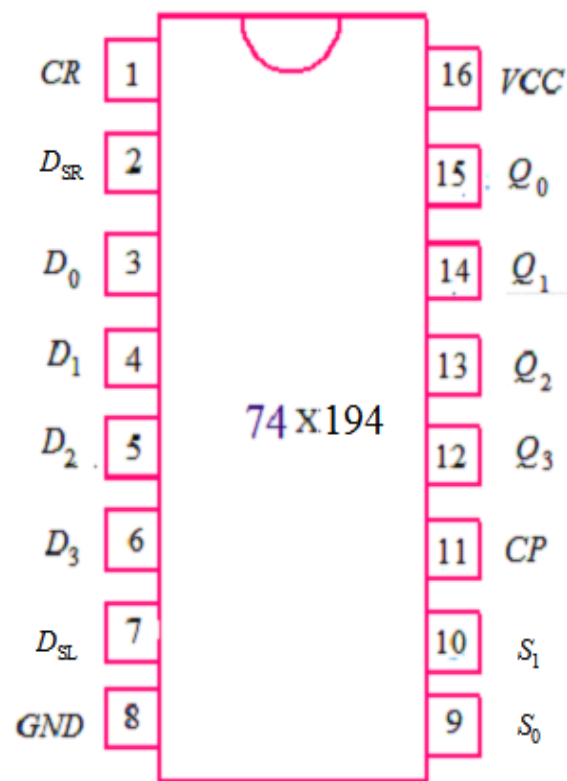
2 左移寄存器



左移寄存器的结构特点：右边触发器的输出端接左邻触发器的输入端。

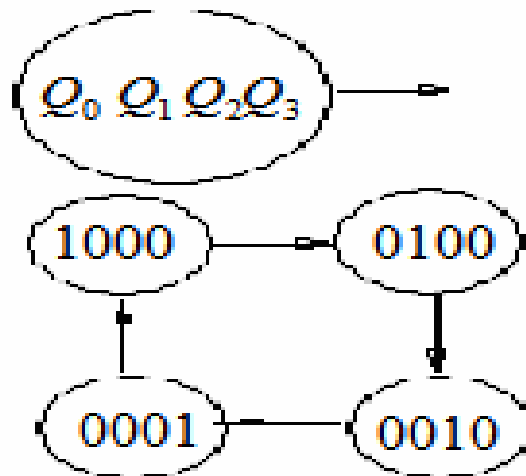
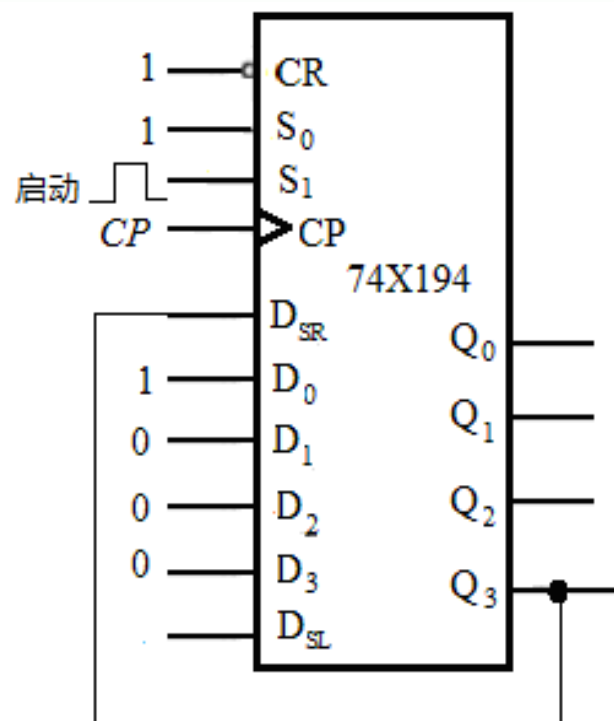
$$D_0=Q_1、D_1=Q_2、D_2=Q_3、D_3=D_I$$

3. 四位双向集成移位寄存器74X194



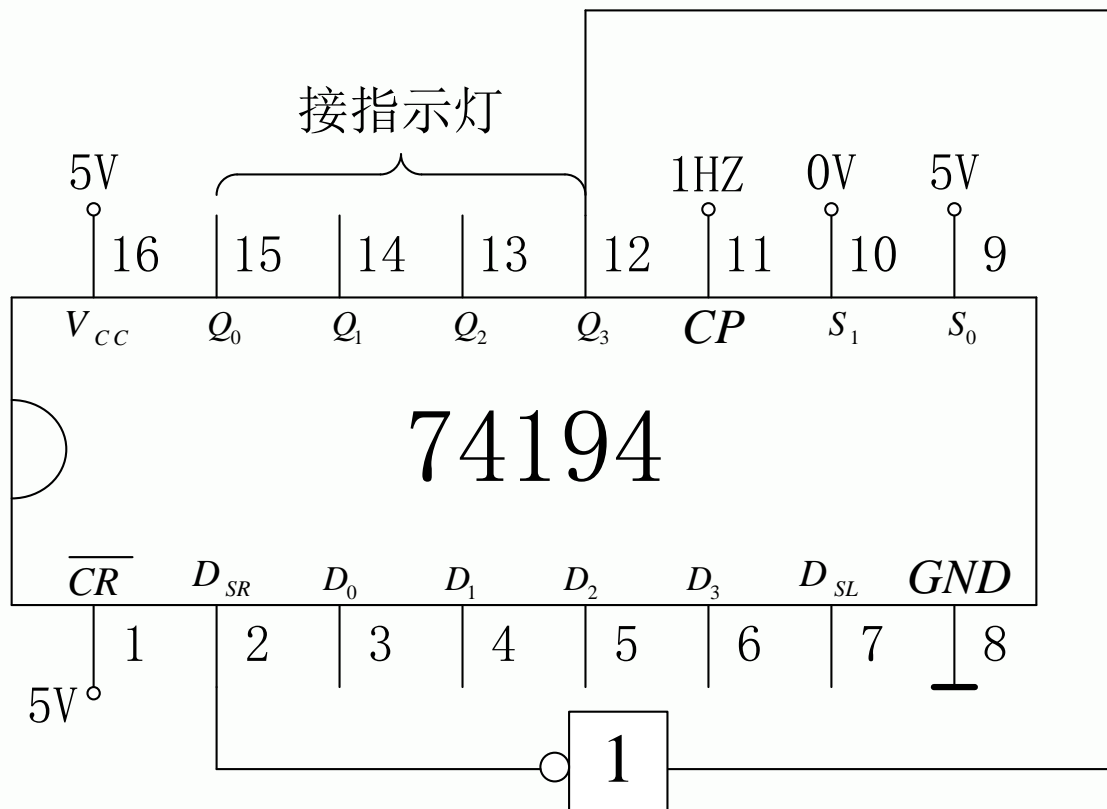
输 入					输 出				工作模式
清 零	控制	串行输入	时钟	并行输入					
CR	$S_1 \ S_0$	$D_{\text{SL}} \ D_{\text{SR}}$	CP	$D_0 \ D_1 \ D_2 \ D_3$	$Q_0 \ Q_1 \ Q_2 \ Q_3$				
0	× ×	× ×	×	× × × ×	0 0 0 0	异步清零			
1	0 0	× ×	×	× × × ×	$Q_0^n \ Q_1^n \ Q_2^n \ Q_3^n$	保持			
1	0 1	× 1	↑	× × × ×	1 $Q_0^n \ Q_1^n \ Q_2^n$	右移 D_{SR} 为串行输入, Q_3 为串行输出			
		× 0	↑	× × × ×	0 $Q_0^n \ Q_1^n \ Q_2^n$				
1	1 0	1 ×	↑	× × × ×	$Q_1^n \ Q_2^n \ Q_3^n \ 1$	左移 D_{SL} 为串行输入, Q_0 为串行输出			
		0 ×	↑	× × × ×	$Q_1^n \ Q_2^n \ Q_3^n \ 0$				
1	1 1	× ×	↑	$A \ B \ C \ D$	$A \ B \ C \ D$	并行置数			

74X194应用：用74X194构成环形计数器

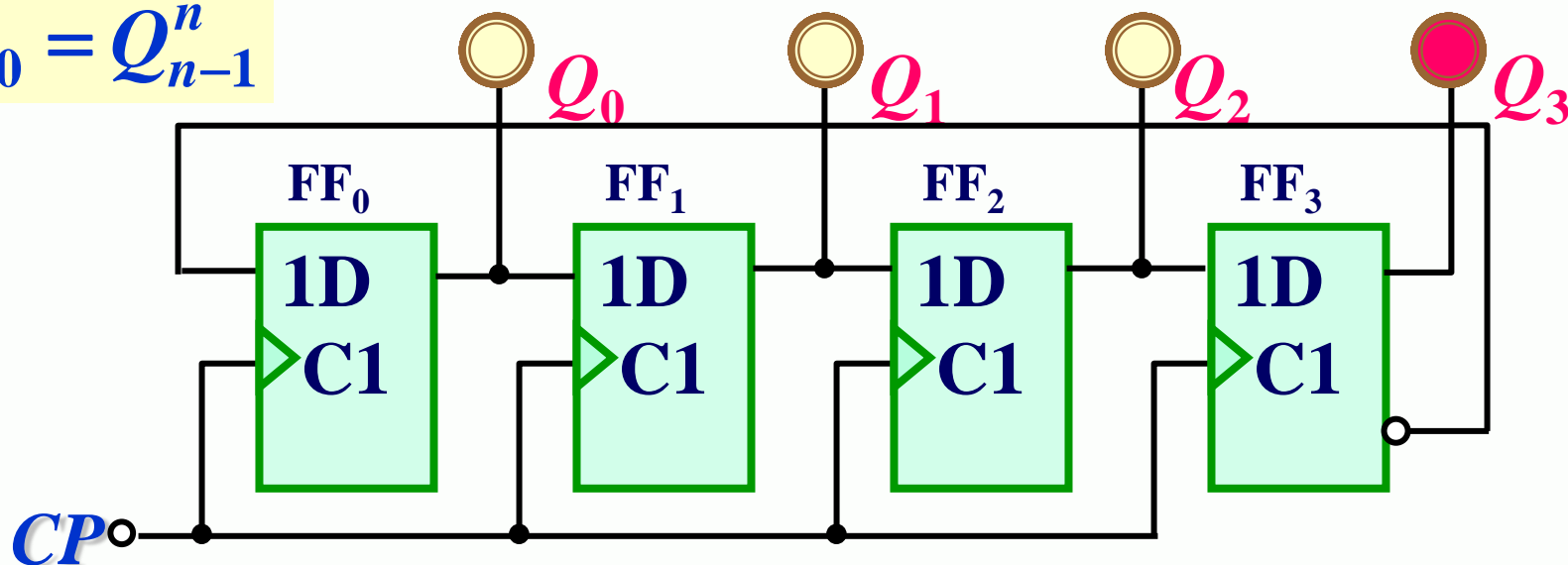


环形计数器的状态图

节日彩灯电路(扭环形计数器)



$$D_0 = \overline{Q_{n-1}^n}$$



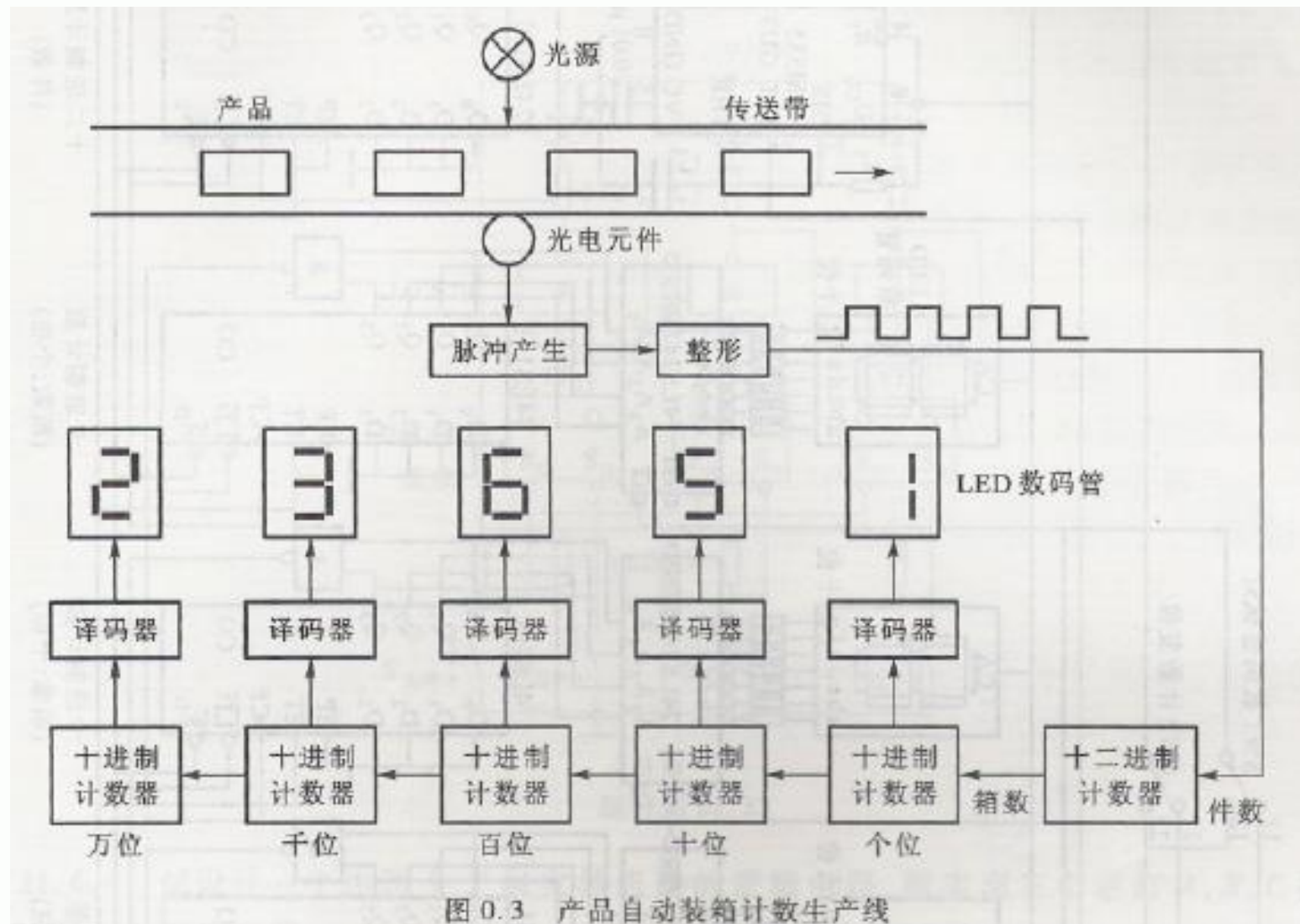
有效循环

0000→**1000**→**1100**→**1110**

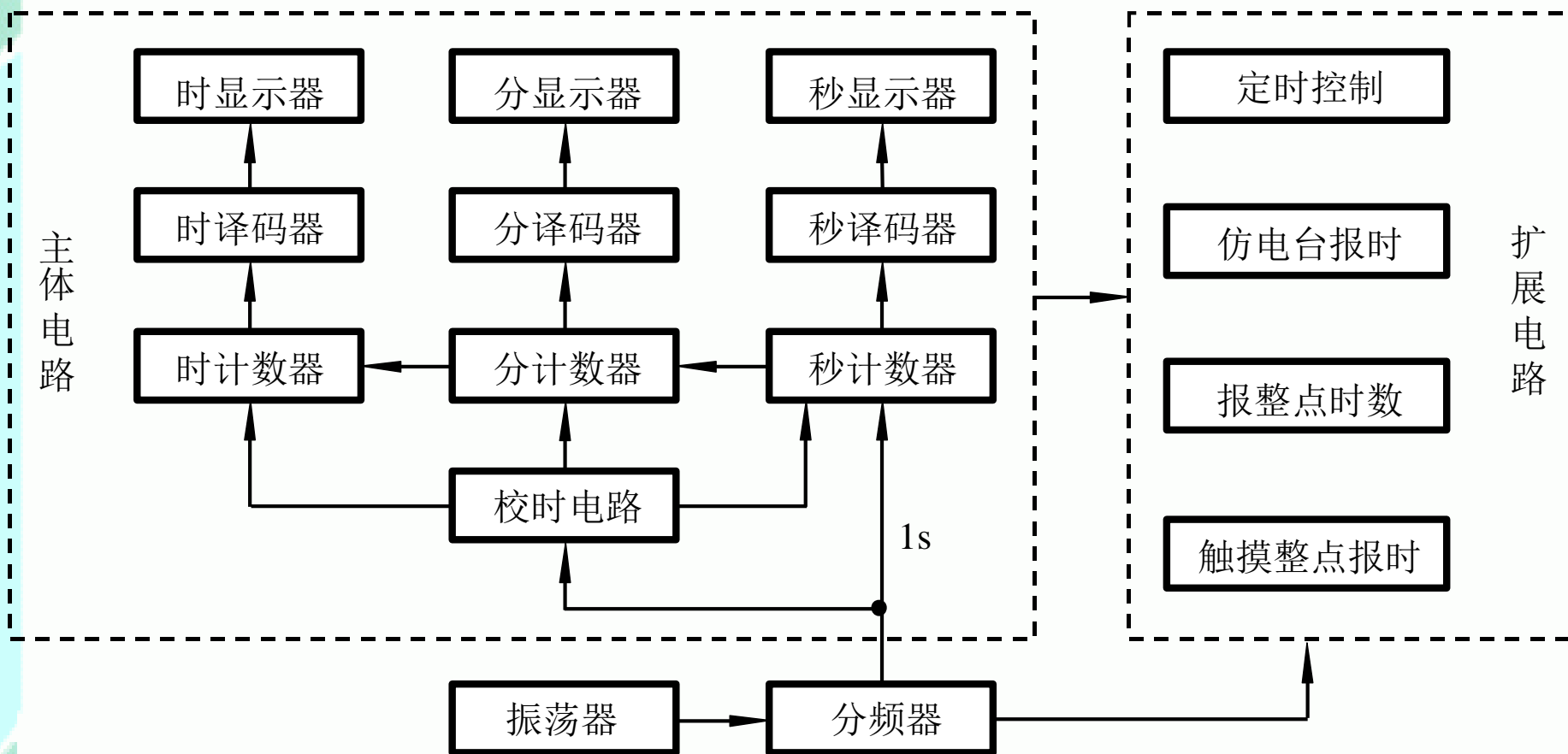
↑ ↓

0001←**0011**←**0111**←**1111**

应用一：流水线计数

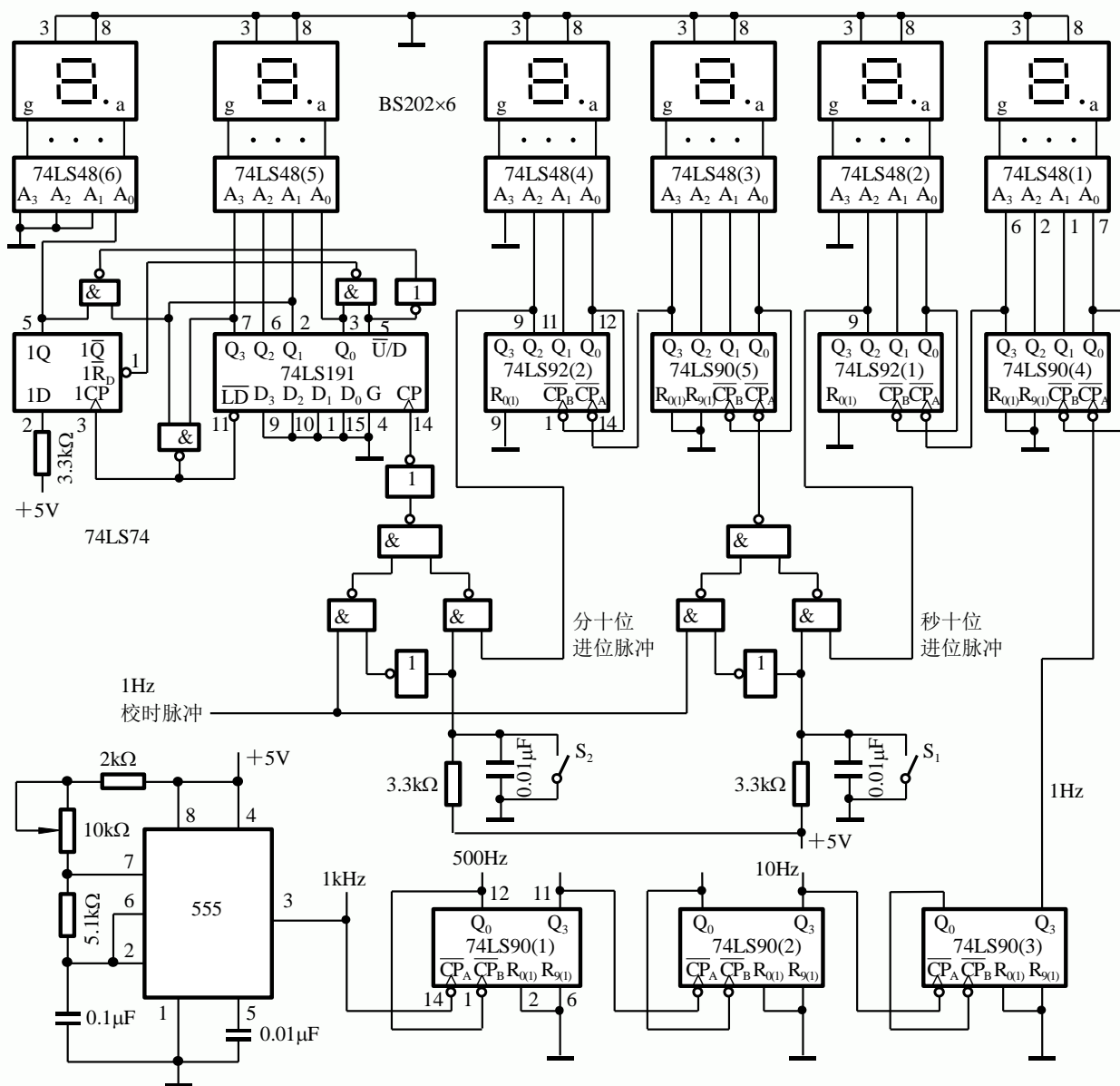


应用二、数字钟电路系统的组成框图

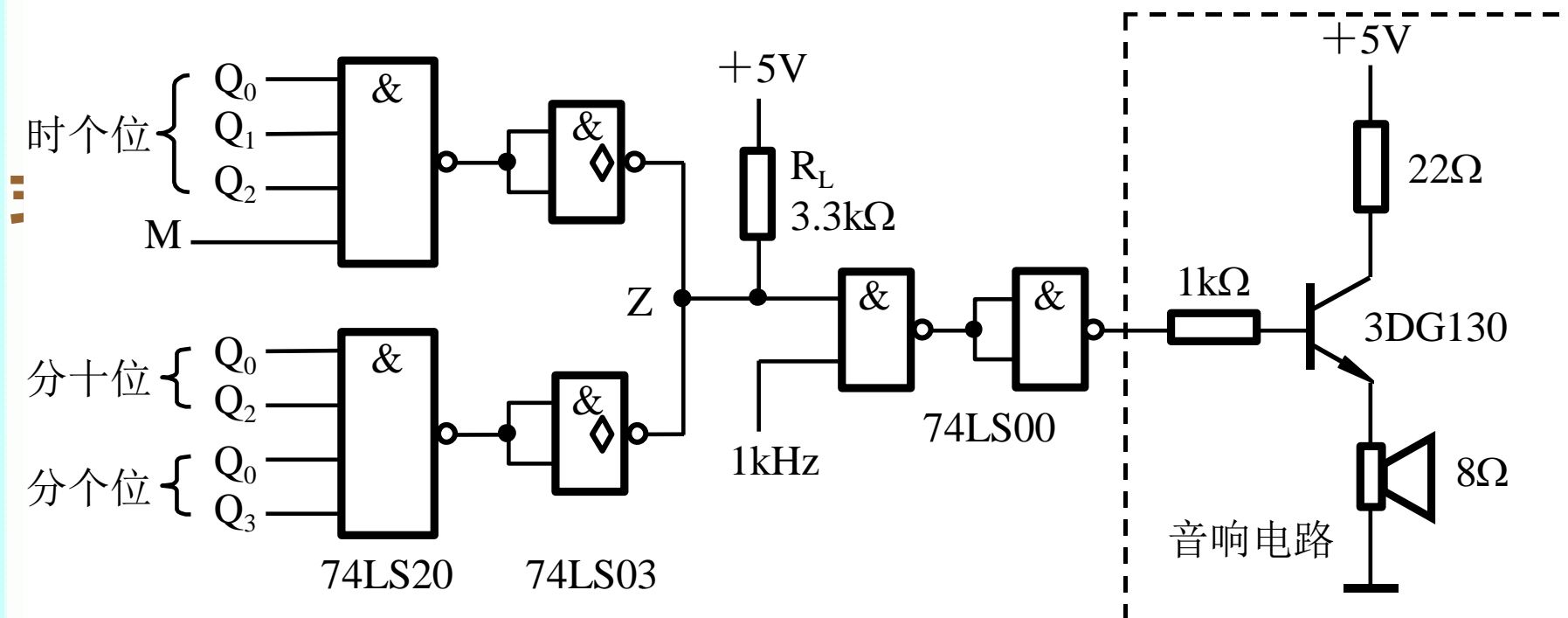


主体电路的装调

由数字钟系统组成框图按照信号的流向分级安装，逐级级联，这里的每一级是指组成数字钟的各功能电路

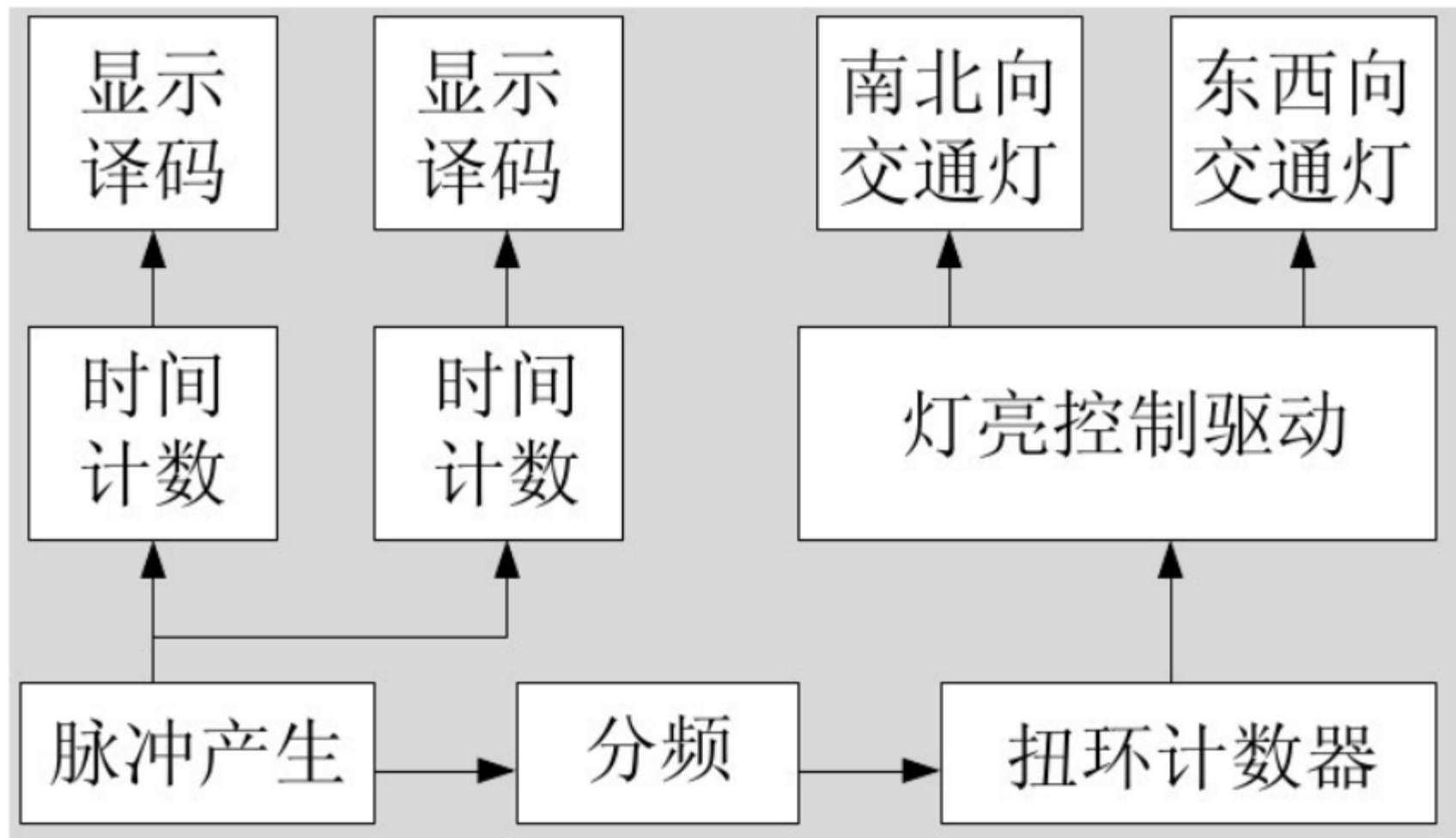


定时控制电路的设计



由图可见上午7点59分时,音响电路的晶体管导通,则扬声器发出1kHz的声音。持续1分钟到8点整晶体管因输入端为“0”而截止,电路停闹。

应用三：交通灯控制



交通灯控制电路原理框图