

系統晶片設計

SoC Design

LAB3

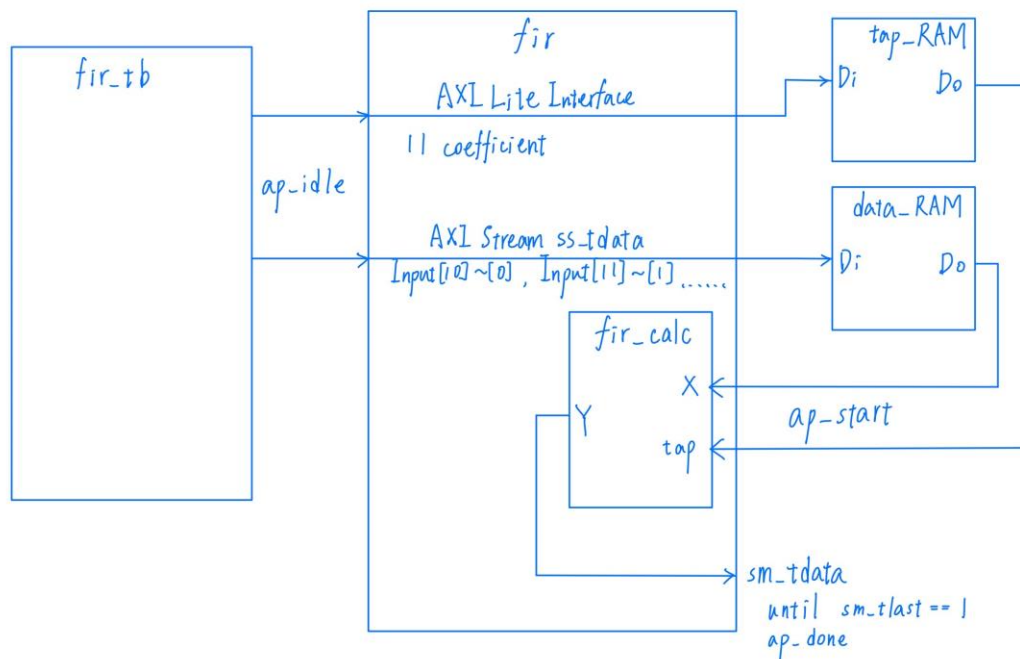
姓名：郭紘碩

學號：311512065

# 一、Block Diagram

這次實驗需要用到兩種傳輸介面來完成 FIR 的運算，其中 FIR 係數使用 axi\_lite 傳輸到 tap\_RAM，而輸入資料因數量較多則使用 axi\_stream 進行傳輸。在 fir 的一開始會由 fir\_tb 確認是否為 ap\_idle，若是則開始傳遞係數，並且在傳遞完成後將 tap\_RAM 內容讀取一遍確認。

接著開始 ap\_start 狀態，並且開始寫進 input 到 data\_ram，其中 fir 有個 counter 來計算 input 數量，當 input 到達 11 個後會開始第一次 fir\_calc，再來會將最舊的 input 藉由 shift 來更新成下一組 11 個 input，當最後一個 input 進入 fir\_calc 同時便換到 ap\_done 狀態，在完成所有 fir 運算的輸出後，又再回到 ap\_idle 狀態等待下一次的資料進入。



## 二、Discribe operatin

- **Fir coefficient to tap\_RAM**

在 fir 的一開始會檢查是否在 ap\_idle 狀態， 如果是就開始準備接收 fir 係數，此時會先需要一個寫入地址，因此 awready 會升起直到 awvalid 帶著一個地址出現，接著會利用這個地址來寫入 tap\_RAM，同時要寫入該地址的資料應該準備好了，其 wvalid 會為 1，當 fir 檢測到 wvalid 為 1 則會將 wready 變 1，如此一來便成功寫入一筆資料進 tap\_RAM，

- **Accessing tap\_RAM and data\_RAM to compute**

當 tap\_RAM 和 data\_RAM 都存滿資料後，會由輸入的 awaddr 大小判斷 araddr\_map 和 awaddr\_map，對應到 tap\_RAM 的讀寫，在這邊會加入 rvalid && rready 條件來判斷 tap\_RAM 是否只執行 read 的動作，同時 data\_RAM 也會因為 araddr\_map 被設為 read，其中兩個 RAM 的資料會進到 fir\_calc 進行乘加運算，每累積 11 筆資料進去後便會輸出一個 fir 結果。

- **Ap\_done generating**

當最後一筆資料透過 AXI Stream 傳輸時，sm\_tlast 會升起，同時會需要 sm\_tready 與 sm\_tvalid 來一起判斷傳輸前後的確切時間，因此當這三個訊號都為 1 時，ap\_done 也會被設為 1，表示最後一筆資料傳遞完成並進入運算。

- **Ap\_idle**

每當進入 fir 時，ap\_idle 會先被設為 1，表示裝置可用，而 ap\_idle 在另一種情況下也會被設為 1，也就是當最後一筆資料傳輸，ap\_done 被設為 1，且 arvalid、rready、rvalid 都為 1 時，代表最後一筆資料被讀取完成，則此時 fir 即將運算完成，ap\_idle 便設為 1。

### 三、Resource usage

#### 28 1. Slice Logic

29 -----

30

31							
32	Site Type	Used	Fixed	Prohibited	Available	Util%	
33							
34	Slice LUTs*	103	0	0	53200	0.19	
35	LUT as Logic	103	0	0	53200	0.19	
36	LUT as Memory	0	0	0	17400	0.00	
37	Slice Registers	197	0	0	106400	0.19	
38	Register as Flip Flop	130	0	0	106400	0.12	
39	Register as Latch	67	0	0	106400	0.06	
40	F7 Muxes	0	0	0	26600	0.00	
41	F8 Muxes	0	0	0	13300	0.00	
42							

43 \* Warning! The Final LUT count, after physical optimizations and full implementation, is typically lower. I

44

45

#### 46 1.1 Summary of Registers by Type

47 -----

48

49							
50	Total	Clock Enable	Synchronous	Asynchronous			
51							
52	0	-	-	-			
53	0	-	-	Set			
54	0	-	-	Reset			
55	0	-	Set	-			
56	0	-	Reset	-			
57	0	Yes	-	-			
58	7	Yes	-	Set			
59	150	Yes	-	Reset			
60	0	Yes	Set	-			
61	40	Yes	Reset	-			
62							

63

64

#### 65 2. Memory

66 -----

67

68							
69	Site Type	Used	Fixed	Prohibited	Available	Util%	
70							
71	Block RAM Tile	0	0	0	140	0.00	
72	RAMB36/FIFO*	0	0	0	140	0.00	
73	RAMB18	0	0	0	280	0.00	
74							

75 \* Note: Each Block RAM Tile only has one FIFO logic available and therefore can accommodate only one FIFO31

76

77

#### 78 3. DSP

79 -----

80

81							
82	Site Type	Used	Fixed	Prohibited	Available	Util%	
83							
84	DSPs	3	0	0	220	1.36	
85	DSP48E1 only	3					
86							

#### 89 4. IO and GT Specific

90 -----

91

92	Site Type	Used	Fixed	Prohibited	Available	Util%
93						
94						
95	Bonded IOB	318	0	0	125	254.40
96	Bonded IPADs	0	0	0	2	0.00
97	Bonded IOPADs	0	0	0	130	0.00
98	PHY_CONTROL	0	0	0	4	0.00
99	PHASER_REF	0	0	0	4	0.00
100	OUT_FIFO	0	0	0	16	0.00
101	IN_FIFO	0	0	0	16	0.00
102	IDELAYCTRL	0	0	0	4	0.00
103	IBUFDS	0	0	0	121	0.00
104	PHASER_OUT/PHASER_OUT_PHY	0	0	0	16	0.00
105	PHASER_IN/PHASER_IN_PHY	0	0	0	16	0.00
106	IDELAYE2/IDELAYE2_FINEDELAY	0	0	0	200	0.00
107	ILOGIC	0	0	0	125	0.00
108	OLOGIC	0	0	0	125	0.00
109						

110

111

#### 112 5. Clocking

113 -----

114

115	Site Type	Used	Fixed	Prohibited	Available	Util%
116						
117						
118	BUFGCTRL	3	0	0	32	9.38
119	BUFIO	0	0	0	16	0.00
120	MMCME2_ADV	0	0	0	4	0.00
121	PLLE2_ADV	0	0	0	4	0.00
122	BUFMRC	0	0	0	8	0.00
123	BUFHCE	0	0	0	72	0.00
124	BUFR	0	0	0	16	0.00
125						

126

127

#### 128 6. Specific Feature

129 -----

130

131	Site Type	Used	Fixed	Prohibited	Available	Util%
132						
133						
134	BSCANE2	0	0	0	4	0.00
135	CAPTUREE2	0	0	0	1	0.00
136	DNA_PORT	0	0	0	1	0.00
137	EFUSE_USR	0	0	0	1	0.00
138	FRAME_ECCE2	0	0	0	1	0.00
139	ICAPE2	0	0	0	2	0.00
140	STARTUPE2	0	0	0	1	0.00
141	XADC	0	0	0	1	0.00
142						

143

#### 145 7. Primitives

146 -----

147

148	Ref Name	Used	Functional Category
149			
150			
151	OBUF	169	IO
152	IBUF	149	IO
153	FDCE	83	Flop & Latch
154	LDCE	67	Flop & Latch
155	LUT6	41	LUT
156	FDRE	40	Flop & Latch
157	LUT3	34	LUT
158	LUT4	21	LUT
159	LUT2	21	LUT
160	CARRY4	12	CarryLogic
161	LUT5	8	LUT
162	FDPE	7	Flop & Latch
163	LUT1	4	LUT
164	DSP48E1	3	Block Arithmetic
165	BUFG	3	Clock
166			

167

168

#### 169 8. Black Boxes

170 -----

171

172 +-----+

173 | Ref Name | Used |

174 +-----+

175

176

#### 177 9. Instantiated Netlists

178 -----

179

180 +-----+

181 | Ref Name | Used |

182 +-----+

## 四、Timing Report

- Slack

10ns

Design Timing Summary			
Setup		Hold	Pulse Width
Worst Negative Slack (WNS):	6.726 ns	Worst Hold Slack (WHS):	0.115 ns
Total Negative Slack (TNS):	0.000 ns	Total Hold Slack (THS):	0.000 ns
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	203	Total Number of Endpoints:	203
All user specified timing constraints are met.			

4ns

Design Timing Summary			
Setup		Hold	Pulse Width
Worst Negative Slack (WNS):	0.726 ns	Worst Hold Slack (WHS):	0.115 ns
Total Negative Slack (TNS):	0.000 ns	Total Hold Slack (THS):	0.000 ns
Number of Failing Endpoints:	0	Number of Failing Endpoints:	0
Total Number of Endpoints:	203	Total Number of Endpoints:	203
All user specified timing constraints are met.			

Timing Summary - timing\_3 Timing Summary - timing\_4

3ns

Design Timing Summary			
Setup		Hold	Pulse Width
Worst Negative Slack (WNS):	-0.274 ns	Worst Hold Slack (WHS):	0.115 ns
Total Negative Slack (TNS):	-1.418 ns	Total Hold Slack (THS):	0.000 ns
Number of Failing Endpoints:	10	Number of Failing Endpoints:	0
Total Number of Endpoints:	203	Total Number of Endpoints:	203
Timing constraints are not met.			

逐漸降低 clk period 直到 Slack 出現負值，透過測試結果顯示，clk period 在 4ns 時即為最小，當 clk period 最小就代表 clk frequency 為最大，此時頻率為 250Mhz。

## ● Longest path

815 Max Delay PathsS

816 -----

817 Slack (VIOLATED) : -0.274ns (required time - arrival time)

818 Source: FIR\_kernel/Done\_count\_reg[2]/C

819 (rising edge-triggered cell FDCE clocked by axis\_clk {rise@0.000ns fall@1.500ns period=3.000ns})

820 Destination: FIR\_kernel/Y\_reg[29]/D

821 (rising edge-triggered cell FDCE clocked by axis\_clk {rise@0.000ns fall@1.500ns period=3.000ns})

822 Path Group: axis\_clk

823 Path Type: Setup (Max at Slow Process Corner)

824 Requirement: 3.000ns (axis\_clk rise@3.000ns - axis\_clk rise@0.000ns)

825 Data Path Delay: 3.170ns (logic 2.345ns (73.975%) route 0.825ns (26.025%))

826 Logic Levels: 9 (CARRY4=8 LUT6=1)

827 Clock Path Skew: -0.145ns (DCD - SCD + CPR)

828 Destination Clock Delay (DCD): 2.128ns = ( 5.128 - 3.000 )

829 Source Clock Delay (SCD): 2.456ns

830 Clock Pessimism Removal (CPR): 0.184ns

831 Clock Uncertainty: 0.035ns ((TSJ^2 + TIJ^2)^1/2 + DJ) / 2 + PE

832 Total System Jitter (TSJ): 0.071ns

833 Total Input Jitter (TIJ): 0.000ns

834 Discrete Jitter (DJ): 0.000ns

835 Phase Error (PE): 0.000ns

836 -----

837 Location Delay type Incr(ns) Path(ns) Netlist Resource(s)

838 -----

839 (clock axis\_clk rise edge)

840 0.000 0.000 r

841 0.000 0.000 r axis\_clk (IN)

842 0.000 0.000 r axis\_clk

843 r axis\_clk\_IBUF\_inst/I

844 IBUF (Prop\_ibuf\_I\_0) 0.972 0.972 r axis\_clk\_IBUF\_inst/O

845 net (fo=1, unplaced) 0.800 1.771 r axis\_clk\_IBUF

846 r axis\_clk\_IBUF\_BUFG\_inst/I

847 BUFG (Prop\_bufg\_I\_0) 0.101 1.872 r axis\_clk\_IBUF\_BUFG\_inst/O

848 net (fo=130, unplaced) 0.584 2.456 r FIR\_kernel/CLK

849 FDCE r FIR\_kernel/Done\_count\_reg[2]/C

850 -----

851 FDCE (Prop\_fdce\_C\_0) 0.478 2.934 r FIR\_kernel/Done\_count\_reg[2]/Q

852 net (fo=37, unplaced) 0.816 3.750 r FIR\_kernel/Done\_count\_reg[2]

853 r FIR\_kernel/Y[0]\_i\_4/I3

854 LUT6 (Prop\_lut6\_I3\_0) 0.295 4.045 r FIR\_kernel/Y[0]\_i\_4/O

855 net (fo=1, unplaced) 0.000 4.045 r FIR\_kernel/Y[0]\_i\_4\_n\_0

856 r FIR\_kernel/Y\_reg[0]\_i\_1/S[1]

857 CARRY4 (Prop\_carry4\_S[1]\_CO[3]) 0.533 4.578 r FIR\_kernel/Y\_reg[0]\_i\_1/CO[3]

858 net (fo=1, unplaced) 0.009 4.587 r FIR\_kernel/Y\_reg[0]\_i\_1\_n\_0

859 r FIR\_kernel/Y\_reg[4]\_i\_1/CI

860 CARRY4 (Prop\_carry4\_CI\_CO[3]) 0.117 4.704 r FIR\_kernel/Y\_reg[4]\_i\_1/CO[3]

861 net (fo=1, unplaced) 0.000 4.704 r FIR\_kernel/Y\_reg[4]\_i\_1\_n\_0

862 r FIR\_kernel/Y\_reg[8]\_i\_1/CI

863 CARRY4 (Prop\_carry4\_CI\_CO[3]) 0.117 4.821 r FIR\_kernel/Y\_reg[8]\_i\_1/CO[3]

864 net (fo=1, unplaced) 0.000 4.821 r FIR\_kernel/Y\_reg[8]\_i\_1\_n\_0

865 r FIR\_kernel/Y\_reg[12]\_i\_1/CI

866 CARRY4 (Prop\_carry4\_CI\_CO[3]) 0.117 4.938 r FIR\_kernel/Y\_reg[12]\_i\_1/CO[3]

867 net (fo=1, unplaced) 0.000 4.938 r FIR\_kernel/Y\_reg[12]\_i\_1\_n\_0

868 r FIR\_kernel/Y\_reg[16]\_i\_1/CI

869 CARRY4 (Prop\_carry4\_CI\_CO[3]) 0.117 5.055 r FIR\_kernel/Y\_reg[16]\_i\_1/CO[3]

870 net (fo=1, unplaced) 0.000 5.055 r FIR\_kernel/Y\_reg[16]\_i\_1\_n\_0

871 r FIR\_kernel/Y\_reg[20]\_i\_1/CI

872 CARRY4 (Prop\_carry4\_CI\_CO[3]) 0.117 5.172 r FIR\_kernel/Y\_reg[20]\_i\_1/CO[3]

873 net (fo=1, unplaced) 0.000 5.172 r FIR\_kernel/Y\_reg[20]\_i\_1\_n\_0

874 r FIR\_kernel/Y\_reg[24]\_i\_1/CI

875 CARRY4 (Prop\_carry4\_CI\_CO[3]) 0.117 5.289 r FIR\_kernel/Y\_reg[24]\_i\_1/CO[3]

876 net (fo=1, unplaced) 0.000 5.289 r FIR\_kernel/Y\_reg[24]\_i\_1\_n\_0

877 r FIR\_kernel/Y\_reg[28]\_i\_1/CI

878 CARRY4 (Prop\_carry4\_O[1])

879

880

881

882

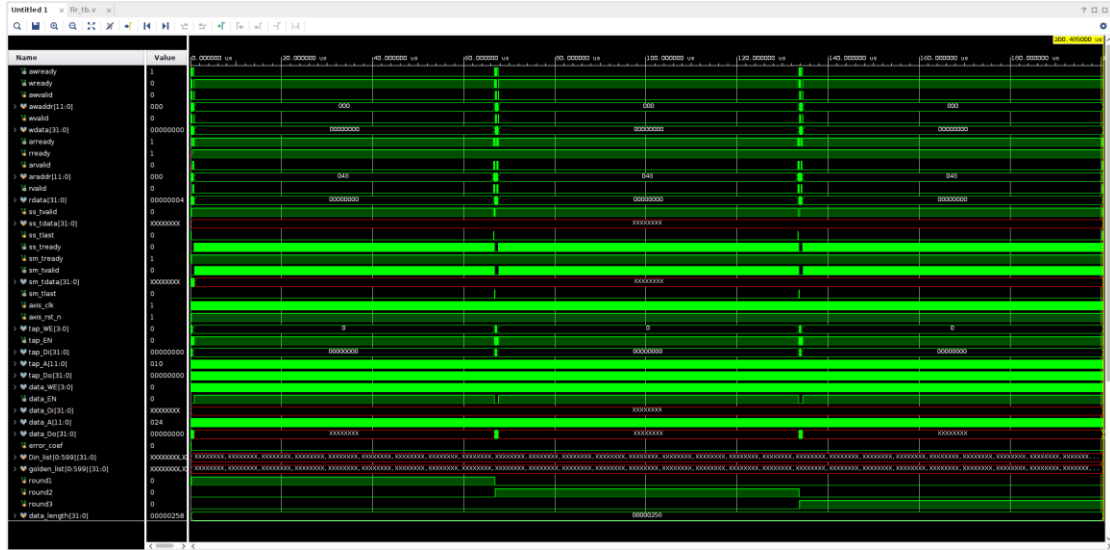
883

884

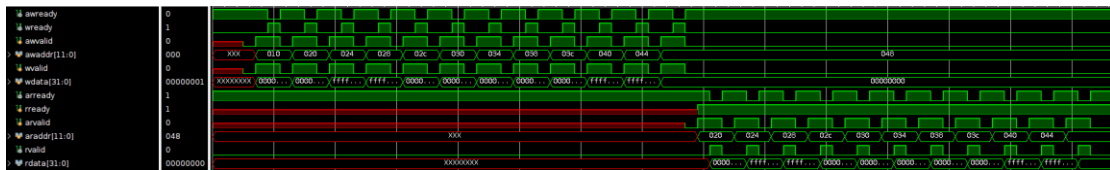
885

## 五、Simulation Waveform

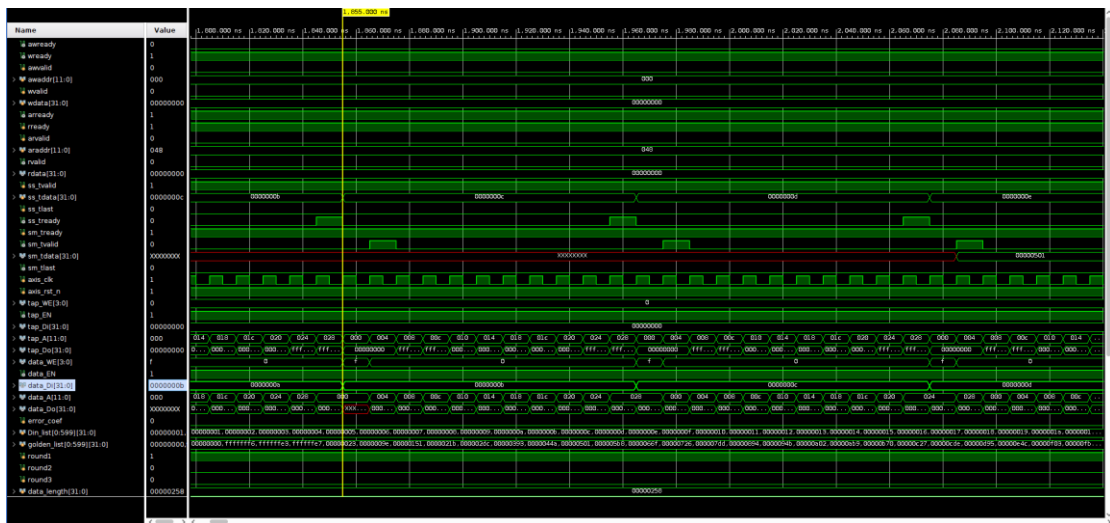
- overview



- Coefficient program and read back

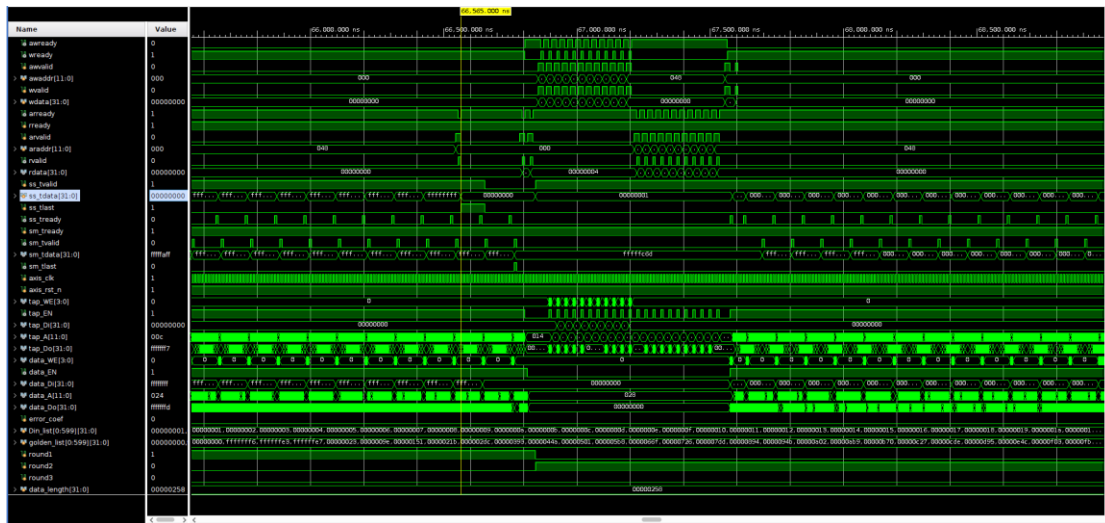


- Di sequence from 000c ~ 0001

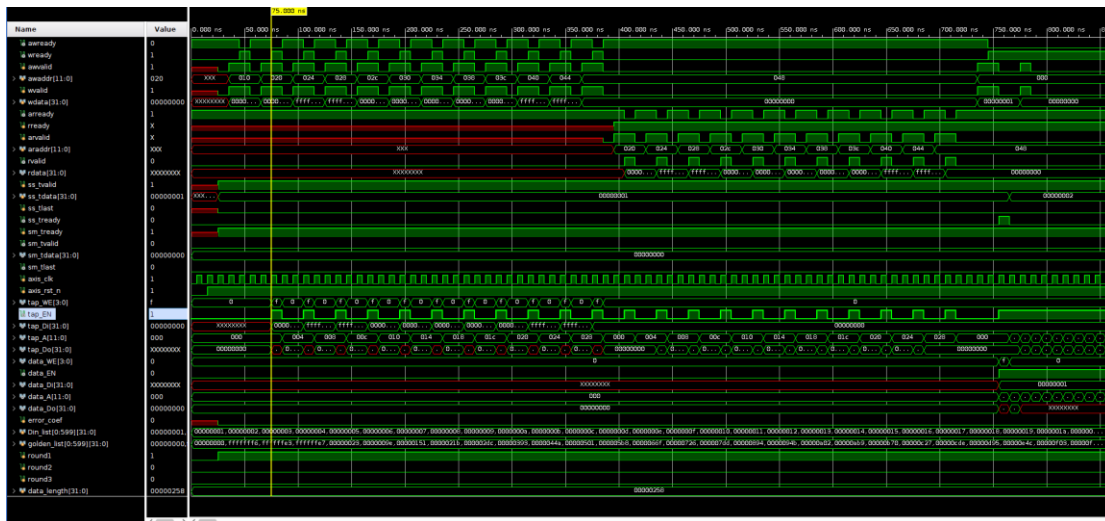




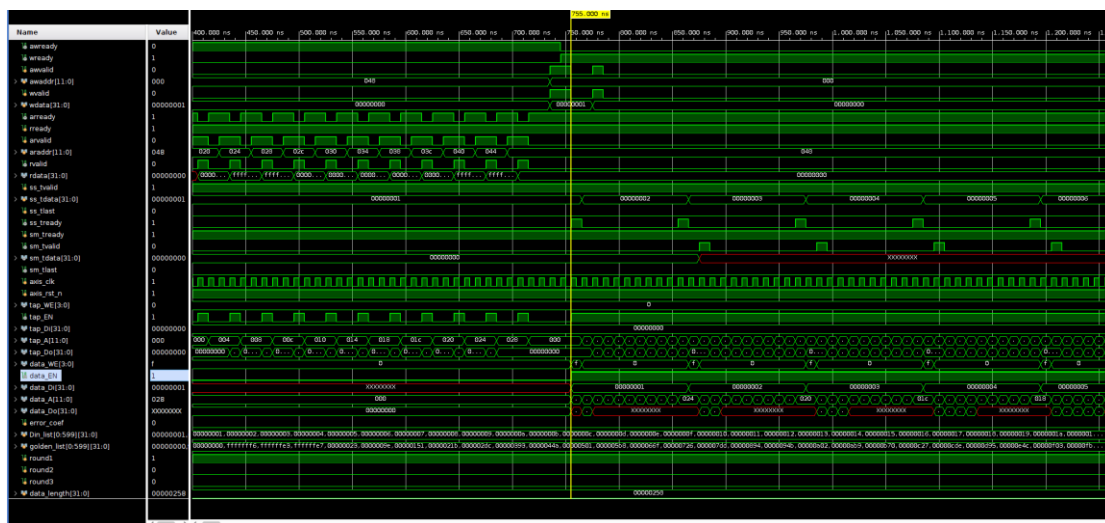
- Din stream end 、 tlast rise



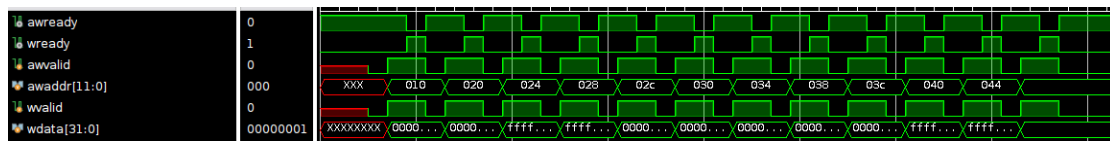
- Tap ram controll



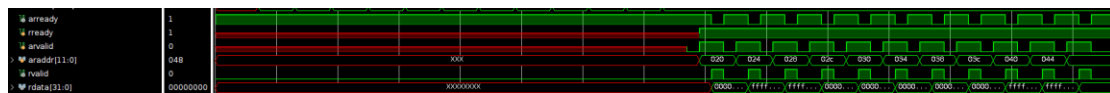
- Data ram controll



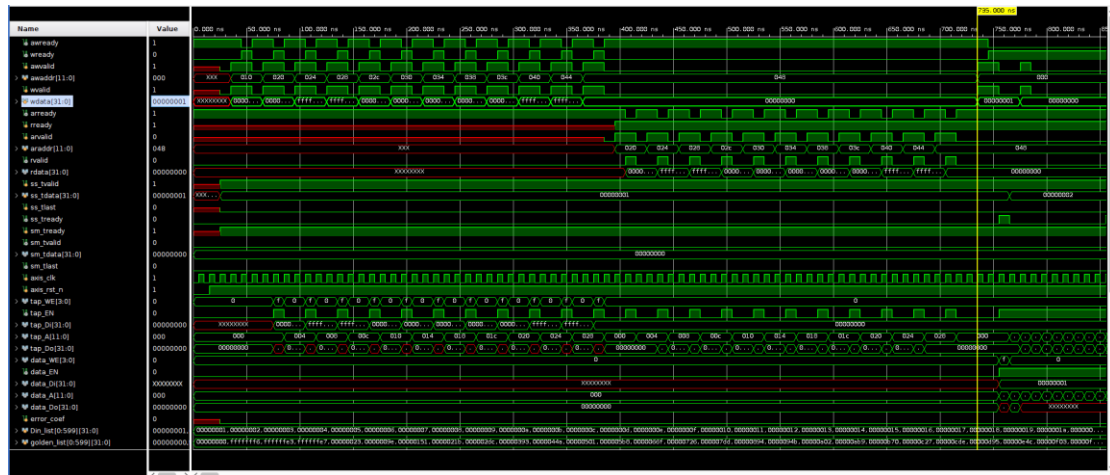
## ● AW/W FSM



## ● AR/R FSM



## ● ap\_start



## ● ap\_done

