



前言

这份应用笔记是为系统设计者提供的，他们需要对开发板硬件实现的特性有个总体认识，如供电、时钟管理、复位控制、启动模式的设置和调试管理等。该文档说明了STM32F10xxx系列的大容量和中容量产品使用方法，并描述了应用STM32F10xxx开发所需要的最小硬件资源。

详细的参考设计图也包含在这篇文档里，包括主要组件、接口、模式的说明。

译注：

本译文的英文版下载地址为：

<http://www.st.com/stonline/products/literature/an/13675.pdf>

目录

1	供电	3
1.1	简介	3
1.1.1	独立 A/D 转换器供电以及参考电压	3
1.1.2	备用电池	3
1.1.3	电压调压器	4
1.2	供电方案	4
1.3	复位及电源管理	4
1.3.1	上电复位(POR)/掉电复位(PDR)	4
1.3.2	可编程电压监测器(PVD)	5
1.3.3	系统复位	5
2	时钟	7
2.1	HSE 时钟	8
2.1.1	外部时钟源(HSE 旁路)	8
2.1.2	外部晶体 / 陶瓷谐振器(HSE 晶体)	8
2.2	LSE 时钟	8
2.2.1	外部源(LSE 旁路)	8
2.2.2	外部晶体 / 陶瓷谐振器(LSE 晶体)	9
2.3	时钟输出能力	9
2.4	时钟安全系统(CSS)	9
3	启动配置	10
3.1	启动模式选择	10
3.2	启动引脚连接	10
3.3	内嵌自举模式	10
4	调试管理	11
4.1	简介	11
4.2	SWJ 调试端口(SERIAL WIRE 和 JTAG)	11
4.3	引脚分布和调试端口脚	11
4.3.1	SWJ 调试端口引脚	11
4.3.2	灵活的 SWJ-DP 引脚分配	11
4.3.3	JTAG 引脚的内部上拉和下拉电阻	12
4.3.4	与标准 JTAG 连接器相连的 SWJ 调试端口	13
5	建议	14
5.1	印制电路板	14
5.2	器件位置	14
5.3	接地和供电(V_{SS} , V_{DD})	14
5.4	去耦合	14
5.5	其它信号	14
5.6	未用到的 I/O 及其特性	15
6	参考设计	16
6.1	描述	16
6.1.1	时钟	16
6.1.2	复位	16
6.1.3	启动模式	16
6.1.4	SWJ 接口	16
6.1.5	供电	16
6.2	参考器件	17

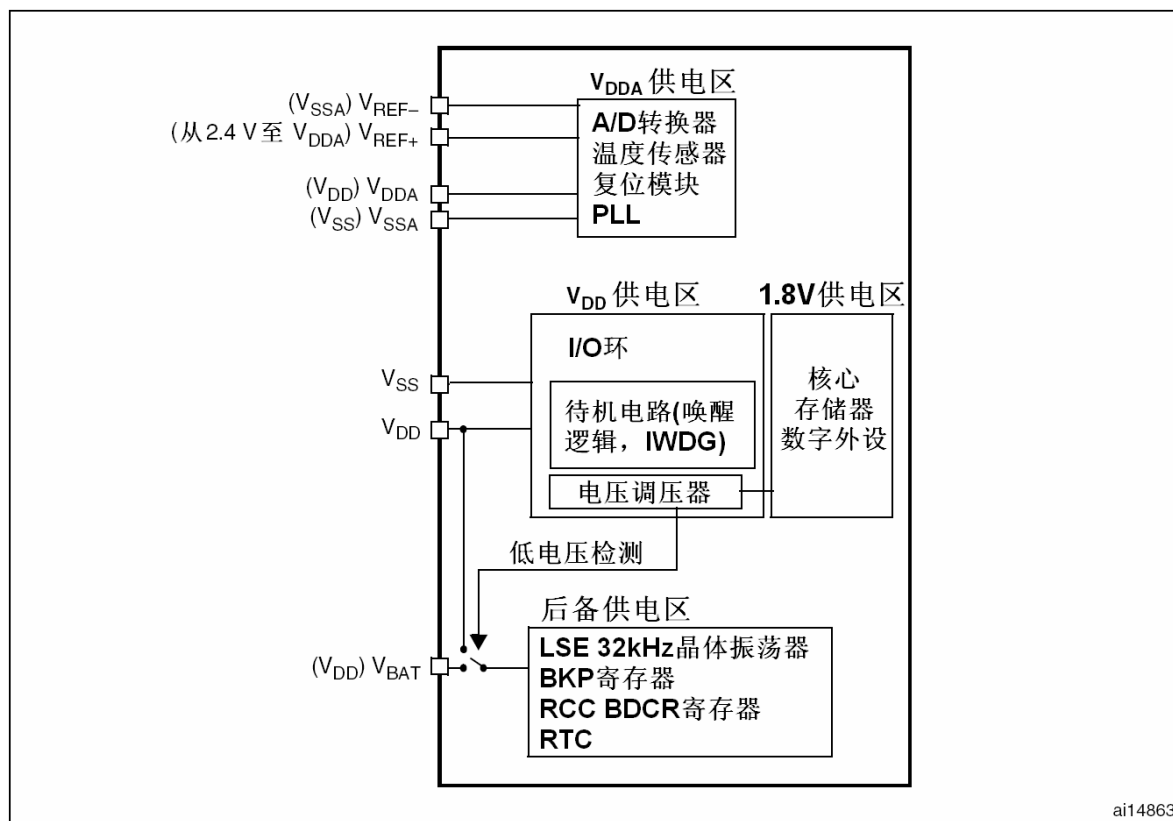
1 供电

1.1 简介

该芯片要求2.0~3.6V的操作电压(V_{DD})，并采用嵌入式的调压器提供内部1.8V的数字电源。

当主电源 V_{DD} 关闭时，实时时钟(RTC)和备用寄存器可以从 V_{BAT} 供电。

图1 电源供应一览



注意： V_{DDA} 和 V_{SSA} 必须分别连到 V_{DD} 和 V_{SS} 。

1.1.1 独立 A/D 转换器供电以及参考电压

为提高转换精度，ADC有一个独立的电源供应，它可以被单独滤波和屏蔽以不受PCB噪音的干扰。

- 一个独立的 V_{DDA} 引脚给ADC供电
- V_{SSA} 引脚提供一个隔离的接地输入

若有 V_{REF-} (取决于封装)时，它必须连到 V_{SSA} 。

100引脚和144引脚的封装

为保证低电压输入时能得到更好的精度，用户可以连接一个独立的外部参考电压到 V_{REF+} ，它的电压范围为2.4V到 V_{DDA} 。

64引脚及更小的封装

没有 V_{REF+} 和 V_{REF-} ，它们在内部分别被连接到ADC的供电电源(V_{DDA})和ADC的地(V_{SSA})。

1.1.2 备用电池

为了在 V_{DD} 关闭时仍能保持备份寄存器的内容， V_{BAT} 引脚可以有选择地连接到一个由电池或其它电源提供的备用电压。

V_{BAT} 引脚也给RTC单元供电,使得RTC在主数字电源(V_{DD})关闭时仍能正常运行。 V_{BAT} 的开关由复位模块内的掉电复位(PDR)电路控制。

如果应用中没有外部电池, V_{BAT} 必须在外部的被连接到 V_{DD} 。

1.1.3 电压调压器

复位后调压器始终开启。根据应用模式的不同,它也有三种不同的工作模式。

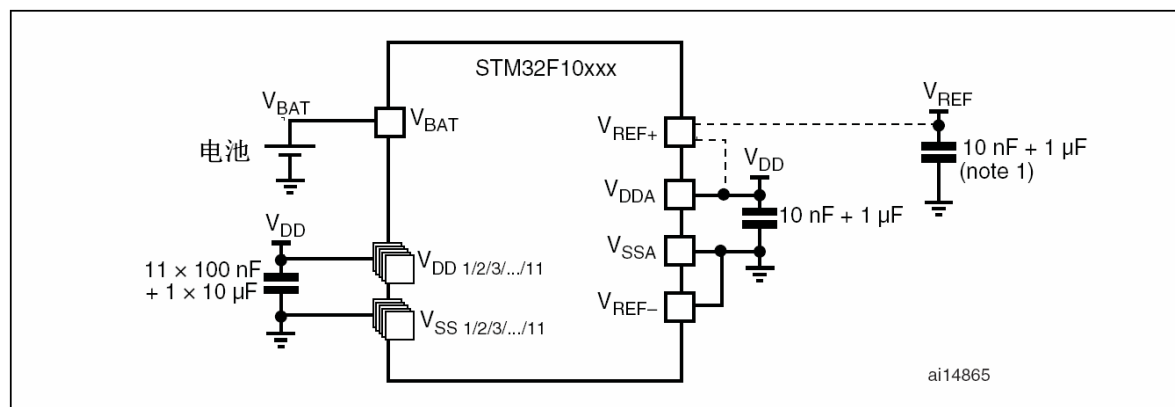
- 在运行模式下,调压器以正常功耗模式提供1.8V电源(内核、内存和数字外设)
- 在停止模式下,调压器以低功耗模式提供1.8V电源,以保存寄存器和SRAM的内容
- 在待机模式下,调压器停止供电。除了备用电路和备份域外,寄存器和SRAM的内容全部丢失

1.2 供电方案

电路由稳定的电源 V_{DD} 供电。

- 注意:
 - 如果使用ADC, V_{DD} 的范围必须在2.4V到3.6V之间
 - 如果没有使用ADC, V_{DD} 的范围为2V到3.6V
- V_{DD} 引脚必须连接到带外部稳定电容(11个100nF的陶瓷电容和一个钽电容(最小值4.7 μ F,典型值10 μ F))的 V_{DD} 电源。
- V_{BAT} 引脚必须被连接到外部电池($1.8V < V_{BAT} < 3.6V$)。如果没有外部电池,这个引脚必须和100nF的陶瓷电容一起连接到 V_{DD} 电源上
- V_{DDA} 引脚必须连接到两个外部稳定电容(10nF陶瓷电容+1 μ F钽电容)。
- V_{REF+} 引脚可以连接到 V_{DDA} 外部电源。如果在 V_{REF+} 上使用单独的外部参考电压,必须在这个引脚上连接一个10nF和一个1 μ F的电容。在所有情况下, V_{REF+} 必须在2.4V和 V_{DDA} 之间。

图2 供电方案



1. 可选。如果在 V_{REF+} 上使用单独的外部参考电压,必须连接两个电容(10nF和1 μ F)。
2. V_{REF+} 连接到 V_{DDA} 或 V_{REF+} 。

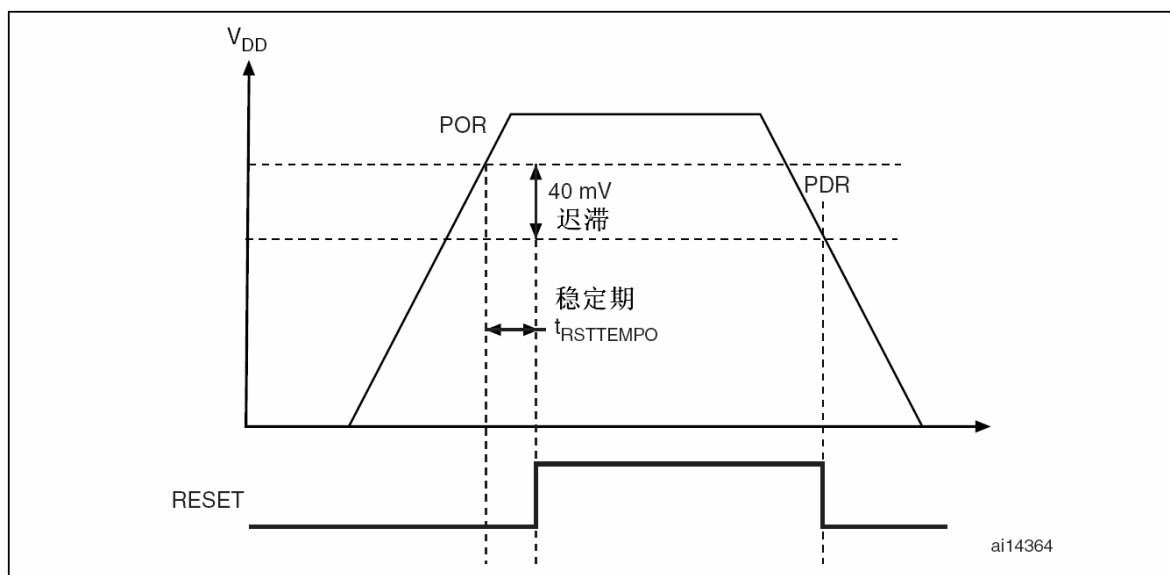
1.3 复位及电源管理

1.3.1 上电复位(POR)/掉电复位(PDR)

STM32集成了一个上电复位(POR)和掉电复位(PDR)电路,当供电电压达到2V时系统就能正常工作。

只要 V_{DD} 低于特定的阈值—— $V_{POR/PDR}$,不需要外部复位电路,STM32就一直处于复位模式。更多有关上电/掉电复位阈值的细节,请参考STM32F101xx和STM32F103xx数据手册的电气性能部分。

图3 上电复位/掉电复位波形



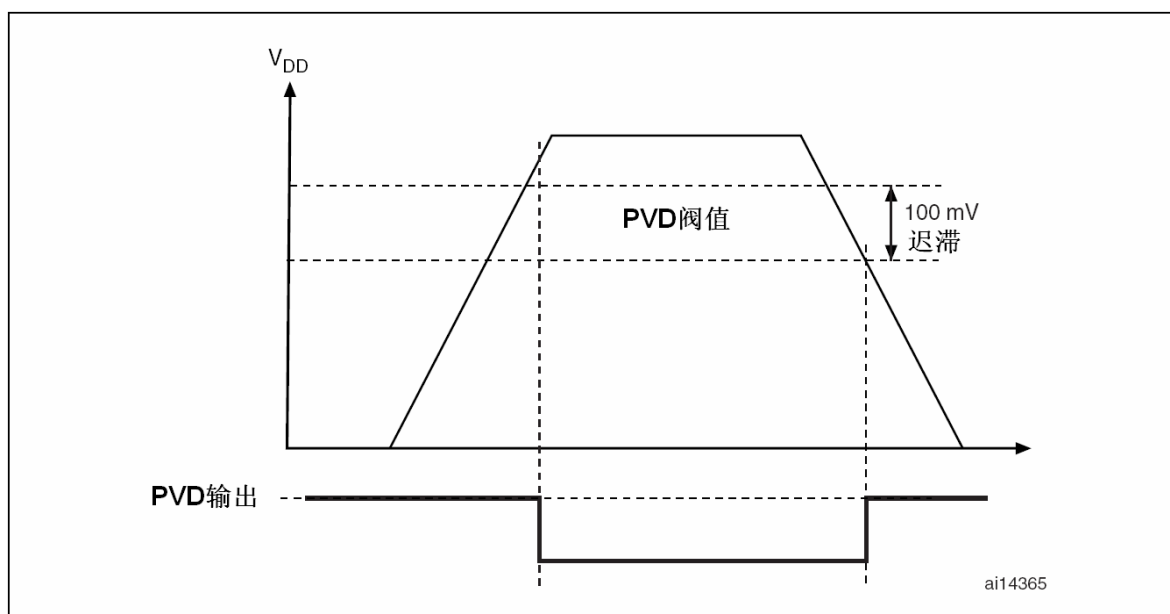
1.3.2 可编程电压监测器(PVD)

用户可以利用PVD对 V_{DD} 电压与电源控制寄存器(PWR_CR)中的PLS[2:0]位进行比较来监控电源，这几位选择监控电压的阈值。

通过设置PVDE位来使能PVD。

电源控制/状态寄存器(PWR_CSR)中的PVDO标志用来表明 V_{DD} 是高于还是低于PVD的电压阈值。该事件在内部连接到外部中断的第16线，若该中断在外部中断寄存器中被使能，该事件还将产生一个中断。当 V_{DD} 低于PVD阈值且/或当 V_{DD} 高于PVD阈值(根据外部中断第16线的上升/下降沿触发配置)时产生PVD中断。例如，这一特性在实际中可用作执行紧急关闭的任务。

图4 PVD阈值



1.3.3 系统复位

系统复位将复位除了时钟控制器CSR中的复位标志和备用域的寄存器以外的所有寄存器(图1)。

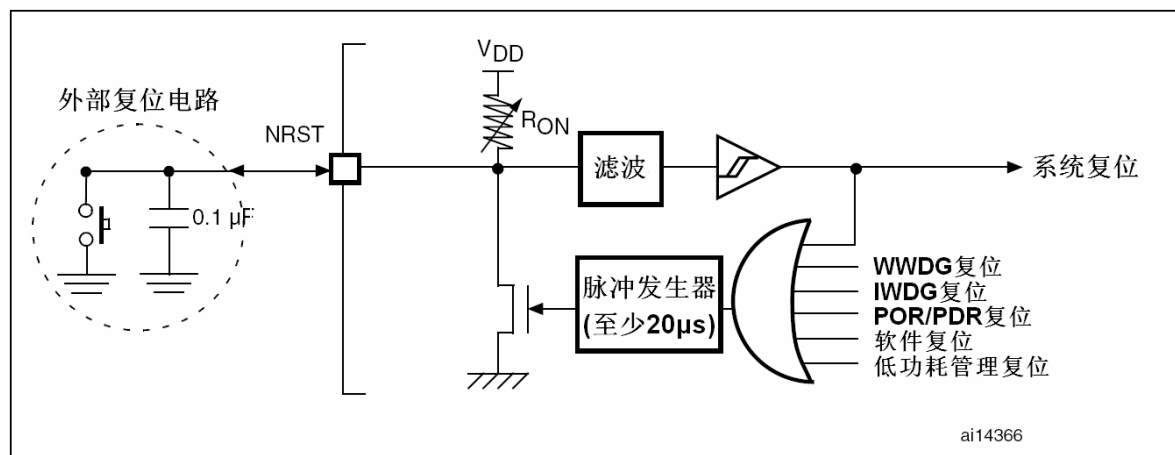
当下列事件有一个发生都将产生系统复位：

1. NRST引脚上出现低电平(外部复位)
2. 窗口看门狗计数终止(WWDG复位)

3. 独立看门狗计数终止(IWDG复位)
4. 软件复位(SW复位)
5. 低功耗管理复位

可通过查看控制/状态寄存器(RCC_CSR)中的复位标志来识别复位源。

图5 复位电路



2 时钟

三个不同的时钟源可以用来驱动系统时钟(SYSCLK):

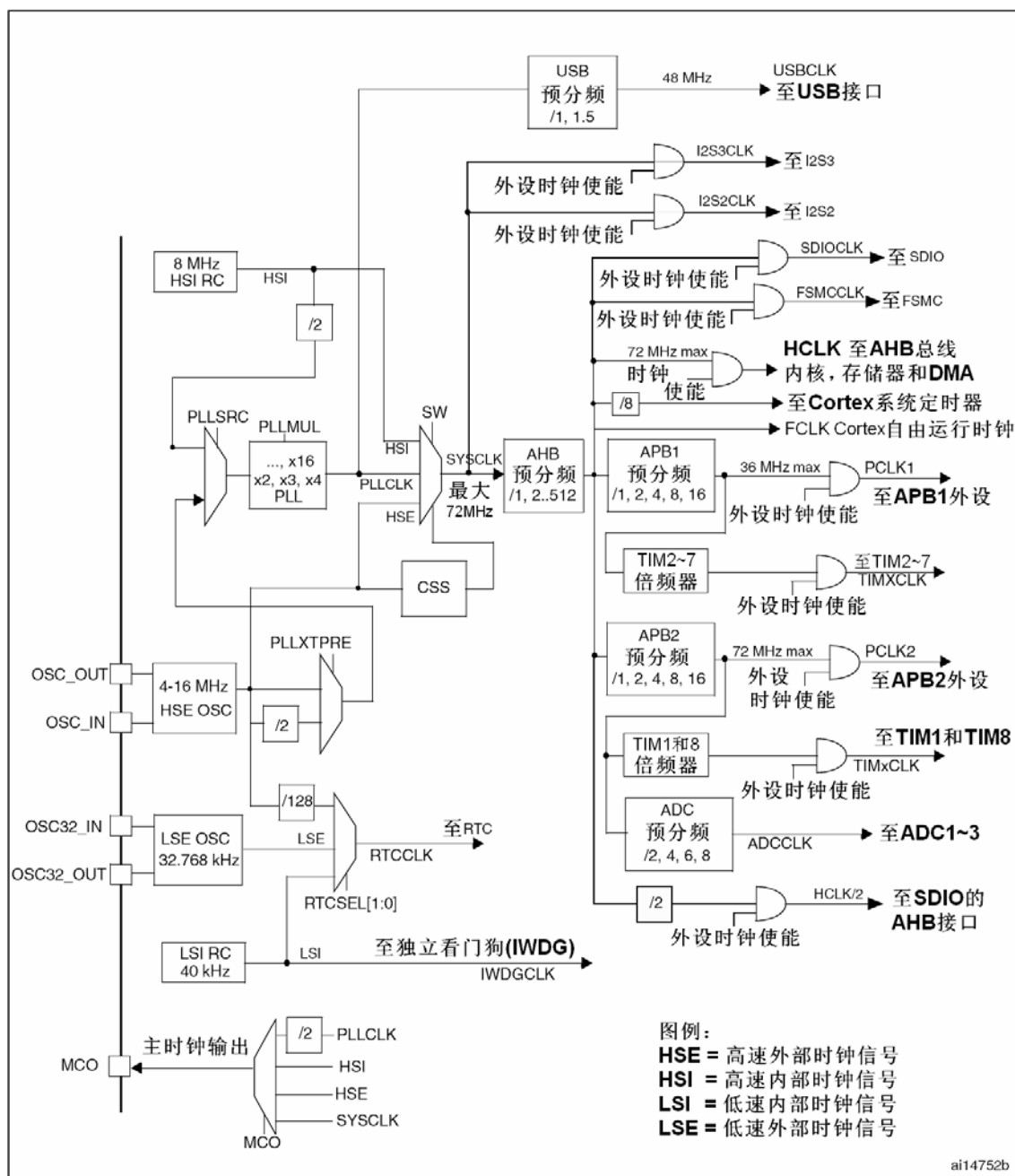
- HSI晶振时钟(高速内部时钟信号)
- HSE晶振时钟(高速外部时钟信号)
- PLL时钟

STM32有两个二级时钟源:

- 40kHz的低速内部RC，它可以驱动独立看门狗，还可选择地通过程序选择驱动RTC。RTC用于从停机/待机模式下自动唤醒系统。
- 32.768kHz的低速外部晶振，可选择它用来驱动RTC(RTCCLK)。

每个时钟源在不使用时都可以单独被打开或关闭，这样就可以优化系统功耗。

图6 时钟树



当使用HSI作为PLL时钟的输入时，所能达到的最大系统时钟为64MHz。

2.1 HSE时钟

高速外部时钟信号(HSE)由以下两种时钟源产生：

- HSE外部晶体 / 陶瓷 谐振器(见图8)
- HSE用户外部时钟(见图1)

图7 外部时钟

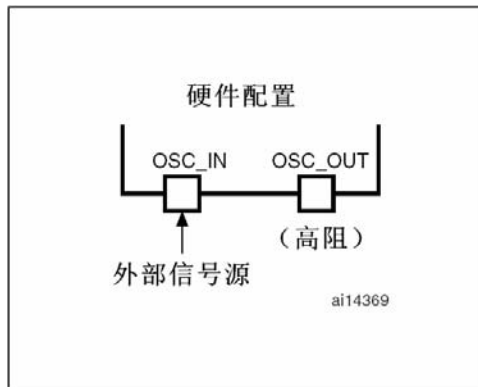
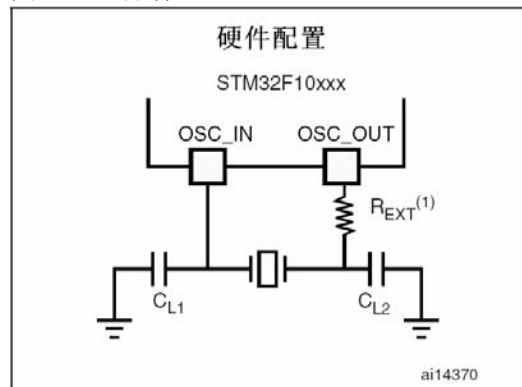


图8 晶体



1. R_{EXT} 的值由晶体特性决定。典型值的范围在5至6倍的 R_S (谐振器串行阻抗)
2. 负载电容 C_L 遵循以下公式： $C_L = C_{L1} \times C_{L2} / (C_{L1} + C_{L2}) + C_{stray}$ 。这里， C_{stray} 是引脚电容以及PCB相关的电容。典型值在2pF到7pF 之间。请参阅第5章。

2.1.1 外部时钟源(HSE旁路)

在这种模式下，必须提供一个外部时钟源。它的频率可高达25MHz。外部时钟信号(占空比为50%的方波、正弦波或三角波)必须连到OSC_IN引脚，同时保证OSC_OUT引脚悬空。(见图8和图1)

2.1.2 外部晶体 / 陶瓷谐振器(HSE晶体)

这个4~16MHz的外部晶振的优点在于能产生非常精确的主时钟。图8显示了它需要的相关硬件配置。

谐振器和负载电容需要尽可能近地靠近振荡器的引脚，以减小输出失真和启动稳定时间。负载电容值必须根据选定的晶振进行调节。

对于 C_{L1} 和 C_{L2} ，我们推荐使用高质量的典型值在5pF到25pF的陶瓷电容，这种电容是设计用于需要高频率的场合，并且可以满足晶体或谐振器的需求。 C_{L1} 和 C_{L2} 通常具有相同的值。晶体制造商通常指定一个负载电容值，该值为 C_{L1} 和 C_{L2} 的串联电容值。当选择 C_{L1} 和 C_{L2} 时，PCB和MCU引脚的电容值也必须被计算进去(10pF可作为引脚和板电容的粗略估计)。

更多细节请参考STM32F101xx和STM32F103xx数据手册的电气特性部分

2.2 LSE时钟

低速外部时钟源(LSE)可以由两个可能的时钟源来产生：

- LSE外部晶体 / 陶瓷谐振器(见图10)
- LSE用户外部时钟(见2.2.1)

2.2.1 外部源(LSE 旁路)

在这种模式下，必须提供一个外部时钟源。它的频率必须为32.768kHz。外部信号(占空比为50%的方波、正弦波或三角波)必须连到OSC32_IN引脚，同时保证OSC_OUT引脚悬空。(见图10和2.2.1)。

2.2.2 外部晶体 / 陶瓷谐振器(LSE晶体)

这个LSE晶体是一个32.768kHz的低速外部晶体或陶瓷谐振器。它的优点在于能为实时时钟部件(RTC)提供一个低速的, 但高精确的时钟源。RTC可以用于时钟/日历或其它需要计时的场合。

谐振器和加载电容需要尽可能近地靠近晶振引脚, 这样能使输出失真和启动稳定时间减到最小。负载电容值必须根据选定的晶振进行调节。

图9 外部时钟

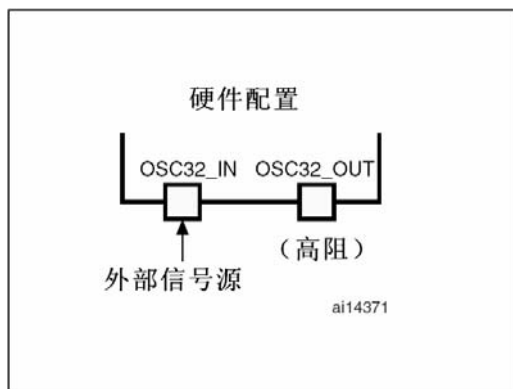
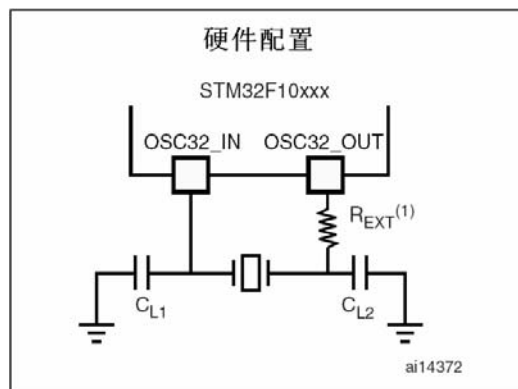


图10 晶体 / 陶瓷谐振器



1. R_{EXT} 的值由晶体特性决定。

2. OSC32_IN和OSC_OUT引脚可以用作GPIO, 但是建议不要在同一应用中同时使用该引脚的RTC和GPIO功能。

2.3 时钟输出能力

微控制器的时钟输出(MCO)功能允许在外部MCO引脚上输出时钟信号。相应的GPIO端口必须设置为复用功能模式。下面的四个信号中的任何一个都可以选作MCO时钟:

- SYCLK
- HSI
- HSE
- PLL时钟除以2

2.4 时钟安全系统(CSS)

时钟安全系统可以通过软件来激活。一旦其被激活, 时钟监测器将在HSE振荡器启动延迟后被使能, 在HSE时钟关闭后被关闭。

- 如果HSE时钟发生故障, HSE振荡器被自动关闭, 时钟失效事件被送到TIM1高级控制定时器的刹车输入端, 并将产生时钟安全中断CSSI, 从而允许MCU完成营救操作。此CSSI中断连到了Cortex™-M3的NMI(非屏蔽中断)异常向量。
- 如果HSE被直接或间接用作系统时钟(间接是指它被用作PLL输入时钟, 而PLL时钟被用作系统时钟), 时钟故障将导致系统时钟被切换到HSI振荡器, 并且禁止外部HSE晶振。时钟失效时, 如果HSE晶振时钟是用作系统时钟的PLL的时钟输入(无论是否被分频), 那么PLL也被禁止。

更多细节请参考www.st.com网站上的[STM32参考手册](#)。

3 启动配置

3.1 启动模式选择

在STM32F10xxx中，由BOOT[1:0]引脚决定了三种不同的启动模式，见表1

表1 启动模式

BOOT模式选择引脚		启动模式	说明
BOOT1	BOOT0		
X	0	主闪存存储器	主闪存存储器被选作启动区
0	1	系统存储器	系统存储器被选作启动区
1	1	内嵌SRAM	内嵌SRAM被选作启动区

这些选择将每个启动模式下的物理存储区域映射到存储块0(启动存储区)。BOOT引脚的值在复位后SYSCLK的第四个上升沿时被锁定。由用户来设置BOOT1和BOOT0引脚，选择在复位后需要的启动模式。

当退出待机模式时，也需要检测BOOT引脚的值。因此在待机模式下BOOT引脚也应保持需要的启动模式配置。

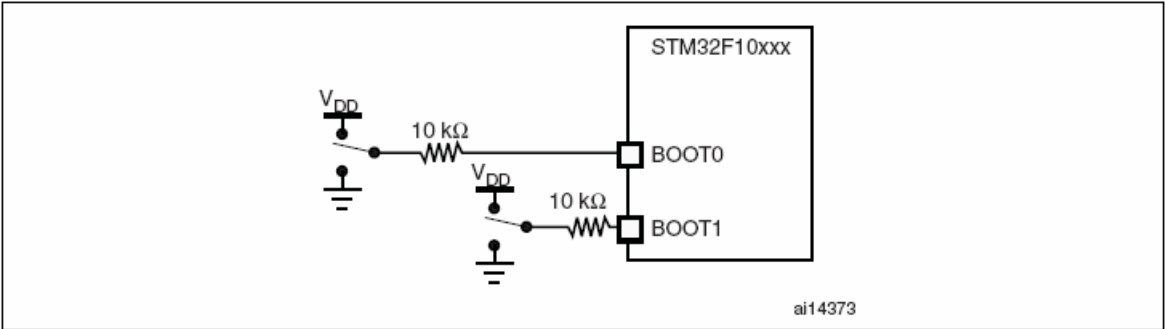
即使被重映射到启动存储空间，仍可以在相关存储区(闪存或SRAM)的原来地址访问它们。

启动延迟过后，CPU从启动存储器的0x0000_0004指示的地址开始执行代码。

3.2 启动引脚连接

图11显示了STM32F10xxx选择启动存储器时所需的外部连接

图11 启动模式实现实例



图中电阻值只作为典型值给出。

3.3 内嵌自举模式

内嵌的自举程序用于通过串行接口(通常是UART1)对闪存进行重新编程。该程序位于系统存储器内，由ST在生产线上写入。

更多细节请参考www.st.com网站上的[应用笔记AN2606](#)。

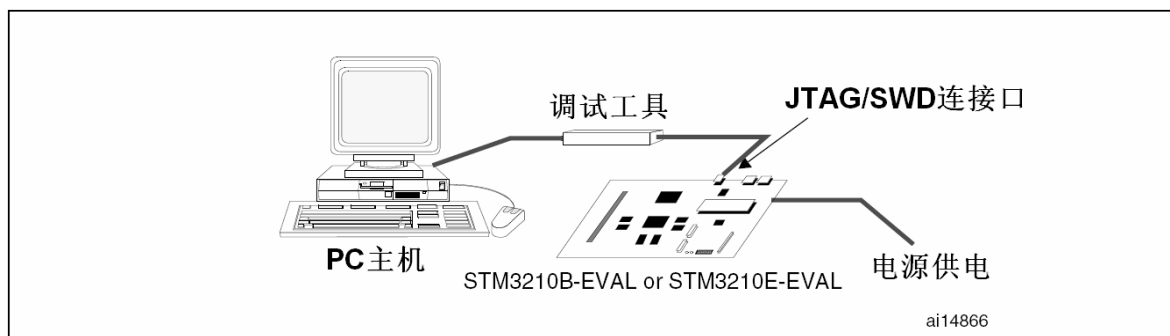
4 调试管理

4.1 简介

主机/目标接口是用于将主机连接到目标板。这个接口由三个部分组成：一个硬件调试工具，一个JTAG或SWD连接器和一根连接主机和调试工具的连线。

图12显示了主机和评估板(STM3210B-EVAL板或STM3210E-EVAL板)的连接

图12 主机与板的连接



4.2 SWJ调试端口(serial wire和JTAG)

STM32F10xxx内核集成了串行线/JTAG调试接口(SWJ – DP)。这是标准的ARM® CoreSight调试接口，包括JTAG – DP接口(5引脚)和SW – DP接口(2引脚)。

- JTAG调试接口(JTAG – DP)为AHP – AP模块提供5针标准JTAG接口。
- 串行线调试接口(SW – DP)为AHP – AP模块提供2针(时钟+数据)接口。

在SWJ – DP接口中，SW – DP的2个引脚与JTAG 接口的5个引脚中的一些是复用的。

4.3 引脚分布和调试端口脚

STM32F10xxx 微控制器的不同封装有不同的引脚数目。因此，某些与引脚相关的功能可能随封装而不同。

4.3.1 SWJ调试端口引脚

作为通用I/O口的复用功能，STM32F10xxx的5个管脚可用作SWJ-DP接口引脚。如表2所示，这些引脚在所有的封装里都存在。

表2 调试端口引脚分配

SWJ-DP端口名称	JTAG调试端口		SWD调试端口		管脚分配
	类型	说明	类型	说明	
JTMS/SWDIO	输入	JTAG模式选择	入/出	串行数据输入/输出	PA13
JTCK/SWCLK	输入	JTAG时钟	输入	串行时钟	PA14
JTDI	输入	JTAG数据输入	-	——	PA15
JTDO/TRACESWO	输出	JTAG数据输出	-	跟踪时为TRACESWO信号	PB3
JNTRST	输入	JTAG模块复位	-	——	PB4

4.3.2 灵活的SWJ-DP引脚分配

复位(SYSRESETn或PORESETn)后，属于SWJ – DP的5个引脚都被初始化为可被调试器使用的专用引脚(注意，跟踪输出脚并没有被初始化，除非调试器对其进行了定义)。

然而，STM32F10xxx 微控制器可通过一个寄存器来禁止SWJ – DP接口的部分或所有引脚的功能，这样就能释放这些专用引脚用于普通I/O。这个寄存器被映射到和Cortex™–M3系统总线相连接的APB桥上。这个寄存器由用户进行设置而不是由调试器完成。

表3 SWJ I/O引脚可用性

调试端口	SWJ I/O引脚分配				
	PA13/ JTMS/ SWDIO	PA14/ JTCK/ SWCLK	PA15/ JTDI	PB3/ JTDO	PB4/ JNTRST
所有的SWJ引脚SWJ (JTAG-DP + SW-DP) – 复位状态	专用	专用	专用	专用	专用
所有的SWJ引脚SWJ (JTAG-DP + SW-DP) – 除了JNTRST引脚	专用	专用	专用	专用	
禁止JTAG-DP接口，允许SW-DP接口	专用	专用	可作为普通I/O端口		
禁止JTAG-DP接口和SW-DP接口					

表3显示了不同情况下，释放的专用引脚。

更多细节请参考www.st.com网站上的[STM32F10xxx参考手册](#)。

4.3.3 JTAG引脚的内部上拉和下拉电阻

由于JTAG的输入引脚直接连接到内部触发器来控制调试模式功能，所以JTAG的输入引脚一定不能是悬空。必须特别注意SWCLK/TCK引脚，因为它们直接连接到一些触发器的时钟端。

为了避免出现任何不受控制的I/O电平，STM32F10xxx在JTAG输入引脚内部嵌入了上拉和下拉电阻：

- JNTRST：内部上拉
- JTDI：内部上拉
- JTMS/SWDIO：内部上拉
- TCK/SWCLK：内部下拉

一旦JTAG的I/O被用户代码释放，GPIO控制器就再次取得了控制权。复位时这些I/O口的状态被设置到相应的状态：

- JNTRST：带上拉的输入
- JTDI：带上拉的输入
- JTMS/SWDIO：带上拉的输入
- JTCK/SWCLK：带下拉的输入
- JTDO：浮空输入

软件可以把这些I/O引脚用作普通的I/O。

注意：JTAG的IEEE标准推荐对TDI，TMS和nTRST上拉，但是对TCK没有特别建议。然而，在STM32F10xxx中JTCK引脚有下拉电阻。

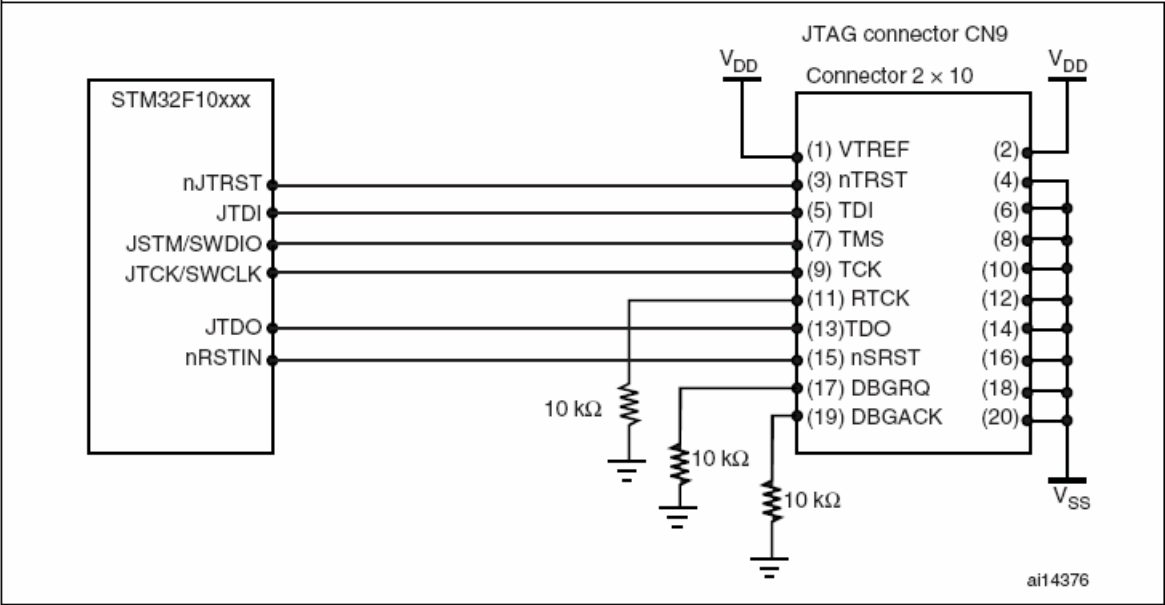
有了嵌入的上拉和下拉电阻，就不需要加外部电阻了



4.3.4 与标准JTAG连接器相连的SWJ调试端口

图13显示了STM32F10xxx和一个标准JTAG连接器的连接。

图13 JTAG连接器的实现



5 建议

5.1 印制电路板

出于技术的考虑，最好使用有专门独立的接地层(V_{SS})和专门独立的供电层(V_{DD})的多层印制电路板，这样能提供好的耦合性能和屏蔽效果。很多应用中，受经济条件限制不能使用这样的印制电路板，那么就需要保证一个好的接地和供电的结构。

5.2 器件位置

为了减少PCB上的交叉耦合，设计版图时就需要根据各自对EMI影响的不同，而把不同的电路分开。比如，大电流电路、低电压电路以及数字器件等。

5.3 接地和供电(V_{SS} , V_{DD})

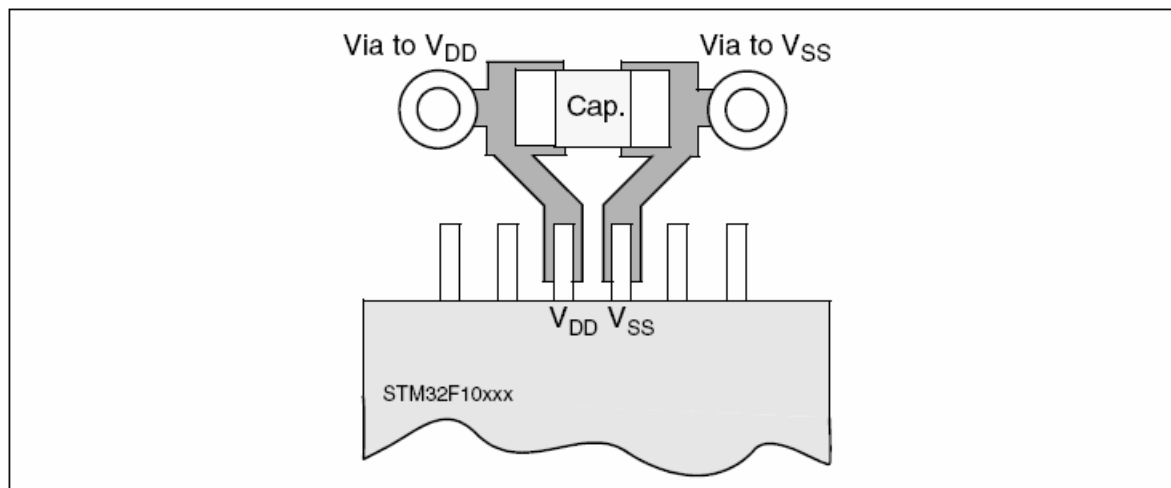
每个模块(噪声电路、敏感度低的电路、数字电路)都应该单独接地，所有的地最终都应都在一个点上连到一起。尽量避免或者减小回路的区域。为了减少供电回路的区域，电源应该尽量靠近地线，这是因为，供电回路就像个天线，成为EMI的发射器和接收器。PCB上没有器件的区域，需要填充为地，以提供好的屏蔽效果(特别是对单层PCB，尤其如此)。

5.4 去耦合

所有的引脚都需要适当地连接到电源。这些连接，包括焊盘、连线和过孔应该具备尽量小的阻抗。通常采用增加连线宽度的办法，包括在多层PCB中使用单独的供电层。

同时，STM3210xxx上每个电源引脚应该并联去耦合的滤波陶瓷电容C(100nF)和化学电容C(10 μ F)。这些电容应该尽可能的靠近电源/地引脚；或者在PCB另一层，处于电源/地引脚之下。典型值一般从10nF到100nF，具体的容值取决于实际应用的需要。图14显示了这样的电源/地引脚的典型布局。

图14 V_{DD}/V_{SS} 引脚的典型布局



5.5 其它信号

实际应用中，关注以下几点可以提高EMC性能：

- 那些受暂时的干扰会影响运行结果的信号(比如中断或者握手抖动信号，而不是LED命令之类的信号)。
对于这些信号，信号线周围铺地，缩短走线距离，消除邻近的噪声和敏感的连线都可以提高EMC性能。
对于数字信号，为有效地区别2种逻辑状态，必须能够达到最佳可能的信号特性余量(译注：

尽可能抬高逻辑'1'的高电平，拉低逻辑'0'的低电平)。推荐使用慢速施密特触发器来消除寄生状态。

- 噪声信号(时钟等)。
- 敏感信号(高阻等)。

5.6 未用到的I/O及其特性

所有微控制器都为各种应用而设计，而通常的应用都不会用到所有的微控制器资源。

为了提高EMC性能，不用的时钟、计数器或者I/O管脚，需要做相应处理，比如，I/O端口应该被设置为'0'或'1'(对不用到的I/O引脚上拉或者下拉)；没有用到的模块应该禁止或者“冻结”。

6 参考设计

6.1 描述

图15显示的参考设计是基于STM32F103ZE(T6)的，是一个工作在72MHz的高度集成的微控制器，它集成了Cortex™-M3的32位RISC CPU内核、512K字节的嵌入式闪存及高达64K字节的高速SRAM。

根据表6中给出的引脚对应关系，该参考设计可以裁减到不同封装的任意一款STM32芯片。

6.1.1 时钟

两个时钟源被用于这个微控制器：

- LSE: X1 – 用于嵌入式RTC的32.768kHz晶振
- HSE: X2 – 用于STM32F10xxx微控制器的8MHz晶振

参考第2章：时钟。

6.1.2 复位

图15的复位信号是低有效，复位源包括：

- 复位按钮(B1)
- 连在连接器CN1的调试工具

参考第1.3节：复位及电源管理。

6.1.3 启动模式

启动选项由开关SW2(Boot0)和SW1(Boot1)来配置。参考第3章：启动配置。

注意： 低功耗模式下(尤其是待机模式)，启动引脚一定要能够和工具连接(需要从SRAM启动)。

6.1.4 SWJ接口

参考设计显示了STM32F10xxx和一个标准JTAG连接器的连接。参考第4章：调试管理。

注意： 推荐连接复位引脚，这样就可以使用调试工具来复位应用程序了。

6.1.5 供电

参考第1章供电。

6.2 参考器件

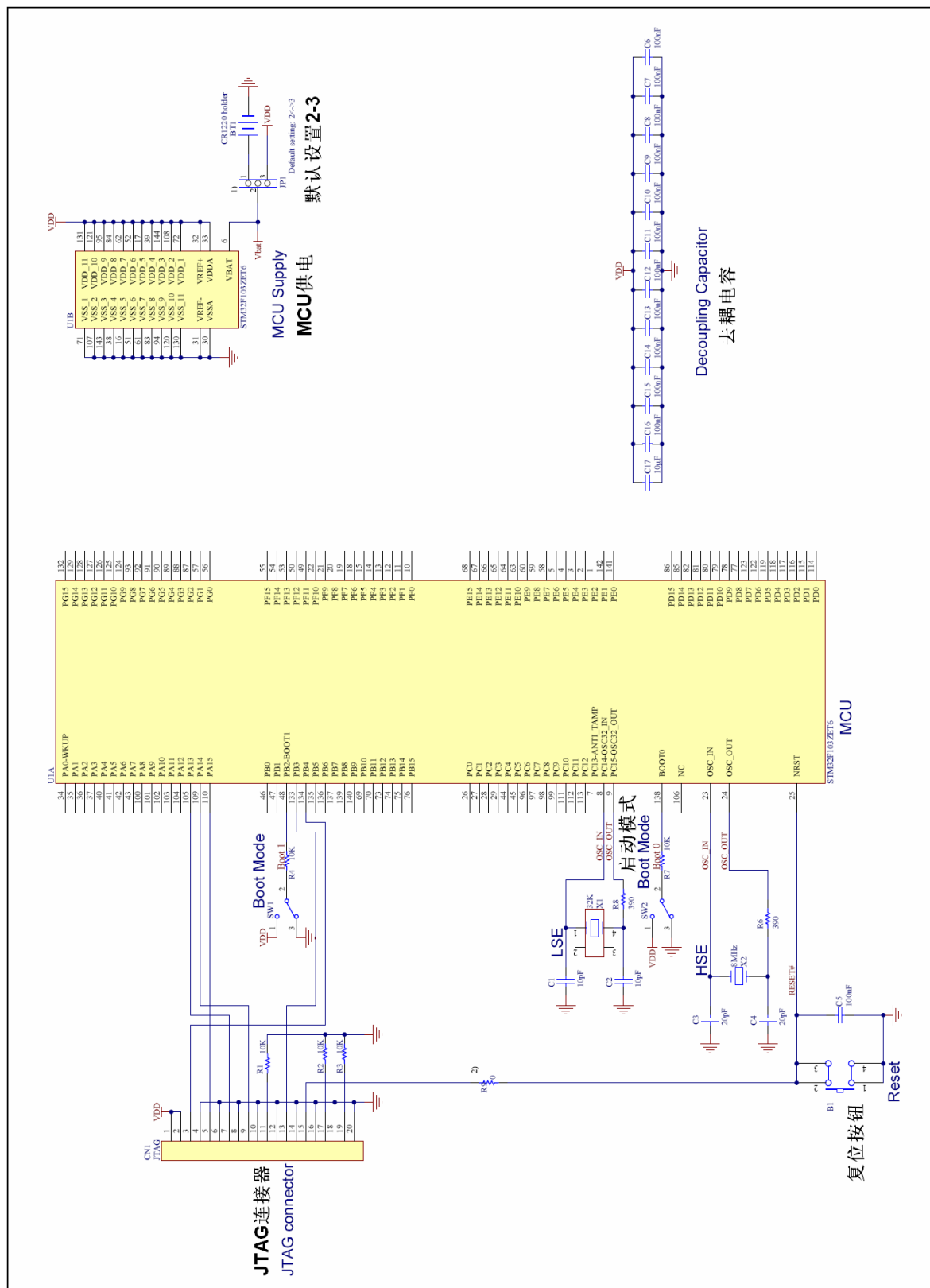
表4 必需器件

序号	器件名称	参考	数量	说明
1	微控制器	STM32F103ZE(T6)	1	144引脚封装
2	电容	100nF	11	陶瓷电容(去藕电容)
3	电容	10μF	1	陶瓷电容(去藕电容)

表5 可选器件

序号	器件名称	参考	数量	说明
1	电阻	10 KΩ	5	JTAG和启动模式的上拉和下拉电阻
2	电阻	390Ω	1	供HSE使用：电阻值取决于晶振特性 该电阻值只是一个典型例子
3	电阻	0Ω	1	供LSE使用：电阻值取决于晶振特性 该电阻值只是一个典型例子
4	电容	100nF	1	陶瓷电容
5	电容	10pF	2	供LSE使用：电容值取决于晶振特性
6	电容	20pF	2	供HSE使用：电容值取决于晶振特性
7	晶振	8MHz	1	供HSE使用
8	晶振	32kHz	1	供LSE使用
9	JTAG连接器	HE10	1	
10	电池	3V3	1	如果应用中没有电池，V _{BAT} 必须连到V _{DD}
11	开关	3V3	2	用于选择启动模式
12	按钮	B1	1	

图15 STM32F10xxx微控制器参考方案



1. 如果应用中没有外部电池，V_{BAT}必须连接到V_{DD}
2. 为了能从工具复位芯片，该电阻需要保留

表6 所有封装的参考连接

管脚名称	LQFP封装的管脚编号				BGA封装的管脚编号		VFQFPN封装的管脚编号
	144脚	100脚	64脚	48脚	144脚	100脚	36脚
OSC_IN	23	12	5	5	D1	C1	2
OSC_OUT	24	13	6	6	E1	D1	3
PC15 OSC32_OUT	9	9	4	4	C1	B1	-
PC14 OSC32_IN	8	8	3	3	B1	A1	-
BOOT0	138	94	60	44	D5	D5	35
PB2/BOOT1	48	37	28	20	J5	G5	17
NRST	25	14	7	7	F1	E1	4
PA13	105	72	46	34	A12	A10	25
PA14	109	76	48	37	A11	A9	28
PA15	110	77	50	38	A10	A8	29
PB4	134	90	56	40	A6	A6	31
PB3	133	89	55	39	A7	A7	30
V _{SS_1}	71	49	31	23	H7	E7	18
V _{SS_2}	107	74	47	35	G9	E6	26
V _{SS_3}	143	99	63	47	E5	E5	36
V _{SS_4}	38	27	18	-	G4	E4	-
V _{SS_5}	16	10	-	-	D2	C2	-
V _{SS_6}	51	-	-	-	H5	-	-
V _{SS_7}	61	-	-	-	H6	-	-
V _{SS_8}	83	-	-	-	G8	-	-
V _{SS_9}	94	-	-	-	G10	-	-
V _{SS_10}	120	-	-	-	E7	-	-
V _{SS_11}	130	-	-	-	E6	-	-
V _{DD_1}	72	50	32	24	G7	F7	19
V _{DD_2}	108	75	48	36	F9		27
V _{DD_3}	144	100	64	48	F5	F5	1
V _{DD_4}	39	28	19	-	F4	F4	-
V _{DD_5}	17	11	-	-	D3	D2	-
V _{DD_6}	52	-	-	-	G5	-	-
V _{DD_7}	62	-	-	-	G6	-	-
V _{DD_8}	84	-	-	-	F8	-	-
V _{DD_9}	95	-	-	-	F10	-	-
V _{DD_10}	121	-	-	-	F7	-	-
V _{DD_11}	131	-	-	-	F6	-	-
V _{REF+}	32	21	-	-	L1	J1	-
V _{REF-}	31	20	-	-	K1	H1	-
V _{SSA}	30	19	12	8	J1	G1	-
V _{DDA}	33	22	13	9	M1	K1	-
V _{BAT}	6	6	1	1	C2	B2	-

重要通知 – 请仔细阅读

意法半导体公司及其子公司（“ST”）保留随时对ST 产品和/ 或本文档进行变更、更正、增强、修改和改进的权利，恕不另行通知。买方在订货之前应获取关于ST 产品的最新信息。ST 产品的销售依照订单确认时的相关ST 销售条款。

买方自行负责对ST 产品的选择和使用， ST 概不承担与应用协助或买方产品设计相关的任何责任。

ST 不对任何知识产权进行任何明示或默示的授权或许可。

转售的ST 产品如有不同于此处提供的信息的规定，将导致ST 针对该产品授予的任何保证失效。

ST 和ST 徽标是ST 的商标。所有其他产品或服务名称均为其各自所有者的财产。

本文档中的信息取代本文档所有早期版本中提供的信息。

© 2015 STMicroelectronics – 保留所有权利

