



دانشکده مهندسی کامپیوتر

بسمه تعالی
آزمایشگاه معماری کامپیوتر
نیمسال اول ۱۴۰۳-۱۴۰۴
آزمایش شماره ۳



دانشگاه صنعتی امیرکبیر

❖ تمرین‌های زیر را با نوشتن کد VHDL و Testbench مربوط به آن، پیاده‌سازی و تست نمایید (با استفاده از ModelSim یا ISE).

❖ توجه: گزارش ارسالی باید شامل یک فایل zip شامل موارد زیر باشد:

- (۱) یک گزارش کار به صورت فایل pdf شامل توضیح کامل هر سوال و روند انجام کار، به همراه تصویر مناسب از خروجی شبیه‌سازی انجام شده پس از نوشتن فایل تست بنچ.
- (۲) فایل کد VHDL و Testbench مربوط به آن، به ازای هر سوال.
- (۳) نام فایل آپلود شده باید به صورت HW#_LastName_StudentID.zip باشد. (همه اعضای یک گروه باید به صورت جداگانه فایل را آپلود کنند)

❖ به زمان تمارین دقت کنید و آن را در موعد مقرر انجام داده و گزارش را بارگزاری کنید. تا یک روز پس از ددلاین تعیین شده فرصت برای بارگزاری وجود دارد ولی دقت کنید که به ازای هر ساعت تاخیر، ۱۰ درصد نمره کسر می‌شود.

با آرزوی موفقیت

راه ارتباطی: parniansagheb@aut.ac.ir



دانشکده مهندسی کامپیوتر

بسمه تعالی
آزمایشگاه معماری کامپیوتر
نیمسال اول ۱۴۰۳-۱۴۰۴
آزمایش شماره ۳



دانشگاه صنعتی امیرکبیر

قسمت اول:

- یک فلیپ فلاپ از نوع D(DFF) با سیگنال Reset ناهمگام (asynchronous) در منطق منفی (active low) طراحی کنید.
- یک فلیپ فلاپ از نوع T(TFF) با سیگنال Reset ناهمگام طراحی کنید.
- یک Ripple Counter، ۴ بیتی که نمونه‌ای از شمارنده‌های ناهمگام می‌باشد را با استفاده از TFF ساخته شده در قسمت قبل طراحی کنید.

قسمت دوم:

- مدار یک Sequence detector برای رشته "۱۱۰۱" را ابتدا به صورت Mealy و سپس Moore طراحی کنید.
- مداری طراحی کنید که رخداد هر یک از دو رشته "۰۱۱۰" و "۰۱۰۱" را در ورودی تشخیص دهد.