



دانشکده مهندسی کامپیوتر

بسمه تعالی
آزمایشگاه معماری کامپیوتر
نیمسال اول ۱۴۰۳-۱۴۰۴
آزمایش شماره ۶ و ۸



دانشگاه صنعتی امیرکبیر

❖ تمرین‌های زیر را با نوشتن کد VHDL و Testbench مربوط به آن، پیاده‌سازی و تست نمایید (با استفاده از ModelSim یا ISE).

❖ توجه: گزارش ارسالی باید شامل یک فایل zip شامل موارد زیر باشد:

- ۱) یک گزارش کار به صورت فایل pdf شامل توضیح کامل هر سوال و روند انجام کار، به همراه تصویر مناسب از خروجی شبیه‌سازی انجام شده پس از نوشتن فایل تست بنچ.
- ۲) فایل کد VHDL و Testbench مربوط به آن، به ازای هر سوال.
- ۳) نام فایل آپلود شده باید به صورت HW#_LastName_StudentID.zip باشد. (همه اعضای یک گروه باید به صورت جداگانه فایل را آپلود کنند)

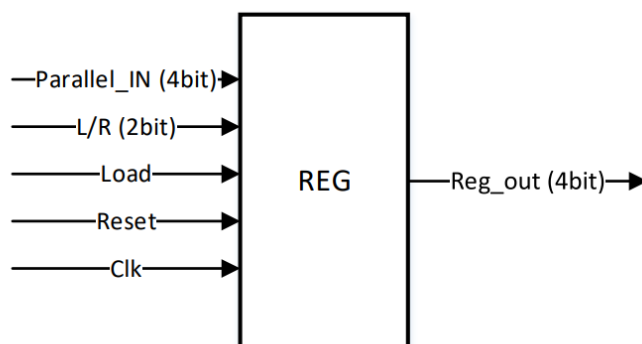
❖ به زمان تمارین دقت کنید و آن را در موعد مقرر انجام داده و گزارش را بارگزاری کنید. تا یک روز پس از ددلاین تعیین شده فرصت برای بارگزاری وجود دارد ولی دقت کنید که به ازای هر ساعت تاخیر، ۱۰ درصد نمره کسر می‌شود.

با آرزوی موفقیت

راه ارتباطی: parniansagheb@aut.ac.ir

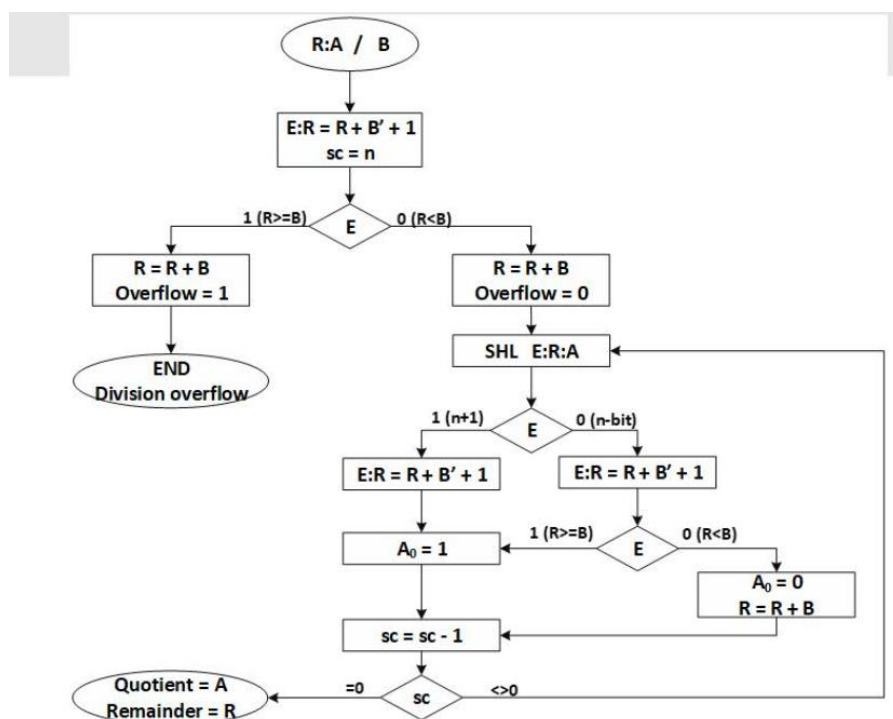


(۱) یک ثبات چهار بیتی با قابلیت‌های انتقال منطقی (چپ/راست) و انتقال ریاضی (چپ/راست) طراحی نمایید. ساختار بلوک ثبات در شکل ۱ نشان داده شده است. (ثبات حساس به لبه بالارونده کلاک است).



شکل ۱- ساختار ورودی/خروجی‌های بلوک ثبات

(۲) بر اساس فلوچارت داده شده برای الگوریتم تقسیم، یک تقسیم‌کننده دودویی برای تقسیم یک مقسوم ۸ بیتی بر مقسوم‌علیه ۴ بیتی طراحی کنید.



شکل ۲- فلوچارت الگوریتم تقسیم