



دانشکده مهندسی کامپیوتر

بسمه تعالی  
آزمایشگاه معماری کامپیوتر  
نیمسال اول ۱۴۰۳-۱۴۰۴  
آزمایش شماره ۷



دانشگاه صنعتی امیرکبیر

❖ تمرین‌های زیر را با نوشتن کد VHDL و Testbench مربوط به آن، پیاده‌سازی و تست نمایید (با استفاده از ModelSim یا ISE).

❖ توجه: گزارش ارسالی باید شامل یک فایل zip شامل موارد زیر باشد:

- (۱) یک گزارش کار به صورت فایل pdf شامل توضیح کامل هر سوال و روند انجام کار، به همراه تصویر مناسب از خروجی شبیه‌سازی انجام شده پس از نوشتن فایل تست بنچ.
- (۲) فایل کد VHDL و Testbench مربوط به آن، به ازای هر سوال.
- (۳) نام فایل آپلود شده باید به صورت HW#\_LastName\_StudentID.zip باشد. (همه اعضای یک گروه باید به صورت جداگانه فایل را آپلود کنند)

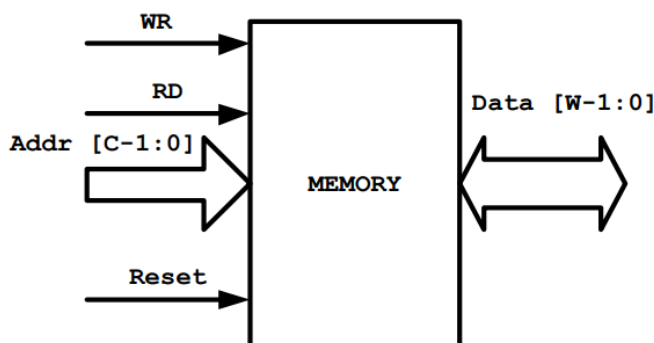
❖ به زمان تمارین دقت کنید و آن را در موعد مقرر انجام داده و گزارش را بارگزاری کنید. تا یک روز پس از ددلاین تعیین شده فرصت برای بارگزاری وجود دارد ولی دقت کنید که به ازای هر ساعت تاخیر، ۱۰ درصد نمره کسر می‌شود.

با آرزوی موفقیت

راه ارتباطی: [parniansagheb@aut.ac.ir](mailto:parniansagheb@aut.ac.ir)



(۱) یک حافظه RAM مطابق با شکل زیر طراحی کنید به طوری که عرض حافظه برابر ۸ و عرض درگاه آدرس برابر ۴ باشد. (سیگنال Reset در منطق منفی و ناهمگام عمل کرده و سیگنال‌های WR و RD، حساس به لبه بالارونده کلاک هستند.)



(۲) با تغییر در طراحی انجام شده در بخش ۱، این حافظه را به حافظه ROM تبدیل کنید.

(۳) با تغییر در طراحی انجام شده در بخش ۱، این حافظه را به حافظه دو درگاه (Dual port RAM) تبدیل کنید که در آن دو درگاه برای خواندن/نوشتن بطور کاملاً مستقل وجود داشته باشد.

(۴) با مشخصات داده شده در بخش ۱، حافظه آدرس‌پذیر محتوا (CAM) طراحی و پیاده‌سازی کنید.