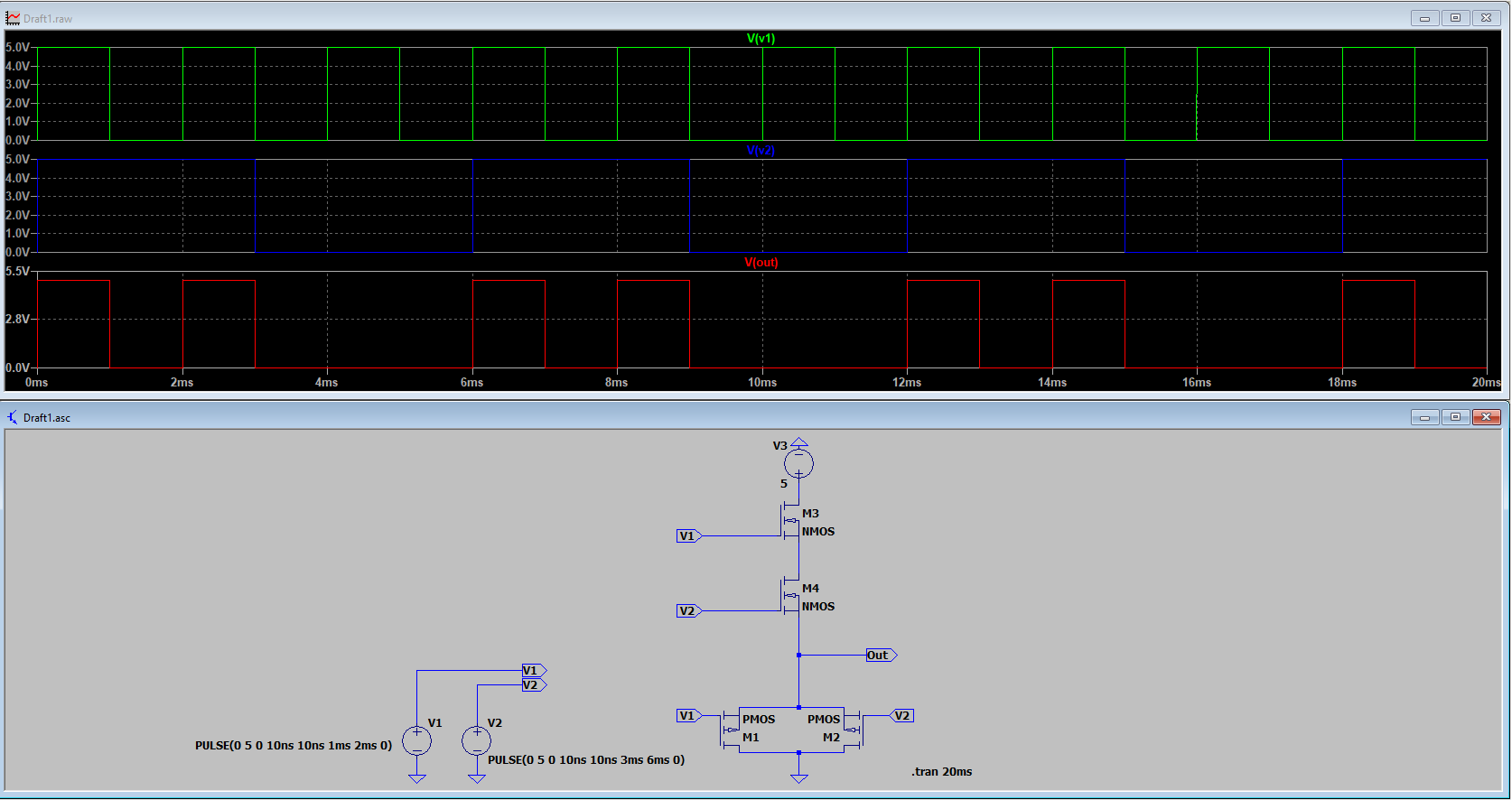
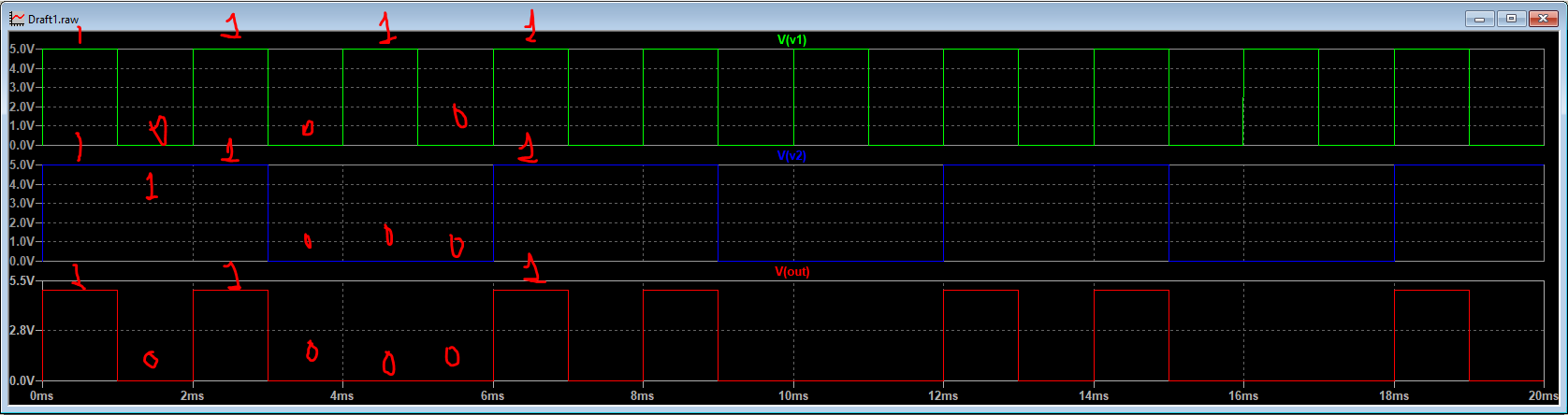
TP 3:

Si la tension de la grille (VGS) est supérieure à la tension de seuil (Vth), le MOSFET sera dans un état "ouvert" ou "conduction". Cela signifie que le canal entre la source et le drain sera établi et que le MOSFET permettra le courant de circuler entre ces deux bornes.

Plus précisément, lorsque VGS > Vth, une quantité suffisante de porteurs de charge sera attirée vers la surface du canal, permettant ainsi la formation d'un canal conducteur continu entre la source et le drain. En revanche, si VGS < Vth, le MOSFET sera dans un état "fermé" ou "bloqué", ce qui signifie que le canal entre la source et le drain sera bloqué et que le MOSFET ne permettra pas au courant de circuler entre ces deux bornes.



D'après la table de vérité, on constate que lorsque les deux entrées sont égales à 1, la sortie est également égale à 1. Dans tous les autres cas, la sortie est égale à 0. Par conséquent, ce circuit correspond à la porte logique AND.



Une image contenant table

Description générée automatiquement

Sur notre schéma:

Une image contenant texte

Description générée automatiquement

Une image contenant graphique

Description générée automatiquement

Cas 1 : si VG = 5V

* Pour Nmos
* VGS= VG – VS= 5V – 0V = 5V > VGS(th) = 1.1 => MOSFET sera dans un état "ouvert" ou "conduction".

Dans ce cas, le MOSFET permettra le courant de circuler entre la source et le drain => Vout = VDS = VD- VS = 0 – 0 =0V.

* Pour le Pmost
* VGS= VG – VS= 5V – 5V = 0V > VGS(th) = -0.5V => MOSFET sera dans un état "fermé" ou " bloqué".

Dans ce cas, le MOSFET ne permettra pas au courant de circuler entre la source et le drain => Vout = VDS = VD- VS = 0 – 0 =0V.

Cas 2 : si VG = 0V