

华中科技大学

数字逻辑实验报告（1）

数字逻辑实验 1		
一、系列二进制加法器 设计 50%	二、小型实验室门禁 系统设计 50%	总成绩

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

姓 名：_____

学 号：_____

班 级：_____

指 导 教 师：_____

计算机科学与技术学院

20 年 月 日

华中科技大学

数字逻辑实验报告

系列二进制加法器设计预习报告

《数字电路与逻辑设计》实验报告

一、系列二进制加法器设计

1、实验名称

系列二进制加法器设计。

2、实验目的

要求同学采用传统电路的设计方法，对 5 种二进制加法器进行设计，并利用工具软件，例如，“logisim” 软件的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证 3 个训练过程使同学们掌握传统逻辑电路的设计、仿真、调试的方法。

3、实验所用设备

Logisim2.7.1 软件一套。

4、实验内容

对已设计的 5 种二进制加法器，使用 logisim 软件对它们进行虚拟实验仿真，除逻辑门、触发器外，不能直接使用 logisim 软件提供的逻辑库元件，具体内容如下。

（1）一位二进制半加器

设计一个一位二进制半加器，电路有两个输入 A、B，两个输出 S 和 C。输入 A、B 分别为被加数、加数，输出 S、C 为本位和、向高位进位。

（2）一位二进制全加器

设计一个一位二进制全加器，电路有三个输入 A、B 和 C_i ，两个输出 S 和

《数字电路与逻辑设计》实验报告

C_0 。

(3) 串行进位的四位二进制并行加法器

用四个一位二进制全加器串联设计一个串行进位的四位二进制并行加法器，电路有九个输入 A_3 、 A_2 、 A_1 、 A_0 、 B_3 、 B_2 、 B_1 、 B_0 和 C_0 ，五个输出 S_3 、 S_2 、 S_1 、 S_0 和 C_4 。输入 $A = A_3A_2A_1A_0$ 、 $B = B_3B_2B_1B_0$ 和 C_0 分别为被加数、加数和来自低位的进位，输出 $S = S_3S_2S_1S_0$ 和 C_4 为本位和和向高位的进位。

(4) 先行进位的四位二进制并行加法器

利用超前进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入 A_3 、 A_2 、 A_1 、 A_0 、 B_3 、 B_2 、 B_1 、 B_0 和 C_0 ，五个输出 S_3 、 S_2 、 S_1 、 S_0 和 C_4 。输入 $A = A_3A_2A_1A_0$ 、 $B = B_3B_2B_1B_0$ 和 C_0 分别为被加数、加数和来自低位的进位，输出 $S = S_3S_2S_1S_0$ 和 C_4 为本位和和向高位的进位。

(5) 将先行进位的四位二进制并行加法器封装成一个组件并验证它的正确性

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”库元件并验证它的正确性，以便后续实验使用，封装后的逻辑符号参见图 1-1 所示。

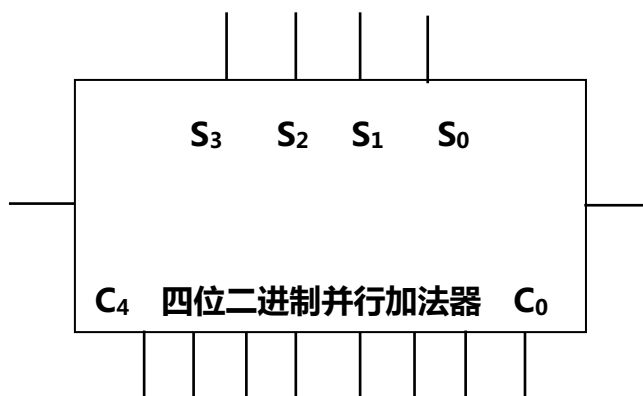


图 1-1 “私有”的先行进位的四位二进制并行加法器

《数字电路与逻辑设计》实验报告

5、实验方案设计

(1) 一位二进制半加器的设计方案

1. 利用真值表法，写出最简与或逻辑表达式

输入变量		输出变量	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S = \overline{A}B + A\overline{B} = A \oplus B \quad C = A \cap B$$

2. 图 1-2 为实验电路图

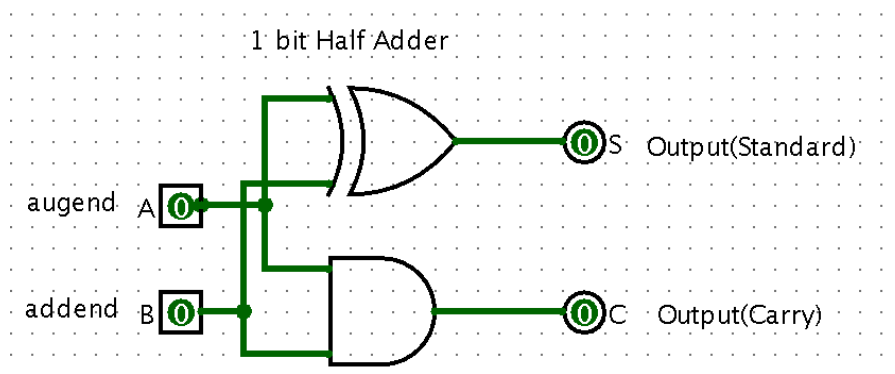


图 1-2 一位二进制半加器

(2) 一位二进制全加器的设计方案

1. 利用真值表法，写出最简与或逻辑表达式

《数字电路与逻辑设计》实验报告

输入变量			输出变量	
A	B	C _i	S	C _o
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

注：输入 A、B 和 C_i 分别为被加数、加数和来自低位的进位，输出 S 和 C_o 为本位和和向高位的进位。

$$S = A \oplus B \oplus C \quad C = (A \oplus B) \cap C + AB$$

2. 图 1-3 为实验电路图

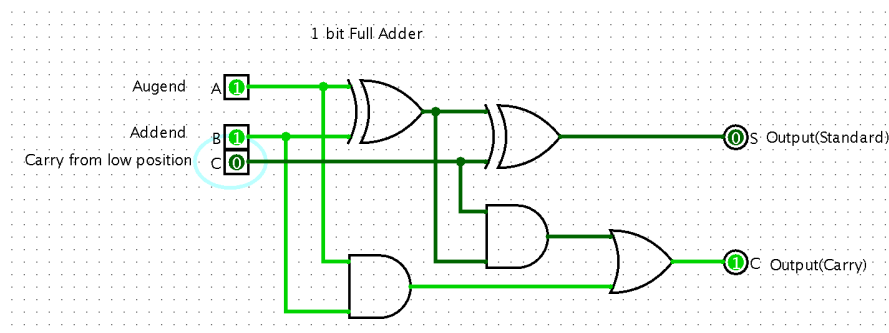


图 1-3 一位二进制全加器

《数字电路与逻辑设计》实验报告

(3) 串行进位的四位二进制并行加法器的设计方案

1. 设计思路：用实验二做好的全加器做封装，利用到该电路中，A3, A2, A1, A0 为 4 位二进制被加数，B3, B2, B1, B0 为 4 位二进制加数，C0 来自低位的进位，C4 是高位的进位，S3, S2, S1, S0 为 4 位二进制和。

2. 图 1-4 为实验电路图

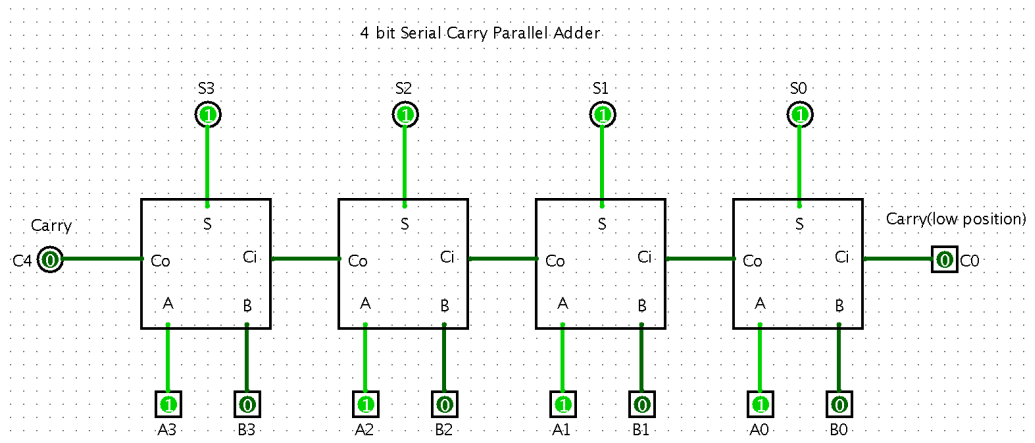


图 1-4 串行进位的四位二进制并行加法器

(4) 先行进位的四位二进制并行加法器的设计方案

1. 设计思路：通过课本上的学习，四位二进制并行加法器各位的进位输出函数表达式分别为：

$$C1 = G0 + P0 \cdot C0$$

$$C2 = G1 + P1 \cdot G0 + P1 \cdot P0 \cdot C0$$

$$C3 = G2 + P2 \cdot G1 + P2 \cdot P1 \cdot G0 + P2 \cdot P1 \cdot P0 \cdot C0$$

$$C4 = G3 + P3 \cdot G2 + P3 \cdot P2 \cdot G1 + P3 \cdot P2 \cdot P1 \cdot G0 + P3 \cdot P2 \cdot P1 \cdot P0 \cdot C0$$

$$P_i = A_i \oplus B_i$$

《数字电路与逻辑设计》实验报告

$$S_i = P_i \oplus C_{i-1}$$

2. 图 1-5 为实验电路图

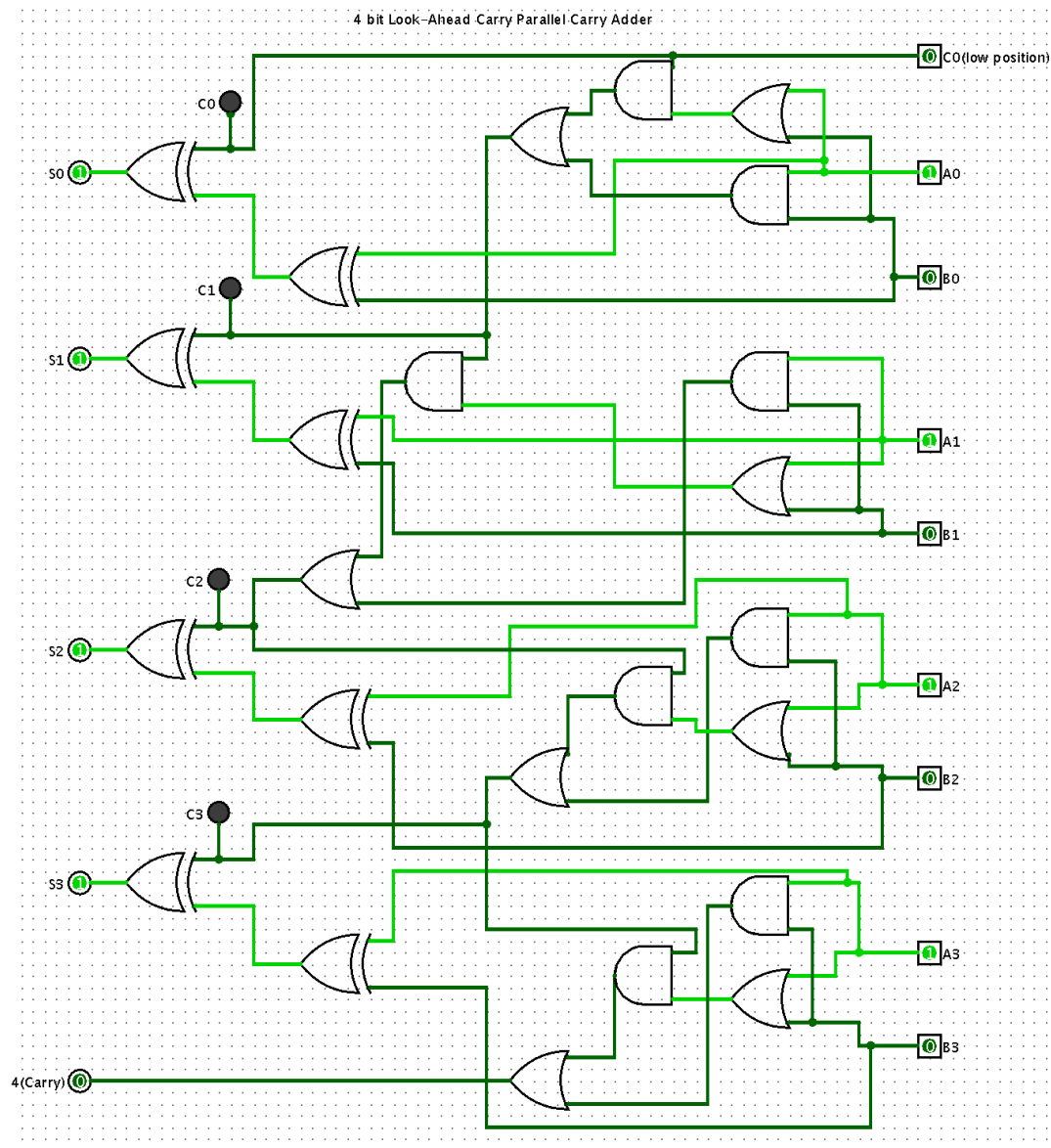


图 1-5 先行进位的四位二进制并行加法器

(5) 封装先行进位的四位二进制并行加法器电路

对“第4步”完成的电路进行封装，然后对它设计的正确性进行验证。