

数字逻辑实验报告（1）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验1** | | |
| **一、系列二进制加法器设计50%** | **二、小型实验室门禁系统设计50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

**姓 名： 潘翔**

**学 号： U201614898**

**班 级： IOT1601**

**指 导 教 师： 徐有青**

**计算机科学与技术学院**

**2018年 6月1日**

目录

[系列二进制加法器设计预习报告 3](#_Toc516138909)

[一、系列二进制加法器设计 4](#_Toc516138910)

[1、实验名称 4](#_Toc516138911)

[2、实验目的 4](#_Toc516138912)

[3、实验所用设备 4](#_Toc516138913)

[4、实验内容 4](#_Toc516138914)

[5、实验方案设计 5](#_Toc516138915)

[**小型实验室门禁系统设计实验报告 10**](#_Toc516138916)

[二、小型实验室门禁系统设计 11](#_Toc516138917)

[1、实验名称 11](#_Toc516138918)

[2、实验目的 11](#_Toc516138919)

[3、实验所用设备 11](#_Toc516138920)

[4、实验内容 11](#_Toc516138921)

[5、实验方案设计 13](#_Toc516138922)

[6、实验结果记录 20](#_Toc516138923)

[7、实验后的思考 23](#_Toc516138924)



**数字逻辑实验报告**

系列二进制加法器设计预习报告

# 一、系列SimSun二进制加法器设计

## 1、实验名称

系列二进制加法器设计。

## 2、**实验目的**

要求同学采用传统电路的设计方法，对5种二进制加法器进行设计，并利用工具软件，例如，“logisim”软件的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握传统逻辑电路的设计、仿真、调试的方法。

## 3、实验所用设备

Logisim2.7.1软件一套。

## 4、实验内容

对已设计的5种二进制加法器，使用logisim软件对它们进行虚拟实验仿真，除逻辑门、触发器外，不能直接使用logisim软件提供的逻辑库元件，具体内容如下。

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C为本位和、向高位进位。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和Co为本位和和向高位的进位。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器串联设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用超前进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0和Co为本位和和向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”库元件并验证它的正确性，以便后续实验使用，封装后的逻辑符号参见图1-1所示。

图1-1“私有”的先行进位的四位二进制并行加法器

## 5、实验方案设计

**（1）一位二进制半加器的设计方案**

1. **作真值表**

表1-1 一位二进制半加器真值表

|  |  |  |  |
| --- | --- | --- | --- |
| 输入变量 | | 输出变量 | |
| A(被加数) | B(加数) | S(本位和) | C(向高位进位) |
| 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |

1. **求出最简单逻辑函数表达式**

IMG_256

IMG_256

1. **选择逻辑门类型并画出逻辑电路图**

**图1-2为一位二进制半加器**

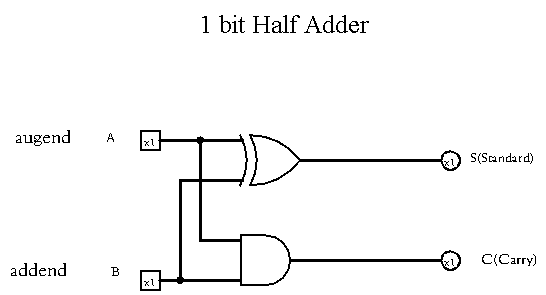


图1-2 一位二进制半加器逻辑电路图

**（2）一位二进制全加器的设计方案**

1. 作真值表

表1-2 一位二进制全加器真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入变量 | | | 输出变量 | |
| A | B | Ci | S | C0 |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

1. 写出最简逻辑表达式

S=A⊕B⊕C C= (A⊕B)∩C+AB

1. 选择逻辑门类型并画出电路图

图1-3为一位二进制全加器逻辑电路图

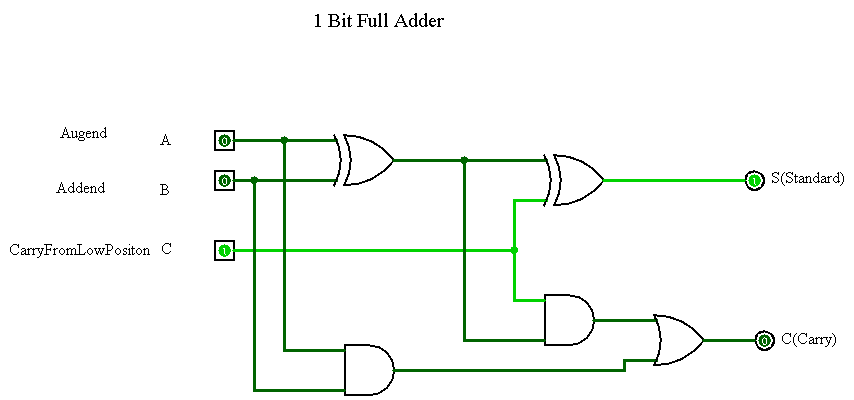


图1-3 一位二进制全加器逻辑电路图，

**（3）串行进位的四位二进制并行加法器的设计方案**

1. 设计思路：设A和B分别为4位二进制数，其中A=a4a3a2a1为被加数，B=b4b3b2b1为加数，S=s1s2s3s4为和数，采用二进制全加器进行封装串行组成
2. 选择逻辑门类型并画出电路图

图1-4为一位串行进位的四位二进制并行加法器逻辑电路图

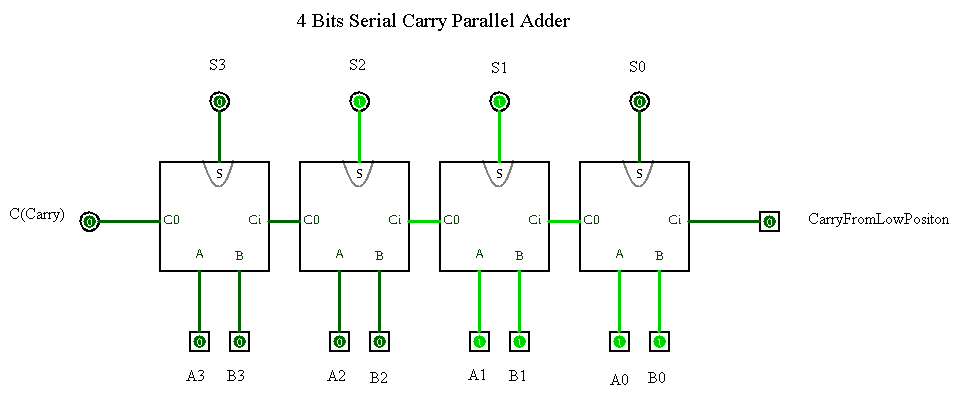


图1-4 串行进位的四位二进制并行加法器逻辑电路图

1. **先行进位的四位二进制并行加法器的设计方案**
2. 设计思路：

根据全加器的功能



C1=G0 + P0·C0

C2=G1 + P1·G0 + P1·P0·C0

C3=G2 + P2·G1 + P2·P1·G0 + P2·P1·P0·C0

C4=G3 + P3·G2 + P3·P2·G1 + P3·P2·P1·G0 + P3·P2·P1·P0·C0

Pi=Ai⊕Bi

Si=Pi⊕Ci-1

1. 选择逻辑门类型并画出电路图

图1-5为先行进位的四位二进制并行加法器逻辑电路图

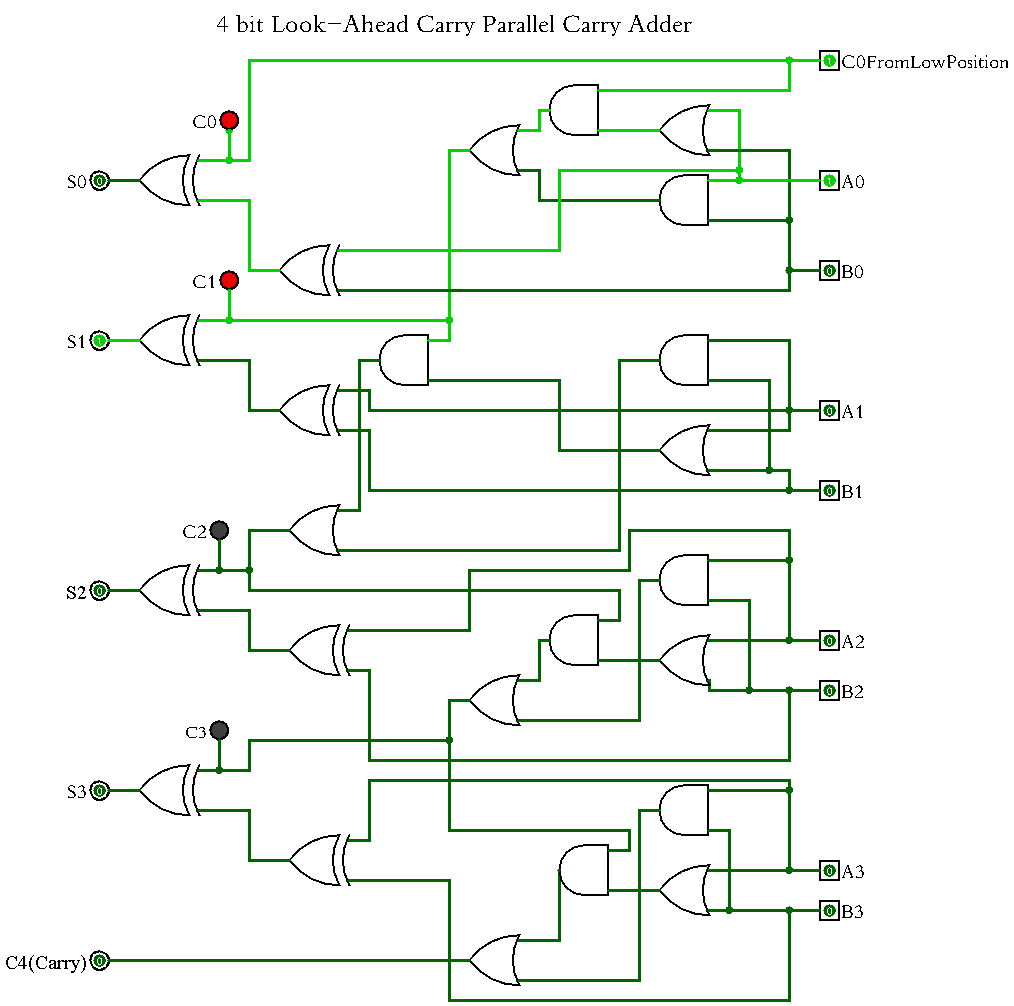


图1-5 先行进位的四位二进制并行加法器逻辑电路图

（5）封装先行进位的四位二进制并行加法器电路

对“第4步”完成的电路进行封装，然后对它设计的正确性进行验证。

1. 模块封装

图1-6为先行进位的四位二进制并行加法器封装图

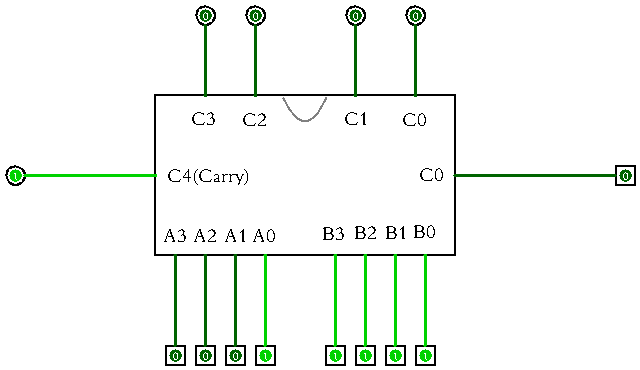


图1-6 先行进位的四位二进制并行加法器封装图

1. 模块测试

A=1100

B=0101

C=10001

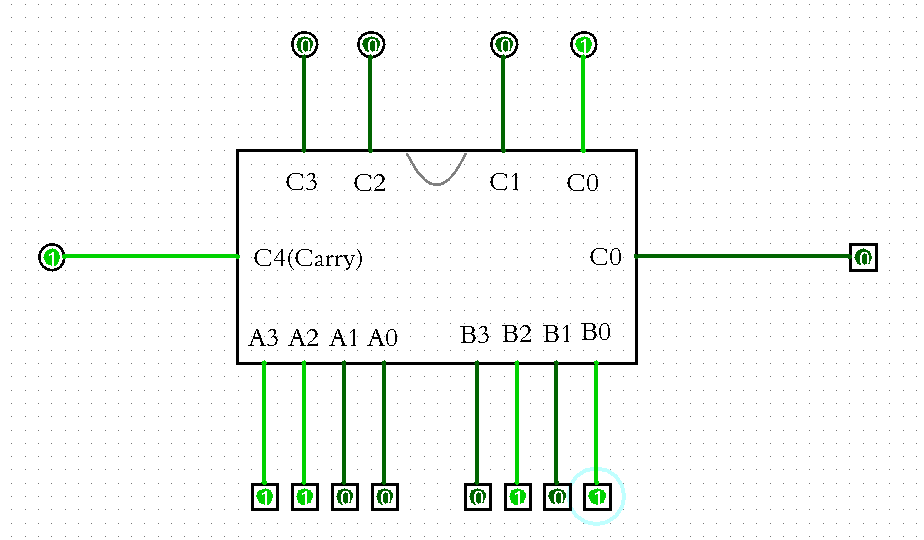


图1-7模块测试图



**数字逻辑实验报告**

小型实验室门禁系统设计实验报告

# 二、小型实验室门禁系统设计

## 1、实验名称

小型实验室门禁系统设计。

## 2、实验目的

要求同学采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件，例如，“logisim”软件的虚拟仿真来检查这个小型实验室门禁系统的设计是否达到要求。

通过以上实验的设计、仿真、验证3个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

## 3、实验所用设备

Logisim2.7.1软件一套。

## 4、实验内容

设计场景：某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示该实验室内上班人数，该实验室只有一个门，最多只能容纳15人。假设员工进出实验室都要刷校园卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为0，刷卡进入时实验室人数加1，刷卡离开时实验室人数减1。当实验室满员时，还有员工在门外刷卡进入时，门禁系统“不”动作，系统报警提示满员。

使用logisim软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7段数码显示管外，不能直接使用logisim提供的逻辑元件库，具体要求如下。

**（1）设计一个四位二进制可逆计数器电路并进行封装和验证它的正确性**

用D触发器设计一个四位二进制可逆计数器，并进行封装。该计数器有一个清零端CLR、一个累加计数脉冲端CPU（输入刷卡进入请求）、一个累减计数脉冲端CPD（输入刷卡离开请求），四个计数输出端QDQCQBQA记录当前实验室人数。

将设计好的4位二进制可逆计数器进行封装，生成一个“私有”库元件，以便后续实验使用，4位二进制可逆计数器逻辑符号参见图2-1所示。

**S3 S2 S1 S0**

**CPU**

**CLR 四位二进制可逆计数器**

**CPD**

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图2-1 “私有”的一个4位二进制可逆计数器

**（2）用实验1中已封装的“先行进位的四位二进制并行加法器”设计一个将实验室内人数转换成8421BCD码的电路**

用实验一,已封装的“先行进位的四位二进制并行加法器”和适当的逻辑门将二进制数表示的实验室人数转换成两位十进制数的8421BCD码。

**（3）设计7段译码器，并采用“7段数码显示管”显示人数的电路**

设计一个7段译码器（参考书的7448芯片），将两位十进制数的8421BCD码表示的实验室人数用“7段数码显示管”显示出来。

该7段译码器有四个输入A3A2A1A0和七个输出abcdefg, A3A2A1A0为8421BCD码，abcdefg为7段数码显示管对应的段。

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

当实验室满员时，在累加计数脉冲端CPU输入刷卡进入请求，计数输出端数据保持不变，门禁“不”动作，系统报警提示满员。当实验室空时，逻辑上不会有实验室内累减计数脉冲端CPD输入刷卡离开请求。为防止信号干扰，在计数输出为0时，若CPD端有脉冲，也应使计数输出端数据保持不变，门禁“不”动作，但不用报警。

**（5）设计小型实验室门禁系统电路并进行封装和验证它的正确性**

设计满足要求的小型实验室门禁系统电路并进行封装，生成一个小型实验室门禁系统芯片，封装后的小型实验室门禁系统逻辑符号参见图2-2所示。

**十位**：7段数码显示管

**个位：**7段数码显示管

**a b c d e f g a b c d e f g**

**CPU**

**CLR 封装后的门禁系统逻辑符号 报警**

**CPD**

图2-2 封装后的小型实验室门禁系统

## 5、实验方案设计

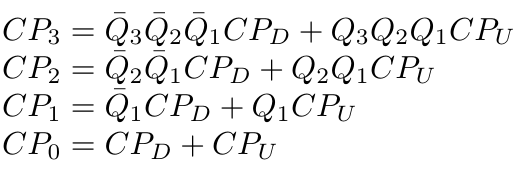
**（1）设计一个四位二进制可逆计数器电路**

1. **做真值表**

**表2-1 四位二进制可逆计数器真值表**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3Q2Q1Q0 | CPU=1(累加) | | CPD=1（累减） | |
| CP3CP2CP1CP0 | Q3n+1Q2n+1  Q1n+1Q0n+1 | CP3CP2CP1CP0 | Q3n+1Q2n+1  Q1n+1 Q0n+1 |
| 0 0 0 0 | 0 0 0 1 | 0 0 0 1 | 1 1 1 1 | 1 1 1 1 |
| 0 0 0 1 | 0 0 1 1 | 0 0 1 0 | 0 0 0 1 | 0 0 0 0 |
| 0 0 1 0 | 0 0 0 1 | 0 0 1 1 | 0 0 1 1 | 0 0 0 1 |
| 0 0 1 1 | 0 1 1 1 | 0 1 0 0 | 0 0 0 1 | 0 0 1 0 |
| 0 1 0 0 | 0 0 0 1 | 0 1 0 1 | 0 1 1 1 | 0 0 1 1 |
| 0 1 0 1 | 0 0 1 1 | 0 1 1 0 | 0 0 0 1 | 0 1 0 0 |
| 0 1 1 0 | 0 0 0 1 | 0 1 1 1 | 0 0 1 1 | 0 1 0 1 |
| 0 1 1 1 | 1 1 1 1 | 1 0 0 0 | 0 0 0 1 | 0 1 1 0 |
| 1 0 0 0 | 0 0 0 1 | 1 0 0 1 | 1 1 1 1 | 0 1 1 1 |
| 1 0 0 1 | 0 0 1 1 | 1 0 1 0 | 0 0 0 1 | 1 0 0 0 |
| 1 0 1 0 | 0 0 0 1 | 1 0 1 1 | 0 0 1 1 | 1 0 0 1 |
| 1 0 1 1 | 0 1 1 1 | 1 1 0 0 | 0 0 0 1 | 1 0 1 0 |
| 1 1 0 0 | 0 0 0 1 | 1 1 0 1 | 0 1 1 1 | 1 0 1 1 |
| 1 1 0 1 | 0 0 1 1 | 1 1 1 0 | 0 0 0 1 | 1 1 0 0 |
| 1 1 1 0 | 0 0 0 1 | 1 1 1 1 | 0 0 1 1 | 1 1 0 1 |
| 1 1 1 1 | 1 1 1 1 | 0 0 0 0 | 0 0 0 1 | 1 1 1 0 |

1. **求最简单与或表达式**



1. **选择逻辑门并进行逻辑函数变换**

图2-3为一个四位二进制可逆计数器

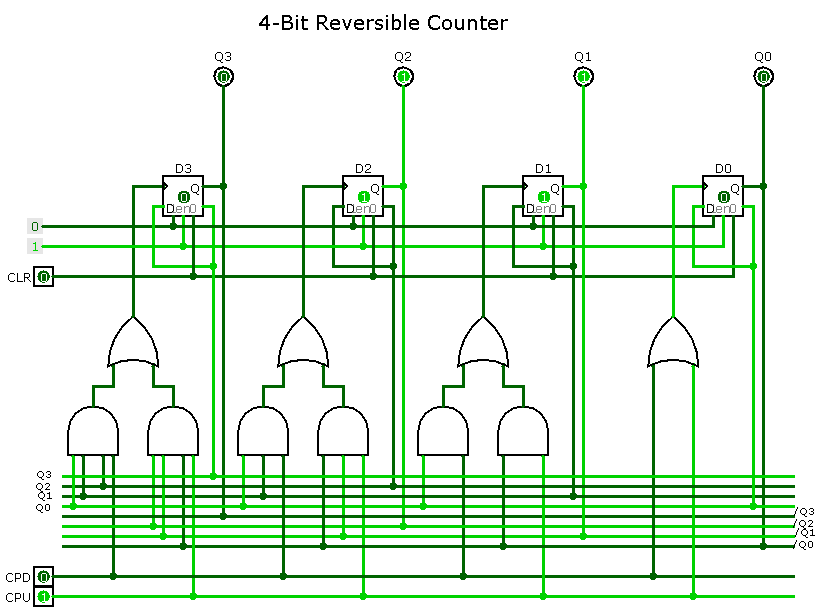


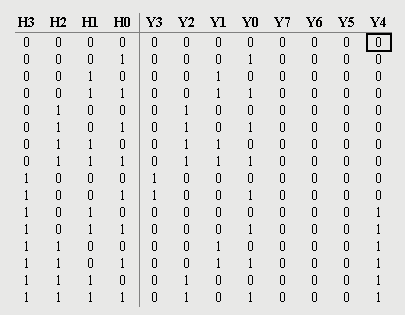
图2-3 一个四位二进制可逆计数器

1. **用实验一中已封装的“先行进位的四位二进制并行加法器”设计将实验室内人数转换成8421BCD码的电路**
2. 建立给定问题的逻辑

两个4位二进制数进行输入，因为人数上限为15人，则最大为00010101，其中B3B2B1B0为输入的四位二进制所代表的十六进制，B3B2决定是否进位1。

Y5=B3&(B2+B1)

表2-2 一位16进制数转2位8421真值表



2. 画出逻辑电路图

图2-4为一位16进制数转2位8421码逻辑电路图

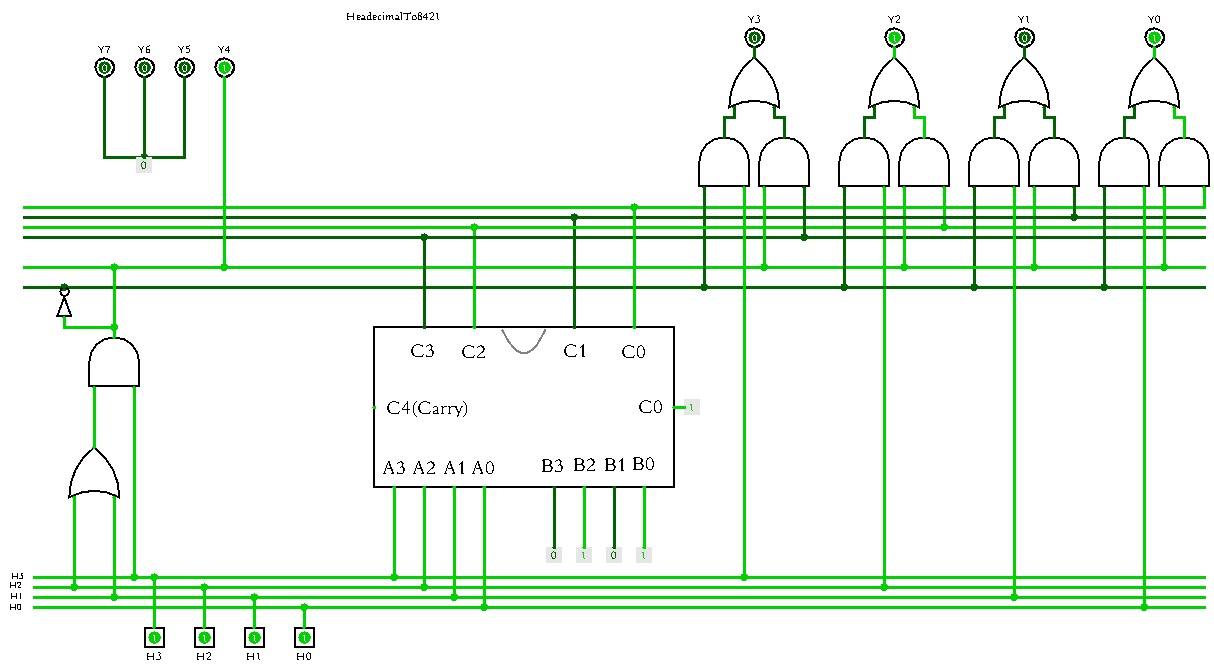


图2-4 一位16进制数转2位8421码

1. **设计7段译码器，并采用“7段数码显示管”显示人数的电路**

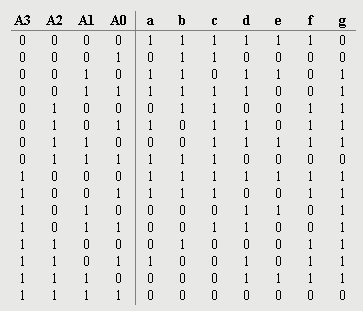
（A）设计一个7段译码器

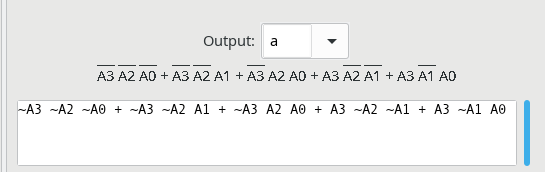
1. 做真值表

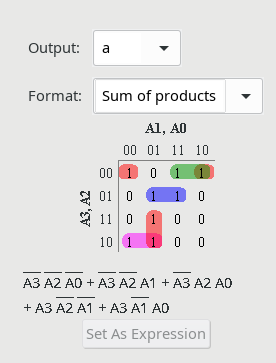
表2-3 7段译码器真值表

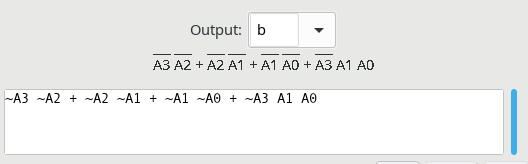
|  |  |
| --- | --- |
| *A*3 *A*2 *A*1 *A*0 | *a* *b* *c* *d* *e* *f* *g* |
| 0 0 0 0 | 1 1 1 1 1 1 0 |
| 0 0 0 1 | 0 1 1 0 0 0 0 |
| 0 0 1 0 | 1 1 0 1 1 0 1 |
| 0 0 1 1 | 1 1 1 1 0 0 1 |
| 0 1 0 0 | 0 1 1 0 0 1 1 |
| 0 1 0 1 | 1 0 1 1 0 1 1 |
| 0 1 1 0 | 0 0 1 1 1 1 1 |
| 0 1 1 1 | 1 1 1 0 0 0 0 |
| 1 0 0 0 | 1 1 1 1 1 1 1 |
| 1 0 0 1 | 1 1 1 0 0 1 1 |
| 1 0 1 0 | 0 0 0 1 1 0 1 |
| 1 0 1 1 | 0 0 1 1 0 0 1 |
| 1 1 0 0 | 0 1 0 0 0 1 1 |
| 1 1 0 1 | 1 0 0 1 0 1 1 |
| 1 1 1 0 | 0 0 0 1 1 1 1 |
| 1 1 1 1 | 0 0 0 0 0 0 0 |

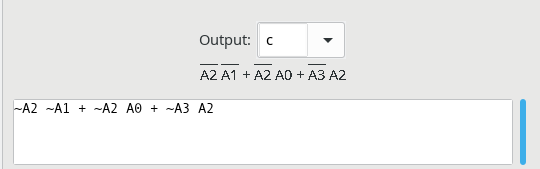
1. 使用logisim分析真值表

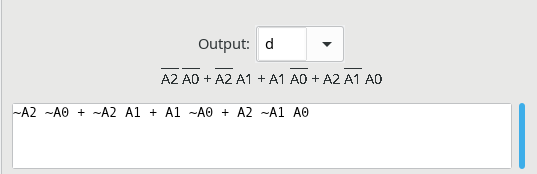


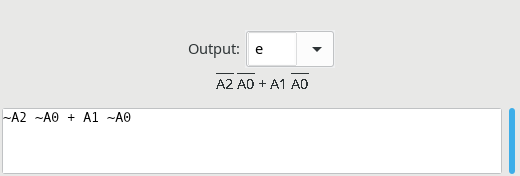


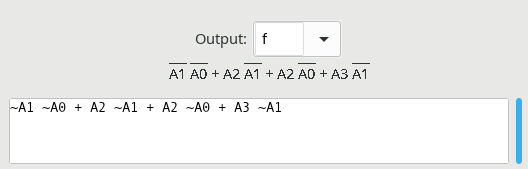


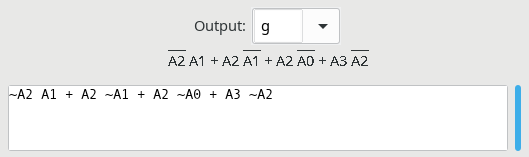




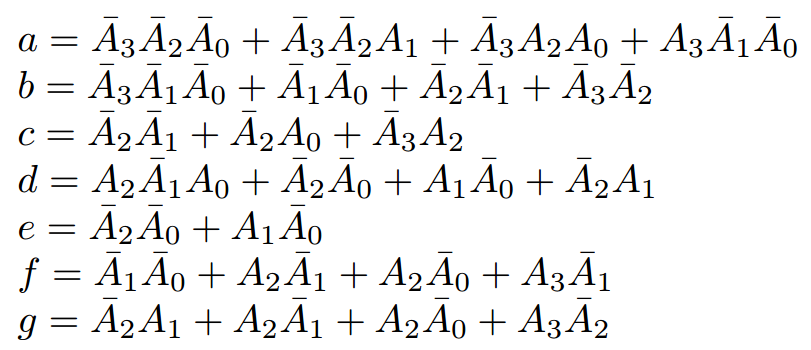








1. 写出函数逻辑表达式



1. 画出逻辑电路图

图2-5为7段译码器逻辑电路图

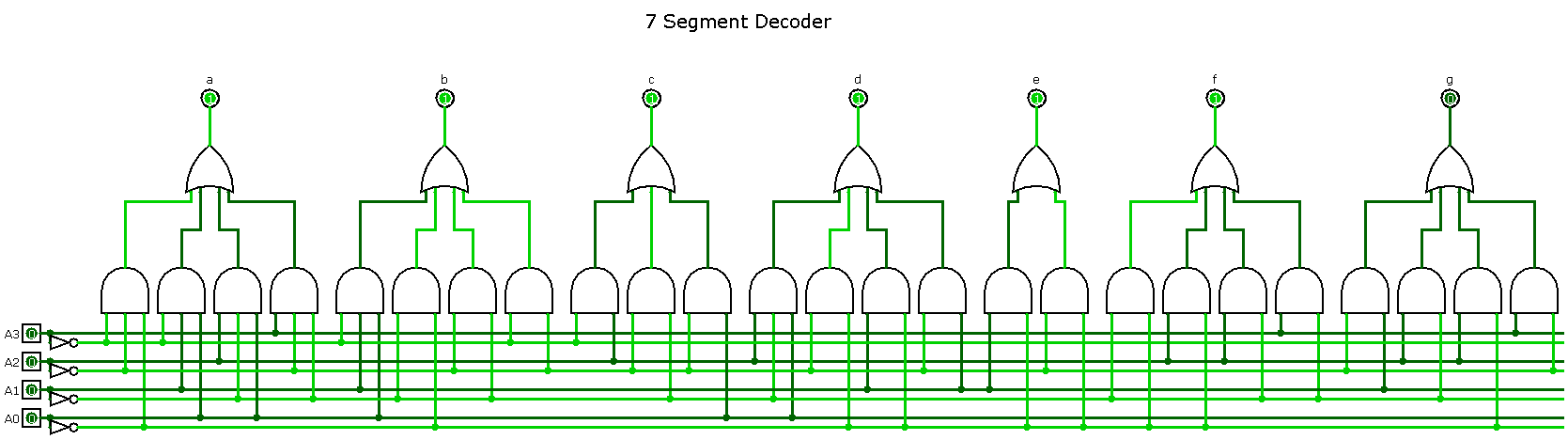


图2-5 7段译码器逻辑电路图

1. 使用logisim自动生成电路进行比对验证

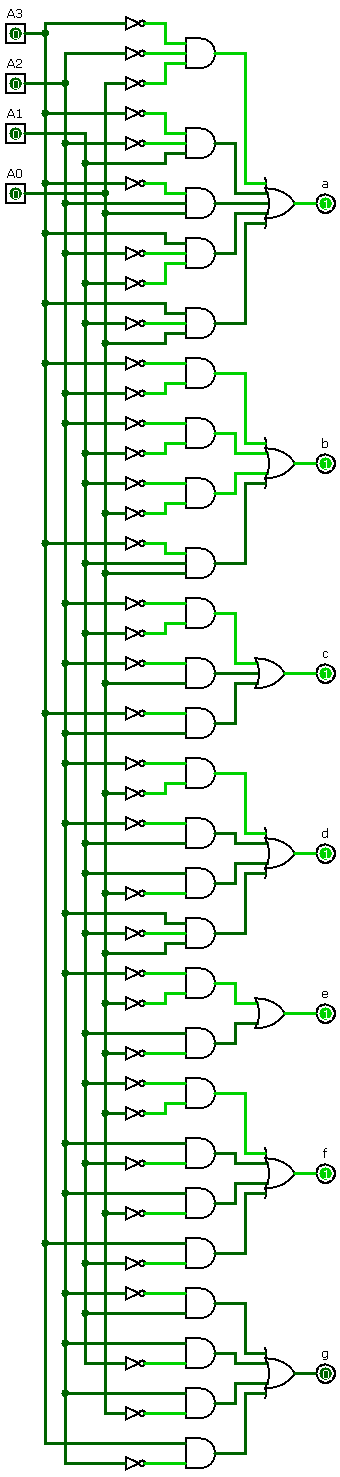


图2-6 7段译码器逻辑电路生成比对图

（B）设计用“7段数码显示管”显示人数的逻辑电路

图2-7为用7段数码显示管显示实验室人数的电路

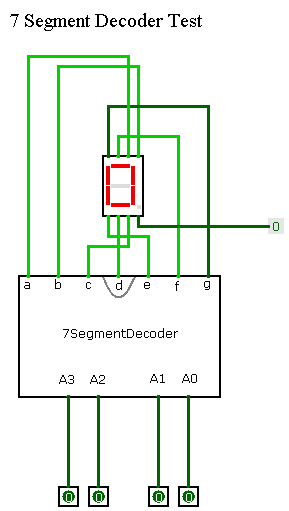


图2-7 用7段数码显示管显示实验室人数的电路

**（4）设计当实验室满员时，门禁“不”动作，系统报警提示满员的电路**

电路设计要求要采用本次实验1中由4位二进制可逆计数器所封装的“私有”库元件。

1. 设计思路

通过输出的四位二进制进行状态判断，当人数达到上限时，利用门电路对输入进行封锁，使人数不再增加，同时点亮LED。

1. 画出逻辑电路图

图2-8 为报警电路逻辑电路图

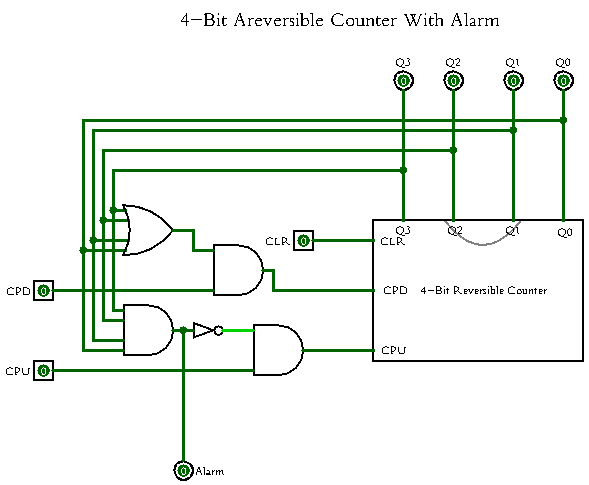


图2-8 报警电路逻辑电路图

1. **设计小型实验室门禁系统电路**

图2-9为报警电路逻辑电路图

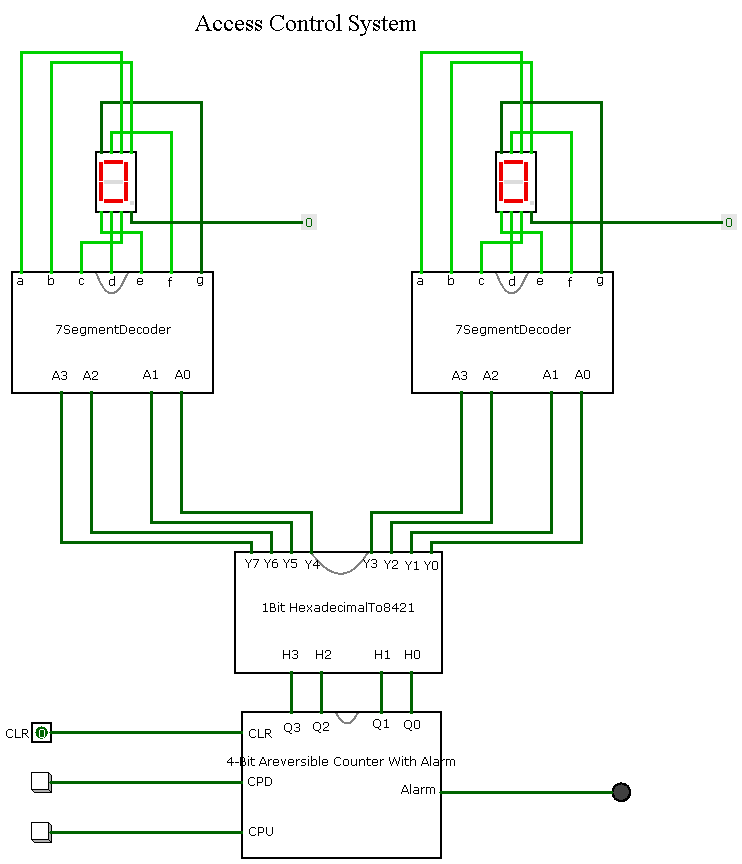


图2-9 门禁系统逻辑电路图

## 6、实验结果记录

**（1）给出“私有”库元件（采用一个四位二进制可逆计数器进行封装）的测试电路**

图2-10为一个四位二进制可逆计数器测试电路图

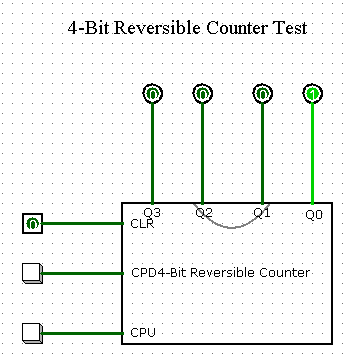


图2-10一个四位二进制可逆计数器测试电路图

**（2）给出采用实验1中已封装的“先行进位的四位二进制并行加法器”设计的将实验室内人数转换成8421BCD码的电路**

图2-11为一位十六进制数转为两位8421码电路图

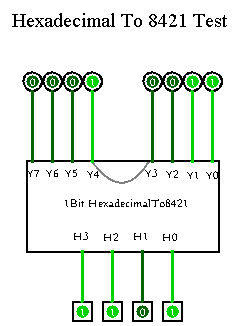


图2-11 一位十六进制数转为两位8421码测试电路图

**（3）给出采用“7段数码显示管”显示人数的电路**

图2-12为“7段数码显示管”显示人数测试电路图

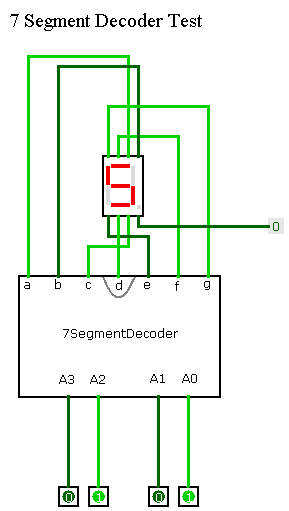


图2-12 “7段数码显示管”显示人数测试电路图

**（4）给出当实验室满员时，门禁不动作，系统报警提示满员的电路**

图2-13为系统报警电路测试电路图

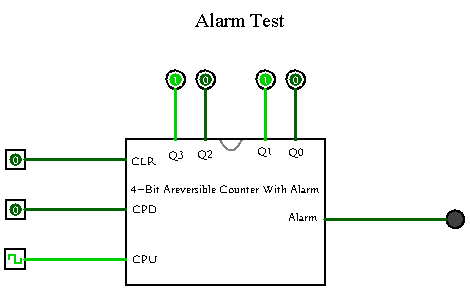


图2-13 系统报警电路测试电路图

**（5）给出“私有”库元件（采用小型实验室门禁系统电路进行封装）的测试电路**

图2-14为门禁控制系统测试电路图

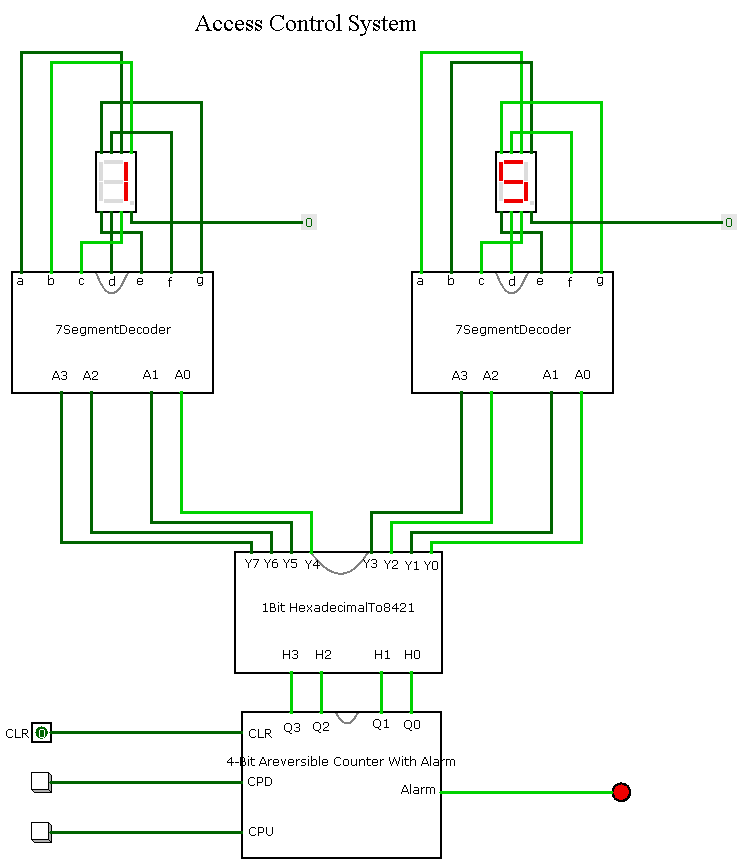


图2-14 实验室门禁控制电路测试电路图

## 7、实验后的思考

**（1）这两次实验的难点你认为在哪些方面？**

1. Logisim测试功能的不够完善，进行仿真真值表输出时，不够友好，需要手工测试。
2. 对于计数器电路，开始考虑采用一个控制位和一个时钟进行控制，但对于上升沿和下降沿无法进行选择控制。
3. 进行真值表卡诺图运算时卡诺图较大不便于运算。
4. 进行电路设计的时候，可能会出现亚稳态，造成模拟成功，实际过程中存在问题，如加脉冲和减脉冲之间可能存在冲突。
5. 对于空引脚的处理，开始未考虑到，处于置空状态

**（2）你是如何解决的？**

1. 手工测试：根据表达式进行取样测试。
2. 采用原始电路而不使用封装的触发器。
3. 采用logisim软件中的设计功能进行帮助。
4. 对于电路进行分析，存在亚稳态进行条件约束，如二者不能同时输入。
5. 对于空引脚进行合适处理，触发器按照默认，普通按照0接出。

**（3）意见和建议**

1. 考虑设计一些较为通用的模块进行封装实验，之后利用模块自行组装设计电路。
2. 对于Logisim仿真中，无法对原件进行部分封装。