

# 数字逻辑实验报告（2）

|  |  |  |
| --- | --- | --- |
| **数字逻辑实验2** | | |
| **一、Verilog HDL设计数字逻辑电路50%** | **二、Verilog HDL设计较复杂数字逻辑电路50%** | **总成绩** |
|  |  |  |

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名：

**姓 名： 潘翔**

**学 号： U201614898**

**班 级： IOT1601**

**指 导 教 师： 徐有青**

**计算机科学与技术学院**

**20 年 月 日**



**数字逻辑实验报告**

**Verilog HDL设计数字逻辑电路预习报告**

[数字逻辑实验报告（2） 1](#_Toc19686408)

[一、Verilog HDL设计数字逻辑电路 3](#_Toc618364369)

[1、实验名称 3](#_Toc2119704490)

[2、实验目的 4](#_Toc1702422668)

[3、实验所用设备 4](#_Toc1313148711)

[4、实验内容 4](#_Toc1349378183)

[5、实验方案设计 8](#_Toc733161145)

[二、Verilog HDL设计较复杂数字逻辑电路 12](#_Toc626744484)

[1、实验名称 12](#_Toc203528646)

[2、实验目的 12](#_Toc832757737)

[3、实验所用组件 12](#_Toc709947332)

[4、实验内容 12](#_Toc1503776830)

[5、实验方案设计 15](#_Toc1751122270)

[6、实验结果记录 17](#_Toc2074601493)

[7、实验后的思考 20](#_Toc1077614890)

# 一、Verilog HDL设计数字逻辑电路

## 1、实验名称

Verilog HDL设计数字逻辑电路。

## 2、实验目的

要求同学用Verilog HDL设计数字逻辑电路，通过3个逻辑电路实验，并利用“Vivado 2015.2”软件进行“前、后”仿真检查电路设计，然后在“Xilinx NEXYS 4开发板”上操作、记录实验结果，最后验证设计是否达到要求。

通过以上设计、仿真、验证3个训练过程使同学们掌握Verilog HDL设计数字逻辑电路的基本方法，同时掌握如何避免锁存器的产生以及电路设计中的一致性问题的处理方法。

## 3、实验所用设备

Xilinx NEXYS 4开发板（芯片为XC7A100TCSG324-1，封装为CSG324，软件为Vivado 2015.2）1套。

## 4、实验内容

（1）组合、时序逻辑电路的“always”设计

（A）用“always块”设计纯组合逻辑电路

组合电路的一个特性是它的输出永远受输入变化的影响。也就是说组合电路绝不会保持它们以前的值，即输出不会出现锁存。

在使用always块中的case，if-else等语句设计纯组合逻辑电路时，要保证所有输入条件，其输出均有输出值，否则有可能会产生锁存器，导致“综合”出错。

例如：某题目要求使用Verilog设计实现一个纯组合逻辑电路的选择器，某同学设计了一个带“flag”标识的4选1的多路选择器，参见程序1-1所示，但是在“综合”时，报3个错误，即：“Place 30-574、Place 30-99、Common 17-69”。

具体要求：

（a）验证程序1-1在“综合”时，是否会出现上述问题；

（b）如果存在上述问题，请更正程序1-1，帮这位同学完成设计。

**程序1-1 带“flag”标识的4选1的多路选择器**

module mux\_latch(

input [3:0] data,

input [1:0] valid,

input flag,

output reg valid\_data);

initial begin

valid\_data=1'b0;

end

always @ (\*)

begin

case(valid)

2'b00 : begin if(flag) valid\_data = data[0];end

2'b01 : begin if(flag) valid\_data = data[1];end

2'b10 : begin if(flag) valid\_data = data[2];end

2'b11 : begin if(flag) valid\_data = data[3];end

endcase

end

endmodule

**///////////////////////////\*.xdc文件//////////////////////////**

set\_property PACKAGE\_PIN T16 [get\_ports flag]

set\_property IOSTANDARD LVCMOS33 [get\_ports flag]

set\_property PACKAGE\_PIN U8 [get\_ports {valid[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {valid[0]}]

set\_property PACKAGE\_PIN R7 [get\_ports {valid[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {valid[1]}]

set\_property PACKAGE\_PIN V7 [get\_ports {data[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {data[0]}]

set\_property PACKAGE\_PIN V6 [get\_ports {data[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {data[1]}]

set\_property PACKAGE\_PIN V5 [get\_ports {data[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {data[2]}]

set\_property PACKAGE\_PIN U4 [get\_ports {data[3]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {data[3]}]

set\_property PACKAGE\_PIN T8 [get\_ports valid\_data]

set\_property IOSTANDARD LVCMOS33 [get\_ports valid\_data]

（B）用“always块”设计一个同步时序逻辑电路

参见图1-1所示电路。



图1-1同步时序逻辑电路

具体要求：

利用Verilog HDL的“always块”设计该电路并进行仿真。

**（注意：阻塞与非阻塞赋值的不同，这种组合和时序的混合电路建议使用非阻塞赋值）**

**（2）脉冲异步计数器的设计**

分析如图1-2所示的脉冲异步计数器电路，完成如下内容：

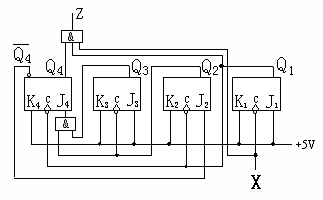


图1-2 脉冲异步计数器电路

（A）说明该计数器的模是多少？

（B）用Verilog DHL实现该电路，并通过仿真和在开发板上验证设计。

**（3）Verilog数字电路设计中一致性问题**

分析如图1-3所示的电路，完成如下内容：

（A）程序1-2是对图1-3所示电路的描述，请用“Behavior Simulation-它可以称为前仿真”和“非Behavior Simulation-它可以称为后仿真”对程序1-2分别进行仿真，如果有错误，请更正程序1-2，并给出修正后的仿真结果。

（这就是：所谓前仿真和后仿真是否一致的问题）

q1

q2

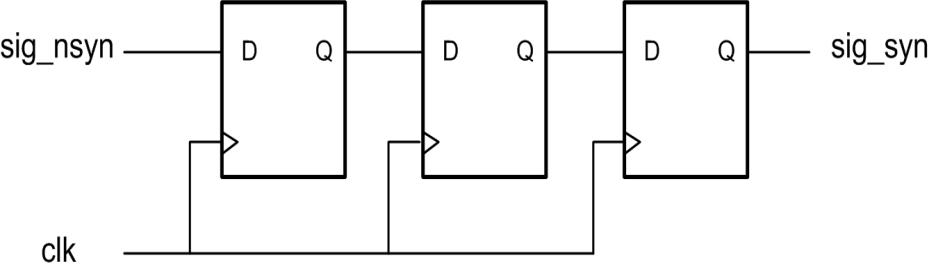


图1-3 3位移位寄存器电路

（B）NEXYS 4开发板提供了一个100Mhz的同步时钟，引脚绑定为“E3”，在更正后的程序1-2中添加一个时钟分频部分，并将降频后的时钟信号接到图1-3中的“clk”，编译成功后再下载到开发板上测试它。

结论：在今后的设计中要保持：“前仿真和后仿真以及下载验证都正确”。

**程序1-2 3位移位寄存器电路**

module pipe3b(

input sig\_nsyn,

input clk,

output q1,

output q2,

output sig\_syn

);

reg q1;

reg q2;

reg sig\_syn;

always@(posedge clk) q2=q1;

always@(posedge clk) sig\_syn=q2;

always@(posedge clk) q1=sig\_nsyn;

endmodule

5、实验方案设计

**（1）组合、时序逻辑电路的“always”设计方案**

**（A）用“always块”设计纯组合逻辑电路**

module mux\_latch

(

input [3:0] data,

input [1:0] valid,

input flag,

output reg valid\_data);

initial begin

valid\_data=1'b0;

end

always @ (\*)

begin

valid\_data = 1'b0; // assign defualt value for valid\_data

case(valid)

2'b00 : begin if(flag) valid\_data = data[0];end

2'b01 : begin if(flag) valid\_data = data[1];end

2'b10 : begin if(flag) valid\_data = data[2];end

2'b11 : begin if(flag) valid\_data = data[3];end

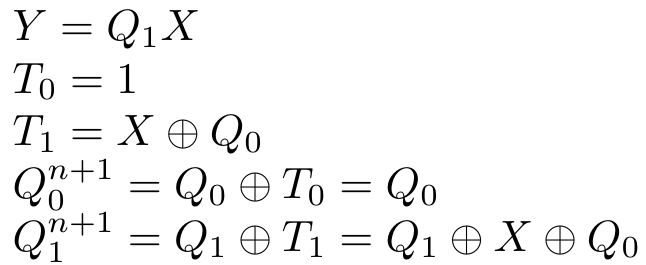
endcase

end

endmodule

（B）用“always块”设计实现一个同步时序逻辑电路

（a）函数表达式和激励函数表达式



（b）状态表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 现态Q1Q0 | 次态 | | 输出Y | |
| X=0 | X=1 | X=0 | X=1 |
| 00 | 01 | 11 | 0 | 1 |
| 01 | 10 | 00 | 0 | 1 |
| 10 | 11 | 01 | 0 | 0 |
| 11 | 00 | 10 | 0 | 0 |

表3-1 同步时序逻辑电路状态表

（c）源程序

module lab3\_1B

(

input X,

input CP,

output reg Y

);

reg Q0=1'b0;

reg Q1=1'b0;

reg T1=1'b0;

always @ (X,Q0,Q1)

begin

T1 <= X^Q0;

Y <= ~(X&~Q1);

end

always @ (negedge CP)

begin

Q0 <= 1^Q0;

Q1 <= T1^Q1;

end

endmodule

（d）仿真程序

module lab3\_1B\_sim

(

);

reg clk = 0;

always #10 clk <= ~clk;

reg x = 0;

always #30 x<=~x;

wire out;

lab3\_1B lab3\_1B\_test(x,clk,out);

endmodule

（e）RTL门电路图

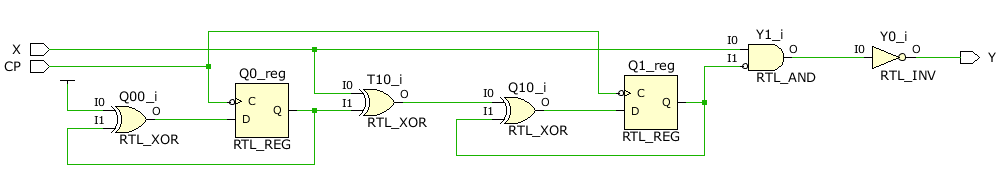


图3-1 同步时序逻辑电路RTL门电路图

（d）仿真结果

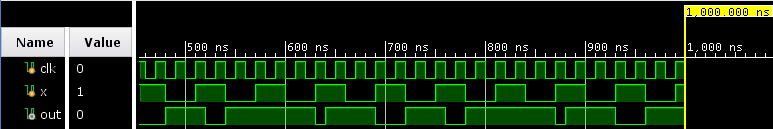


图3-2 同步时序逻辑电路仿真结果图

（e）开发板验证结果

图3-3 同步时序逻辑电路开发板验证结果

1. 脉冲异步计数器的分析和设计方案

（A）计数器说明

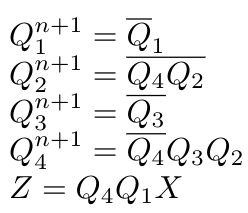
模10计数器；

X:输入脉冲

Z:输出进位

Q4Q3Q2Q1:计数量

激励函数表达式：



（B）源程序

module lab3\_2B

(

input X,

output reg Q1,

output reg Q2,

output reg Q3,

output reg Q4,

output reg Z

);

reg Q1=1'b0;

reg Q2=1'b0;

reg Q3=1'b0;

reg Q4=1'b0;

always @ (negedge X)

begin

Q1<= ~Q1;

end

always @ (negedge Q1)

begin

Q2<=~Q2&(~Q4);

Q4<=~Q4&Q2&Q3;

end

always @ (negedge Q2)

begin

Q3<=~Q3;

end

always @ (\*)

begin

Z=X&Q1&Q4;

end

endmodule

（C）仿真程序

module lab3\_2B\_sim

(

);

reg X = 0;

always #50 X<=~X;

wire Z;

wire Q1;

wire Q2;

wire Q3;

wire Q4;

lab3\_2B lab3\_2B\_test(X,Q1,Q2,Q3,Q4,Z);

endmodule

（D）引脚约束（绑定）程序

# LEDs

#Bank = 34, Pin name = IO\_L24N\_T3\_34, Sch name = LED0

set\_property PACKAGE\_PIN T8 [get\_ports {Z}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {Z}]

#Bank = 34, Pin name = IO\_L21N\_T3\_DQS\_34, Sch name = LED1

set\_property PACKAGE\_PIN V9 [get\_ports {Q1}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {Q1}]

#Bank = 34, Pin name = IO\_L24P\_T3\_34, Sch name = LED2

set\_property PACKAGE\_PIN R8 [get\_ports {Q2}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {Q2}]

#Bank = 34, Pin name = IO\_L23N\_T3\_34, Sch name = LED3

set\_property PACKAGE\_PIN T6 [get\_ports {Q3}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {Q3}]

#Bank = 34, Pin name = IO\_L12P\_T1\_MRCC\_34, Sch name = LED4

set\_property PACKAGE\_PIN T5 [get\_ports {Q4}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {Q4}]

# SWitches

#Bank = 34, Pin name = IO\_L21P\_T3\_DQS\_34, Sch name = SW0

set\_property PACKAGE\_PIN U9 [get\_ports {X}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {X}]

#Bank = 34, Pin name = IO\_25\_34, Sch name = SW1

set\_property PACKAGE\_PIN U8 [get\_ports {SW[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {SW[1]}]

#CLOCK

set\_property PACKAGE\_PIN E3 [get\_ports clk]

set\_property IOSTANDARD LVCMOS33 [get\_ports clk]

create\_clock -add -name sys\_clk\_pin -period 10.00 -waveform {0 5} [get\_ports clk]

（E）RTL门电路图

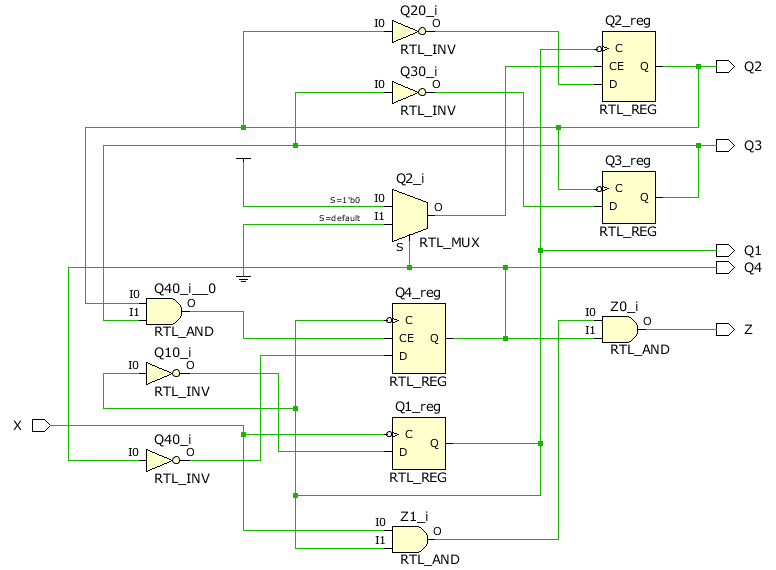


图3-4 脉冲异步计数器电路RTL门电路图

（F）仿真结果

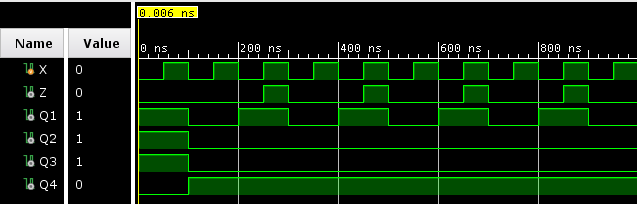


图3-5 脉冲异步计数器电路行为仿真结果图

（G）开发板验证

图3-6 脉冲异步计数器电路开发板验证结果

（3）Verilog设计中一致性问题的解决方案

（A）源程序

module pipe3b

(

input sig\_nsyn,

input clk,

output q1,

output q2,

output sig\_syn

);

reg q1;

reg q2;

reg sig\_syn;

initial begin

q1 = 0;

q2 = 0;

sig\_syn = 0;

end

always@(posedge clk) begin // use the same signal in different always and they will compete

q1<=sig\_nsyn;

q2<=q1;

sig\_syn<=q2;

end

endmodule

（B）仿真程序

module lab3\_3\_sim

(

);

reg clk = 0;

always #10 clk <= ~clk;

reg x = 0;

always #30 x<=~x;

wire out;

wire q1;

wire q2;

pipe3b lab3\_3\_sim(x,clk,q1,q2,out);

Endmodule

（C）分频程序

module lab3\_3\_divider(clk,sig\_nsyn,led);

input clk;

input sig\_nsyn;

output [2:0] led;

wire clk\_N;

divider(clk,clk\_N);

pipe3b(sig\_nsyn,clk\_N,led[2],led[1],led[0]);

endmodule

module divider(clk, led0);

input clk;

output reg led0;

parameter dely500us = 50\_000\_000;

reg [31:0] counter;

always @(posedge clk) begin

counter=counter+1;

if(counter==dely500us/2-1)

begin

led0= ~led0;

counter=0;

end

end

endmodule

（D）约束文件

set\_property PACKAGE\_PIN E3 [get\_ports clk]

set\_property IOSTANDARD LVCMOS33 [get\_ports clk]

create\_clock -add -name sys\_clk\_pin -period 10.00 -waveform {0 5} [get\_ports clk]

set\_property PACKAGE\_PIN U9 [get\_ports {sig\_nsyn}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {sig\_nsyn}]

##Bank = 34, Pin name = IO\_L24N\_T3\_34, Sch name = LED0

set\_property PACKAGE\_PIN T8 [get\_ports {led[0]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {led[0]}]

##Bank = 34, Pin name = IO\_L21N\_T3\_DQS\_34, Sch name = LED1

set\_property PACKAGE\_PIN V9 [get\_ports {led[1]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {led[1]}]

##Bank = 34, Pin name = IO\_L24P\_T3\_34, Sch name = LED2

set\_property PACKAGE\_PIN R8 [get\_ports {led[2]}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {led[2]}]

（C）RTL门电路图

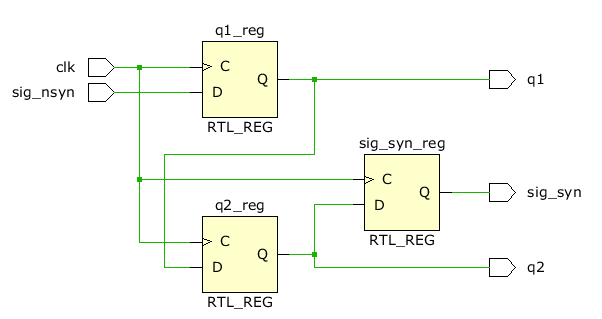


图3-1 3位移位寄存器RTL门电路图

（D）仿真结果

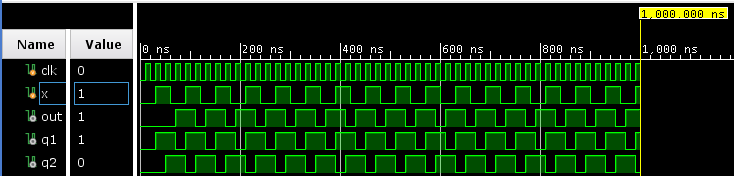


图3-1 3位移位寄存器行为仿真(Behavioral Simulation)图

图3-1 3位移位寄存器分频行为仿真图

（E）开发板验证



**数字逻辑实验报告**

Verilog HDL设计较复杂数字逻辑电路

# 二、Verilog HDL设计较复杂数字逻辑电路

## 1、实验名称

Verilog HDL设计较复杂数字逻辑电路。

## 2、实验目的

要求同学用Verilog HDL设计较复杂的数字逻辑电路，通过3个逻辑电路实验，并利用“Vivado 2015.2”软件进行“前、后”仿真检查电路设计，然后在“Xilinx NEXYS 4开发板”上操作、记录实验结果，最后验证设计是否达到要求。

通过以上设计、仿真、验证3个训练过程使同学们掌握Verilog HDL设计较复杂数字逻辑电路的基本方法，同时掌握“电路例化”、“模块化”的使用、异步时序逻辑电路的同步化处理以及用状态机设计控制电路。

## 3、实验所用组件

Xilinx NEXYS 4开发板（芯片为XC7A100TCSG324-1，封装为CSG324，软件为Vivado 2015.2）1套。

## 4、实验内容

（1）4位二进制加法/减法计数器的设计

设计一个能清零、置数和进位/借位输出的加1/减1的4位二进制计数器，其结构框图如图2-1所示。

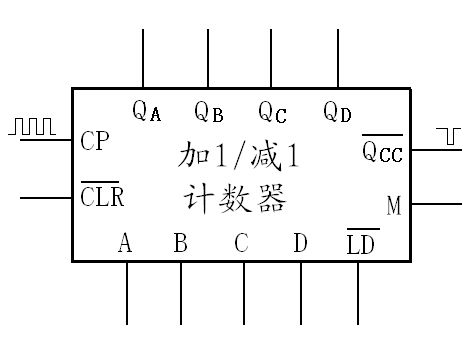


图2-1 4位二进制加法/减法计数器

电路输入为计数脉冲CP、工作模式选择M、预制初值D，C，B，A（其中D为高位，A为低位）和预制控制，清零端；

输出为计数值QD，QC，QB，QA（QD为高位，QA为低位）和进位/借位输出；

当为0时，电路输出清零；

预制控制=0时，将D、C、B、A的输入值送到计数器中，并立即在QD，QC，QB，QA中输出；

模式选择端M=1时加1计数；

当M=0时减1计数；

当CP端输入一个上升沿信号时进行一次计数；

计数有进位/借位时端输出一个负脉冲。

**注意：**用Verilog设计电路时，经常会遇到这样一些问题，例如：

（A）用两个always块对一个寄存器进行赋值，无论其中经过了怎样的条件判断，最终结果毫无疑问是将两个相独立的触发信号连在了寄存器的CLK端上，一个端口接入两信号，所以这样的语句是无法被综合成电路的。

（B）某电路如果有多个输入都可能引起输出值的改变，在使用“always”时，如果其触发条件为电路的“多个输入”时，如果语句的“并发性”处理不好，会造成系统编译成功、“行为仿真”也成功，但是系统生成不了“bit”文件。

解决方法：采用所谓“异步时序逻辑电路的同步化处理”，即：减少“always”的触发条件。

**具体要求：**

（A）用Verilog HDL实现该计数器，将之下载到开发板中进行验证；

（B）用已实现了的“4位二进制计数器”，采用“电路例化”或者“模块化”实现一个初值为2的模8计数器，并下载到开发板中进行验证；

（C）给出设计占用FPGA芯片的资源情况（希望越少越好）。

（2）采用有限状态机(FSM) 实现序列检测器

设计一个简单的状态机，其功能是检测一个串行的5位不可重叠的“10110”二进制序列检测器，当输入值出现“10110”时，给出输出标志。

具体要求如下：

（A）给出不可重叠的“10110”二进制序列的状态转移图；

（B）采用有限状态机“标准模板”来设计“10110”二进制序列检测器，在仿真正确后再下载到开发板中进行验证；

（C）给出设计占用FPGA芯片的资源情况（希望越少越好）。

（所谓有限状态机“标准模板”请参考教材：夏雨闻。Verilog数字系统设计教程第3版。北京:北京航空航天大学出版社,2013.）

（3）3位二进制数值比较器的设计

设计一个3位二进制数值比较器。当A>B时，F1=1，F2=F3=0；当A=B时， F2=1，F1=F3=0；当A<B时，F3=1，F1=F2=0。

具体要求：

（A）用Verilog HDL设计一个一位二进制数值比较器；

（B）用已实现了的一位二进制数值比较器，采用“电路例化”或者“模块化”实现一个3位二进制数值比较器；

（C）将所设计的电路下载到开发板上进行验证；

（D）给出设计占用FPGA芯片的资源情况（希望越少越好）。

## 5、实验方案设计

（1）4位二进制加法/减法计数器的设计方案

（A）模16加1/减1计数器

（a）源程序

module lab4\_1\_divider

(

input A,

input B,

input C,

input D,

input LD, // prefabricated control

input CLR, // set 0

input clk,

input M, //chose mode

output reg Qcc,

// out put value

output reg Qa,

output reg Qb,

output reg Qc,

output reg Qd

);

parameter delay=50\_000\_000;

wire clk\_N;

divider sub\_divider

(

.clk(clk),

.clk\_N(clk\_N),

.delay(delay)

);

lab4\_1 sub\_lab4\_1

(

// input Initial value

A,

B,

C,

D,

LD, // prefabricated control

CLR, // set 0

clk\_N,

M, //chose mode

Qcc,

// out put value

Qa,

Qb,

Qc,

Qd

);

endmodule

module lab4\_1

(

// input Initial value

input A,

input B,

input C,

input D,

input LD, // prefabricated control

input CLR, // set 0

input CP,

input M, //chose mode

output reg Qcc,

// out put value

output reg Qa,

output reg Qb,

output reg Qc,

output reg Qd

);

reg [4:0] out;

reg bd; //boundary

initial

begin

Qcc = 1;

out = 5'b00000;

{bd, Qd, Qc, Qb, Qa} = out;

end

always @ (negedge CLR) // set 0

begin

out = 5'b00000;

{bd, Qd, Qc, Qb, Qa} = out;

end

always @ (negedge LD) // output the input straightly

begin

out = 5'b00000;

out[3:0] = {D, C, B, A};

{bd, Qd, Qc, Qb, Qa} = out;

end

always @ (posedge CP)

begin

if(CLR)

begin

if(LD)

begin

if(M)

begin

out = out + 1;

end

else

begin

out = out - 1;

end

end

else // in the case that the value change during the period

begin

out = 5'b00000;

out[3:0] = {D, C, B, A};

end

end

else

begin

out = 5'b00000;

end

{bd, Qd, Qc, Qb, Qa} = out;

end

always @ (bd)

begin

Qcc = 0;

#5 Qcc = 1;

end

endmodule

//D:for divider clk into clj\_N

module divider(clk,clk\_N,delay);

input clk;

input delay;

output clk\_N;

reg clk\_N;

parameter N = 100\_000\_000; // 1Hz,N=fclk/fclk\_N

reg [31:0] counter;

always @(posedge clk)

begin

if(counter==delay)

begin

clk\_N<=~clk\_N;

counter<=32'd0;

end

else

begin

counter<=counter+32'd1;

end

end

endmodule

（b）仿真程序

module lab4\_1\_sim();

reg A, B, C, D, LD, CLR, CP, M;

wire Qcc, Qa, Qb, Qc, Qd;

initial begin

A = 0;

B = 0;

C = 0;

D = 0;

LD = 1;

CLR = 1;

CP = 0;

M = 1;

end

initial begin // set delay

#25 CLR = 0;

#45 CLR = 1;

#100 M = 0;

#125 LD = 1;

#145 LD = 0;

end

always #10 CP = ~CP;

lab4\_1 lab4\_1\_test(A, B, C, D, LD, CLR, CP, M, Qcc, Qa, Qb, Qc, Qd);

endmodule

（c）引脚约束（绑定）程序

#Bank = 35, Pin name = IO\_L12P\_T1\_MRCC\_35, Sch name = CLK100MHZ

set\_property PACKAGE\_PIN E3 [get\_ports clk]

set\_property IOSTANDARD LVCMOS33 [get\_ports clk]

create\_clock -add -name sys\_clk\_pin -period 10.00 -waveform {0 5} [get\_ports clk]

# SWitches

#Bank = 34, Pin name = IO\_L21P\_T3\_DQS\_34, Sch name = SW0

set\_property PACKAGE\_PIN U9 [get\_ports {A}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {A}]

#Bank = 34, PiXLn name = IO\_25\_34, Sch name = SW1

set\_property PACKAGE\_PIN U8 [get\_ports {B}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {B}]

#Bank = 34, Pin name = IO\_L23P\_T3\_34, Sch name = SW2

set\_property PACKAGE\_PIN R7 [get\_ports {C}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {C}]

#Bank = 34, Pin name = IO\_L19P\_T3\_34, Sch name = SW3

set\_property PACKAGE\_PIN R6 [get\_ports {D}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {D}]

#Bank = 34, Pin name = IO\_L19N\_T3\_VREF\_34, Sch name = SW4

set\_property PACKAGE\_PIN R5 [get\_ports {LD}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {LD}]

#Bank = 34, Pin name = IO\_L20P\_T3\_34, Sch name = SW5

set\_property PACKAGE\_PIN V7 [get\_ports {CLR}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {CLR}]

#Bank = 34, Pin name = IO\_L20N\_T3\_34, Sch name = SW6

set\_property PACKAGE\_PIN V6 [get\_ports {M}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {M}]

# LEDs

#Bank = 34, Pin name = IO\_L24N\_T3\_34, Sch name = LED0

set\_property PACKAGE\_PIN T8 [get\_ports {Qa}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {Qa}]

#Bank = 34, Pin name = IO\_L21N\_T3\_DQS\_34, Sch name = LED1

set\_property PACKAGE\_PIN V9 [get\_ports {Qb}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {Qb}]

#Bank = 34, Pin name = IO\_L24P\_T3\_34, Sch name = LED2

set\_property PACKAGE\_PIN R8 [get\_ports {Qc}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {Qc}]

#Bank = 34, Pin name = IO\_L23N\_T3\_34, Sch name = LED3

set\_property PACKAGE\_PIN T6 [get\_ports {Qd}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {Qd}]

#Bank = 34, Pin name = IO\_L12P\_T1\_MRCC\_34, Sch name = LED4

set\_property PACKAGE\_PIN T5 [get\_ports {Qcc}]

set\_property IOSTANDARD LVCMOS33 [get\_ports {Qcc}]

（B）初值为2的模8计数器，要求：通过例化A【调用（A）实现的计数器】来实现。

（a）源程序

（b）仿真程序

（c）引脚约束（绑定）程序

（2）采用有限状态机(FSM) 实现序列检测器的设计方案

（A）串行5位不可重叠的“10110”二进制序列检测器的状态图

（B）源程序

（C）仿真程序

（D）引脚约束（绑定）程序

（3）3位二进制数值比较器的设计方案

（A）一位二进制数值比较器

（a）源程序

（b）仿真程序

（c）引脚约束（绑定）程序

（B）3位二进制数值比较器，要求：通过例化A【调用（A）实现的一位二进制数值比较器】来实现。

（a）源程序

（b）仿真程序

（c）引脚约束（绑定）程序

## 6、实验结果记录

（1）4位二进制加法/减法计数器的实验结果记录

（A）给出Verilog设计的模16加1/减1计数器的电路图（RTL Analysis下“Schematic”截图）

图2-2为4位二进制加法/减法计数器

图2-2 4位二进制加法/减法计数器

（B）初值为2的模8计数器仿真结果截图（波形含CP，M，Qa，Qb，Qc，Qd，Q模8等）

（要求对仿真进行如下说明：仿真对象、输入参数、输出参数、如果具有周期性的要在仿真图上将其“周期”加以标注和说明）

图2-3为初值为2的模8计数器仿真

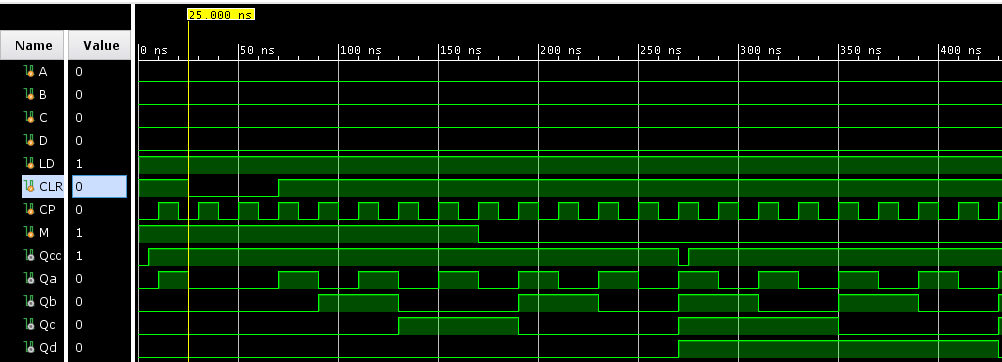


图2-3 初值为2的模8计数器仿真

（C）开发板上的验证情况（主要记录：验证过程和结论）

（2）采用有限状态机(FSM) 实现序列检测器的实验结果记录

（A）给出Verilog设计的时序逻辑电路图（RTL Analysis下“Schematic”截图）

图2-4为。。。

图2-4 10110序列检测器

（B）仿真结果截图（波形含clk，输入值，输出值等）

（要求对仿真进行如下说明：仿真对象、输入参数、输出参数、如果具有周期性的要在仿真图上将其“周期”加以标注和说明）

图2-5为。。。。

图2-5 10110序列检测器仿真

（C）开发板上的验证情况（主要记录：验证过程和结论）

**（3）3位二进制数值比较器的实验结果记录**

（A）给出Verilog设计的3位二进制数值比较器的电路图（RTL Analysis下“Schematic”截图）

图2-6为。。。

图2-6 3位二进制数值比较器

（B）仿真结果截图（含输入值，输出值等）

（要求对仿真进行如下说明：仿真对象、输入参数、输出参数、如果具有周期性的要在仿真图上将其“周期”加以标注和说明）

图2-7为

图2-7 3位二进制数值比较器仿真

（C）开发板上的验证情况（主要记录：验证过程和结论）

## 7、实验后的思考

1．请通过一个具体的实例来说明你是如何用仿真来验证你电路设计的正确性。

2．意见和建议