

**课 程 实 验 报 告**

**课程名称： 传感器原理及工程应用**

**专业班级： 物联网1601班**

**学 号： U201614898**

**姓 名： 潘翔**

**指导教师： 宋恩民**

**报告日期： 2019年 3月**

**计算机科学与技术学院**

目 录

[1 CPU设计实验 1](#_Toc1940475269)

[1.1 设计要求 1](#_Toc1090322147)

[1.2 方案设计 5](#_Toc976686342)

# CPU设计实验

## 设计要求

### 单周期MIPS CPU（硬布线）

1. 实验目的：
   1. 能掌握硬布线控制器设计的基本原理
   2. 能利用相关原理在Logisim平台中实现MIPS单周期CPU
2. 主要任务：
   1. 绘制MIPS CPU数据通路
   2. 实现单周期硬布线控制器
   3. 测试联调

### 多周期MIPS CPU（微程序）

1. 实验目的：
   1. 掌握多周期MIPS CPU的设计原理
   2. 掌握微程序控制器设计的基本原理
   3. 利用微程序控制器的设计实现多周期MIPS处理器
2. 主要任务：
   1. 绘制多周期MIPS CPU数据通路
   2. 实现微程序控制器
   3. 测试联调

### 多周期MIPS CPU（硬布线）

1. 实验目的：
   1. 掌握多周期MIPS CPU的设计原理
   2. 掌握硬布线控制器设计的基本原理
   3. 利用硬布线控制器的设计实现多周期MIPS处理器
2. 主要任务：
   1. 绘制多周期MIPS CPU数据通路
   2. 实现多周期硬布线控制器
   3. 测试联调

### 指令要求

利用logisim平台中现有运算部件构建一个32位运算器，可支持算数加、减、乘、除，逻辑与、或、非、异或运算、逻辑左移、逻辑右移，算术右移运算，支持常用程序状态标志（有符号溢出OF、无符号溢出CF，结果相等Equal），运算器功能以及输入输出引脚见下表，在主电路中详细测试自己封装的运算器。

表1.1 片引脚与功能描述

|  |  |  |  |
| --- | --- | --- | --- |
| 引脚 | 输入/输出 | 位宽 | 功能描述 |
| X | 输入 | 32 | 操作数X |
| Y | 输入 | 32 | 操作数Y |
| ALU\_OP | 输入 | 4 | 运算器功能码，具体功能见下表 |
| Result | 输出 | 32 | ALU运算结果 |
| Result2 | 输出 | 32 | ALU结果第二部分，用于乘法指令结果高位或除法指令的余数位，其他操作为零 |
| OF | 输出 | 1 | 有符号加减溢出标记，其他操作为零 |
| CF | 输出 | 1 | 无符号加减溢出标记，其他操作为零 |
| Equal | 输出 | 1 | Equal=(x==y)?1:0, 对所有操作有效 |

表1.2 运算符功能

|  |  |  |
| --- | --- | --- |
| ALU OP | 十进制 | 运算功能 |
| 0000 | 0 | Result = X << Y 逻辑左移 （Y取低五位） Result2=0 |
| 0001 | 1 | Result = X >>>Y 逻辑右移 （Y取低五位） Result2=0 |
| 0010 | 2 | Result = X >> Y 算术右移 （Y取低五位） Result2=0 |
| 0011 | 3 | Result = (X \* Y)[31:0]; Result2 = (X \* Y)[63:32] 有符号 |
| 0100 | 4 | Result = X/Y; Result2 = X%Y 无符号 |
| 0101 | 5 | Result = X + Y Result2=0 (Set OF/CF) |
| 0110 | 6 | Result = X - Y Result2=0 (Set OF/CF) |
| 0111 | 7 | Result = X & Y Result2=0 |
| 1000 | 8 | Result = X | Y Result2=0 |
| 1001 | 9 | Result = X⊕Y Result2=0 |
| 1010 | 10 | Result = ~(X |Y) Result2=0 |
| 1011 | 11 | Result = (X < Y) ? 1 : 0 Signed Result2=0 |
| 1100 | 12 | Result = (X < Y) ? 1 : 0 Unsigned Result2=0 |
| 1101 | 13 | Result = Result2=0 |
| 1110 | 14 | Result = Result2=0 |
| 1111 | 15 | Result = Result2=0 |

表1.3 MIPS指令功能描述

|  |  |
| --- | --- |
| MIPS指令 | RTL功能描述 |
| add $rd,$rs,$rt | R[$rd]←R[$rs]+R[$rt] 溢出时产生异常，且不修改R[$rd] |
| slt $rd,$rs,$rt | R[$rd]←R[$rs]<R[$rt] 小于置1，有符号比较 |
| addi $rt,$rs,imm | R[$rt]←R[$rs]+SignExt16b(imm) 溢出产生异常 |
| lw $rt,imm($rs) | R[$rt]←Mem4B(R[$rs]+SignExt16b(imm)) |
| sw $rt,imm($rs) | Mem4B(R[$rs]+SignExt16b(imm))←R[$rt] |
| beq $rs,$rt,imm | if(R[$rs] = R[$rt]) PC ← PC + SignExt18b({imm, 00}) |
| bne $rs,$rt,imm | if(R[$rs] != R[$rt]) PC ← PC + SignExt18b({imm, 00}) |
| syscall | 系统调用，这里用于停机 |

## 方案设计

### 单周期硬布线CPU

1. 指令实现

系统整体架构图如 图1.1 单周期硬布线总体设计图 所示

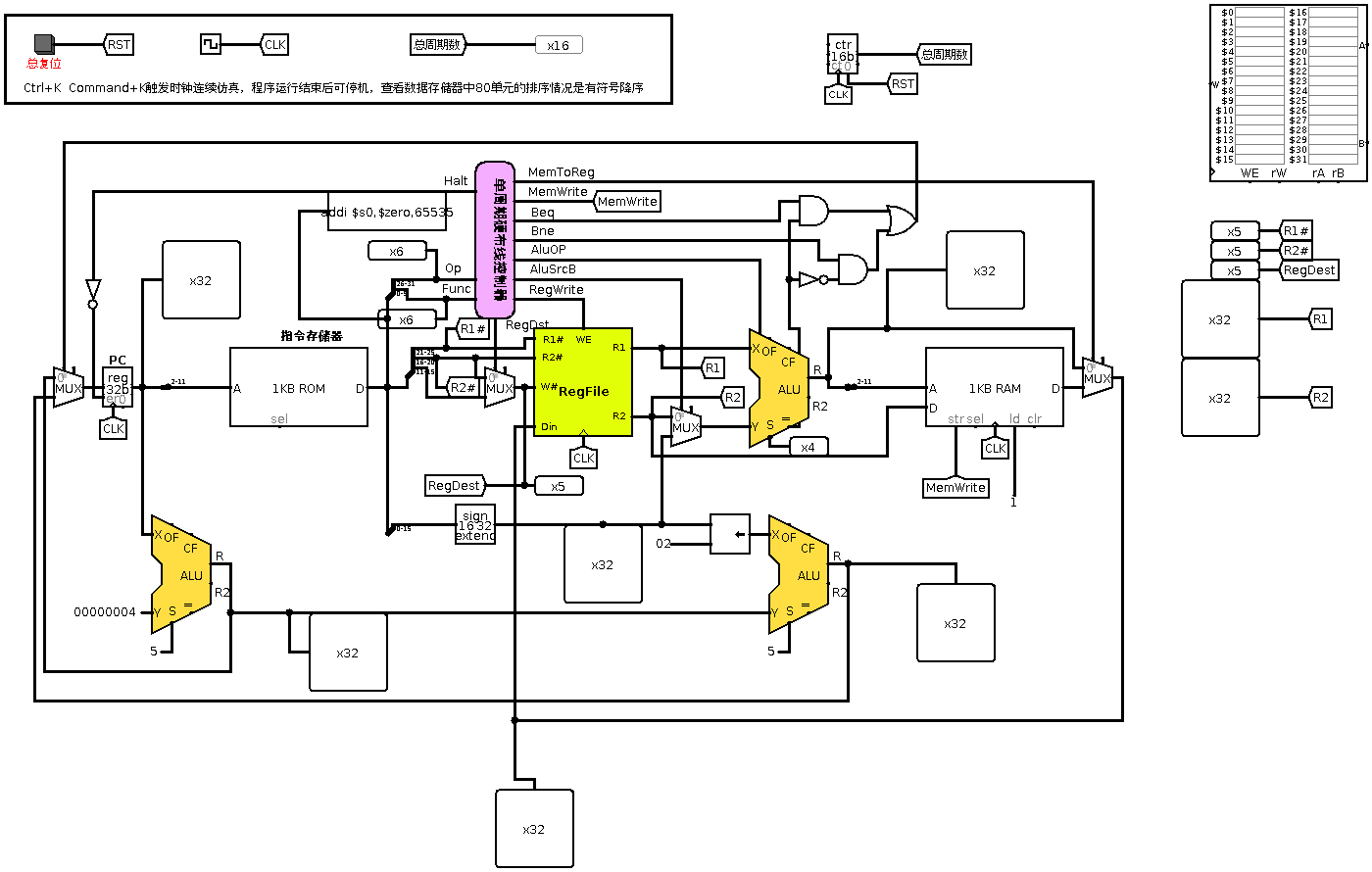


图1.1 单周期硬布线总体设计图