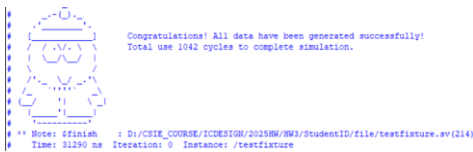
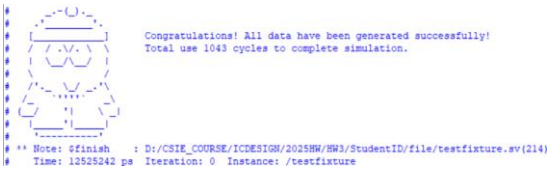


2025 Digital IC Design Homework 3

NAME	傅信豪																														
Student ID	NE6121084																														
Simulation Result																															
Functional simulation	Pass	Pre-Layout simulation	Pass																												
<p style="text-align: center; color: #808080;">(your functional sim result)</p> 		<p style="text-align: center;">Please specify your clock width: <u>12</u> (ns)</p> <p style="text-align: center; color: #808080;">(your pre-sim result)</p> 																													
Synthesis Result																															
Total logic elements	4006																														
Total memory bits	0																														
Total registers	1300																														
Embedded multiplier 9-bit elements	84																														
<p style="color: #808080;">(your flow summary)</p> <table border="1" style="width: 100%; border-collapse: collapse; background-color: #f0f0f0;"> <tr> <td style="width: 50%;">Flow Status</td> <td>Successful - Mon Apr 28 23:1</td> </tr> <tr> <td>Quartus Prime Version</td> <td>22.1std.0 Build 915 10/25/20</td> </tr> <tr> <td>Revision Name</td> <td>FFT</td> </tr> <tr> <td>Top-level Entity Name</td> <td>FFT</td> </tr> <tr> <td>Family</td> <td>Cyclone IV E</td> </tr> <tr> <td>Device</td> <td>EP4CE55F23A7</td> </tr> <tr> <td>Timing Models</td> <td>Final</td> </tr> <tr> <td>Total logic elements</td> <td>4,006 / 55,856 (7 %)</td> </tr> <tr> <td>Total registers</td> <td>1300</td> </tr> <tr> <td>Total pins</td> <td>277 / 325 (85 %)</td> </tr> <tr> <td>Total virtual pins</td> <td>0</td> </tr> <tr> <td>Total memory bits</td> <td>0 / 2,396,160 (0 %)</td> </tr> <tr> <td>Embedded Multiplier 9-bit elements</td> <td>84 / 308 (27 %)</td> </tr> <tr> <td>Total PLLs</td> <td>0 / 4 (0 %)</td> </tr> </table>				Flow Status	Successful - Mon Apr 28 23:1	Quartus Prime Version	22.1std.0 Build 915 10/25/20	Revision Name	FFT	Top-level Entity Name	FFT	Family	Cyclone IV E	Device	EP4CE55F23A7	Timing Models	Final	Total logic elements	4,006 / 55,856 (7 %)	Total registers	1300	Total pins	277 / 325 (85 %)	Total virtual pins	0	Total memory bits	0 / 2,396,160 (0 %)	Embedded Multiplier 9-bit elements	84 / 308 (27 %)	Total PLLs	0 / 4 (0 %)
Flow Status	Successful - Mon Apr 28 23:1																														
Quartus Prime Version	22.1std.0 Build 915 10/25/20																														
Revision Name	FFT																														
Top-level Entity Name	FFT																														
Family	Cyclone IV E																														
Device	EP4CE55F23A7																														
Timing Models	Final																														
Total logic elements	4,006 / 55,856 (7 %)																														
Total registers	1300																														
Total pins	277 / 325 (85 %)																														
Total virtual pins	0																														
Total memory bits	0 / 2,396,160 (0 %)																														
Embedded Multiplier 9-bit elements	84 / 308 (27 %)																														
Total PLLs	0 / 4 (0 %)																														

Description of your design

一、整體架構劃分

1. 接收端：16 筆資料緩衝

- 持續監測 fir_valid，把每一筆 16-bit 的輸入資料依序寫入一個深度 32 的暫存陣列。
- 當每 16 筆到來時，透過一個單週期的「data pass」告訴狀態機開始做 FFT。同時把 buffer_read 設為當下剛寫滿的 buffer_index

2. 處理與輸出端：FFT + 序列化輸出

- FFT 計算：用一個純組合邏輯子模組，一次性把這 16 筆資料做完 16 點 FFT，產生 16 組實部／虛部結果。
- 序列化輸出：利用 3 個狀態，把這 16 組結果分三個時鐘週期送出：
 1. 第一週期 拉高 fft_valid，一路送 16 個「實部」。
 2. 第二週期 仍維持 fft_valid，一路送 16 個「虛部」。
 3. 第三週期 拉低 fft_valid，結束這一次的輸出。

二、狀態機

1. IDLE：等到 16 筆資料都到齊才跳出，並把它們丟給 FFT 子模組。
2. 載入資料：花費一個週期將 data_mem 放在 process_data，避免讀取跟寫入發生衝突
3. 處理 FFT：開始利用組合電路計算 FFT，這裡不切分 pipeline，因為考量到一定要等 16 筆輸出才能執行次輪計算，沒有必要使用多階暫存，只須給其足夠的 cycle 次數即可(跟據 quartus 合成後 report timing 分析 critical path 約 28ns)
4. 輸出實部 → 輸出虛部 這兩個狀態，把 fft_valid 拉起兩個周期進行結果輸出。
5. DONE：在完成輸出之後，若外部不再送新資料就結束，這是因為 fir 以 16 筆為傳輸單位，如果提早結束代表正在處理的資料組必定就是最後一組，就切到這個 DONE，並拉高 done，整個任務結束。

6. 這裡考慮到要優化 Cycle Time 給組合電路中 8 個 CycleTime 去獲得正確答案，雖然單筆資料時間拉長但可以把 cycle time 下降到 16ns 仍維持正確輸出