2025 Digital IC Design Homework 3

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| NAME | 傅信豪 | | | | |
| Student ID | NE6121084 | | | | |
| **Simulation Result** | | | | | |
| Functional simulation | | Pass | | Pre-Layout simulation | Pass |
| (your functional sim result) | | | | Please specify your clock width: 12 (ns)  (your pre-sim result) | |
| **Synthesis Result** | | | | | |
| Total logic elements | | | 4006 | | |
| Total memory bits | | | 0 | | |
| Total registers | | | 1300 | | |
| Embedded multiplier 9-bit elements | | | 84 | | |
| (your flow summary) | | | | | |
| **Description of your design** | | | | | |
| **一、整體架構劃分** 1. 接收端：16 筆資料緩衝  * 持續監測 fir\_valid，把每一筆 16‑bit 的輸入資料依序寫入一個深度 32 的暫存陣列。 * 當每 16 筆到來時，透過一個單週期的「data pass」告訴狀態機開始做 FFT 。同時把buffer\_read設為當下剛寫滿的buffer\_index  2. 處理與輸出端： FFT + 序列化輸出  * **FFT 計算**：用一個純組合邏輯子模組，一次性把這 16 筆資料做完 16 點 Radix‑2 FFT，立刻產生 16 組實部／虛部結果。 * **序列化輸出**：再用一個簡單的四段式狀態機，把這 16 組結果分三個時鐘週期送出去：   1. **第一週期** 拉高 fft\_valid，一路送 16 個「實部」。   2. **第二週期** 仍維持 fft\_valid，一路送 16 個「虛部」。   3. **第三週期** 拉低 fft\_valid，結束這一次的輸出   **二、狀態機**   1. **IDLE**：等到 16 筆資料都到齊才跳出，並把它們丟給 FFT 子模組。 2. **輸出實部** → **輸出虛部** 這兩個狀態，把fft\_valid拉起兩個周期進行結果輸出。 3. **DONE**：在完成輸出之後，若外部不再送新資料就結束，這是因為fir以16筆為傳輸單位，如果提早結束代表正在處理的資料組必定就是最後一組，就切到這個DONE，並拉高 done，整個任務結束。 4. **這裡考慮到要優化Cycle Time 給組合電路中8個CycleTime去獲得正確答案，雖然單筆資料時間拉長但可以把cycle time 下降到16ns仍維持正確輸出** | | | | | |