

Xilinx Zynq FPGA, TI DSP,  
MCU 기반의  
프로그래밍 및 회로 설계 전문가  
과정

#76

학생 : 김시윤

강사 : Innova Lee(이 상훈)

Verilog 익히기.

저번에 Verilog 공부하면서 짠 D-FF 을 보드에 올려보기로 했다.

```
module D_FF (SN, RN, D, Q, QN, CLK);
    input SN, RN, D, CLK;
    output Q, QN;

    reg Qint;

    always @(negedge CLK or SN or RN)
    begin
        if(~RN)
            #8 Qint <= 0;
        else if(~SN)
            #8 Qint <= 1;
        else
            #10 Qint <= D;
    end

    assign Q = Qint;
    assign QN = ~Qint;

endmodule
```

위처럼 짜서 비바도에서 돌려본 결과 에러가 나왔다.

Always@(negedge CLK or SN or RN) 이 에러가 나왔다.

찾아본 결과 always 문 안에 감지변수로 선언하면 모두다 감지 변수로 선언해야 에러가 나오지 않았다.  
이유는 아직 잘 모르겠다.

```
module D_FF_S(
    input wire CLK, input wire D, input wire SN, input wire RN, output reg Q, output reg
    QN );
```

```
    always@( negedge CLK or negedge SN or negedge RN)
```

```
    begin
```

```
        if(~RN) begin
```

```
            Q <= 1'b0;
```

```
            QN <=1'b1;
```

```
        end
```

```
        else if(~SN) begin
```

```
            Q <= 1'b1;
```

```
            QN <=1'b0;
```

```

        end
    else begin
        Q <= D;
        QN <= ~D;
    end

end

endmodule

```

Vivado 로 다시 소스코드를 짜 성공하였다.

여기서 Xdc 설정이 중요하다.

```

set_property IOSTANDARD LVCMOS33 [get_ports CLK]
set_property IOSTANDARD LVCMOS33 [get_ports D]
set_property IOSTANDARD LVCMOS33 [get_ports RN]
set_property IOSTANDARD LVCMOS33 [get_ports SN]
set_property IOSTANDARD LVCMOS33 [get_ports Q]
set_property IOSTANDARD LVCMOS33 [get_ports QN]
set_property PACKAGE_PIN L16 [get_ports CLK]
set_property PACKAGE_PIN T16 [get_ports D]
set_property PACKAGE_PIN W13 [get_ports RN]
set_property PACKAGE_PIN P15 [get_ports SN]
set_property PACKAGE_PIN D18 [get_ports Q]
set_property PACKAGE_PIN G14 [get_ports QN]
set_property CLOCK_DEDICATED_ROUTE FALSE [get_nets RN_IBUF]
set_property CLOCK_DEDICATED_ROUTE FALSE [get_nets SN_IBUF]

```

내일은 카운터를 로직으로 설계하여 주파수를 분주해보고  
모델링으로 설계하여 분주 해볼 예정이다.

성공은 장담하지 못한다..