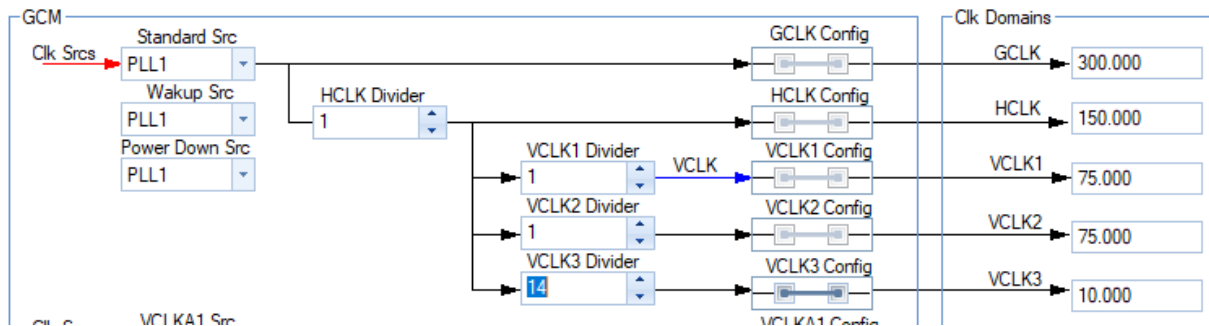


Xilinx Zynq FPGA, TI DSP, MCU 기반의 프로그래밍 및 회로 설계 전문가 과정

강사 – Innova Lee(이상훈)
gcccompil3r@gmail.com
학생 – 장성환
redmk1025@gmail.com

기존 PPL에서 들어온 300MHz를 기준으로 하여



HCLK 용으로 2분주 하여 150Mhz VCLK3으로 사용하기 위하여 15분주 하여 10Mhz를 만들었다.

```
void etpwmInit(void)
{
    /* USER CODE BEGIN (1) */
    /* USER CODE END */

    /** @b initialize @b ETPWM1 */

    /** - Sets high speed time-base clock prescale bits */
    etpwmREG1->TBCTL = (uint16)5U << 7U;

    /** - Sets time-base clock prescale bits */
    etpwmREG1->TBCTL |= (uint16)((uint16)0U << 10U);

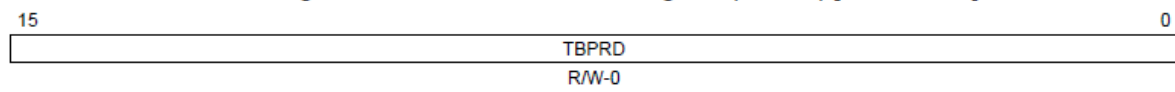
    /** - Sets time period or frequency for ETPWM block both PWMA and PWMB*/
    etpwmREG1->TBPRD = 19999U;
}
```

코드에 있는 TBPRD의 값은 10Mhz 기준으로 19999로 설정 했다가 19999로 바꾸었는데,

16비트는 $2^{16}-1 = 65535$ 의 값까지 표현 가능하기 때문에 그 이상의 값을 넣으면 오버 플로우가 발생하여 숫자가 잘리게 된다. (이 때문에 이상현상이 발생)

35.4.1.4 Time-Base Period Register (TBPRD)

Figure 35-66. Time-Base Period Register (TBPRD) [offset = 08h]

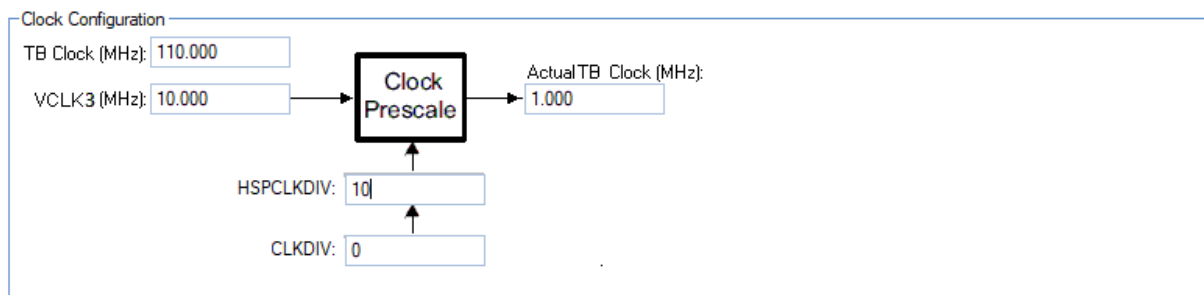


LEGEND: R/W = Read/Write; -n = value after reset

Table 35-26. Time-Base Period Register (TBPRD) Field Descriptions

Bits	Name	Description
15-0	TBPRD	<p>These bits determine the period of the time-base counter. This sets the PWM frequency.</p> <p>Shadowing of this register is enabled and disabled by the TBCTL[PRDLD] bit. By default this register is shadowed.</p> <ul style="list-style-type: none"> If TBCTL[PRDLD] = 0, then the shadow is enabled and any write or read will automatically go to the shadow register. In this case, the active register will be loaded from the shadow register when the time-base counter equals 0. If TBCTL[PRDLD] = 1, then the shadow is disabled and any write or read will go directly to the active register, that is the register actively controlling the hardware. The active and shadow registers share the same memory map address.

위와 같이 0~ 15 총 16 비트임을 확인 할 수 있다.



VCLK3 를 HSPCLKDIV를 사용하여 한번 더 분주를 시킨 결과

Actual TB clock이 1MHz로 되어 TBPRD에 적절한 값을 채워서 50hz를 만들 수 있다.