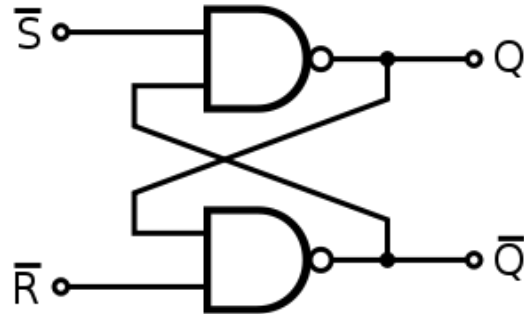
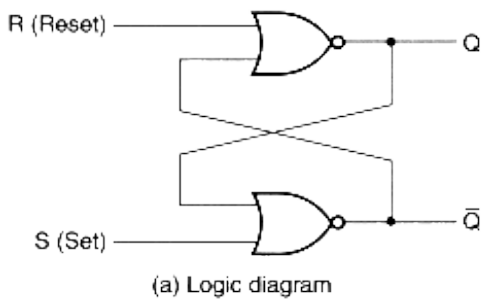


SR latch

SR latch 는 NAND Gate 와 NOR Gate 두가지 Gate로 구성할수 있으며 둘의 동작은 동일하다.
Gate로 구성한 논리도(회로도) 는 그림과 같다.



어떤 입력이 들어왔을때의 출력 결과를 나타낸 표를 진리표라 하며 밑에 표와 같이 표현한다.
SR latch 는 S와 R의 두개의 입력이 존재하므로 00 ~ 11 까지의 입력이 들어왔을때의 Q를 본다.
어떤 논리회로든 출력은 Q를 사용한다.

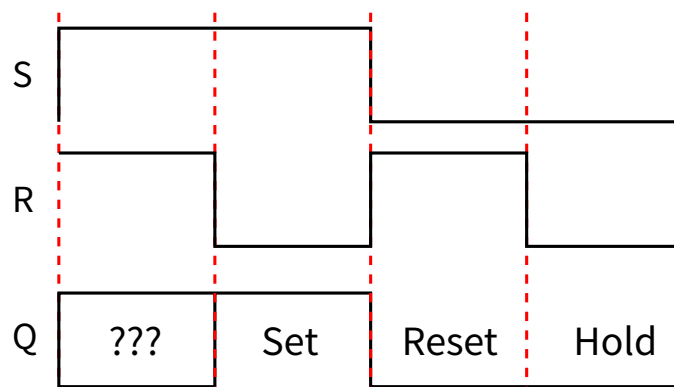
R	S	Q
0	0	이전값 유지
0	1	1(set)
1	0	0(reset)
1	1	X

0,0 일때 이전 출력을 그대로 유지한다.

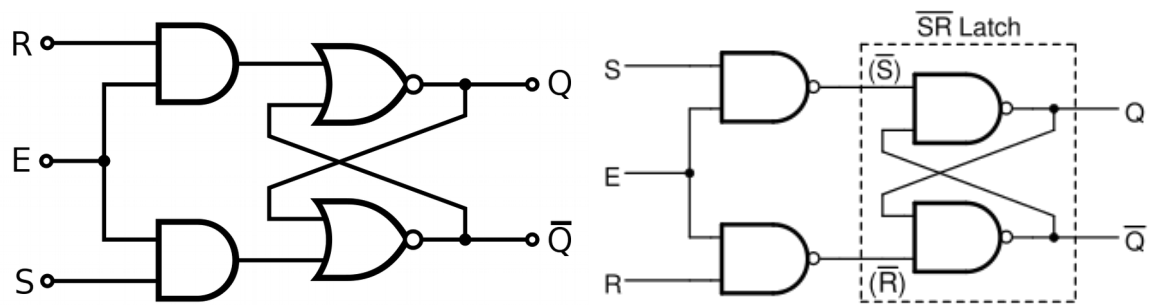
0,1 일때 S(set)이 1이므로 1로 셋팅된다.

1,0 R(Reset)이 1이므로 0으로 셋팅된다.

1,1 은 부정이므로 사용하지 않는다. 나중에 설명하겠지만
이 1,1 부정인 쓸데없는 결과가 있기 때문에 이것을 개선한게 JK Flip Flop이다.



Gated SR latch

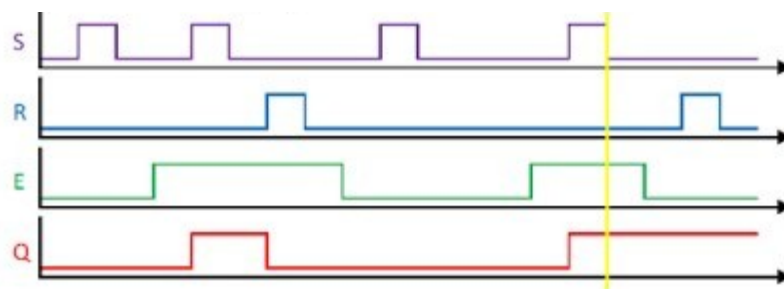


E	S	R	Q	Q_{next}	Q_{next}'
0	x	x	0	0	1
0	x	x	1	1	0
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	x	0	1
1	1	0	x	1	0
1	1	1	x	1	1

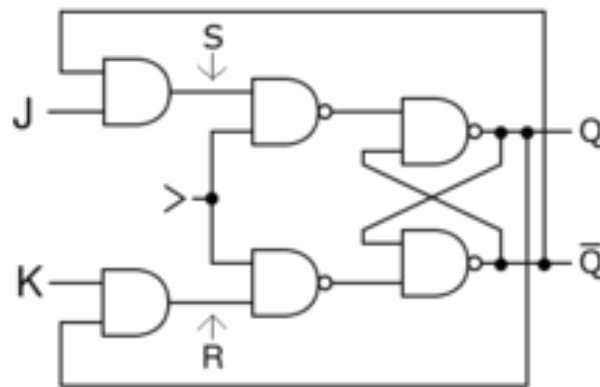
(Q = 이전데이터 , Q_{next} = 현재데이터 라고 가정한다.)

Gated SR latch 는 위와 같다. 기존에 우리가 알고있던 SR latch 에 NAND or AND Gate를 추가해줌으로써 EN신호를 받을수 있는 단자를 추가하였다.

(* 위 진리표에서 X 는 0 또는 1 둘중 아무거나 와도 같은 동작을 한다는 뜻이다.)



JK Flip Flop



위의 논리도와 같이 생긴 녀석이 JK Flip Flop 이다.

JK Flip Flop 은 Gated SR latch 에서 AND Gate를 추가하여 1,1의 부정을 개선시켜준 녀석이다.

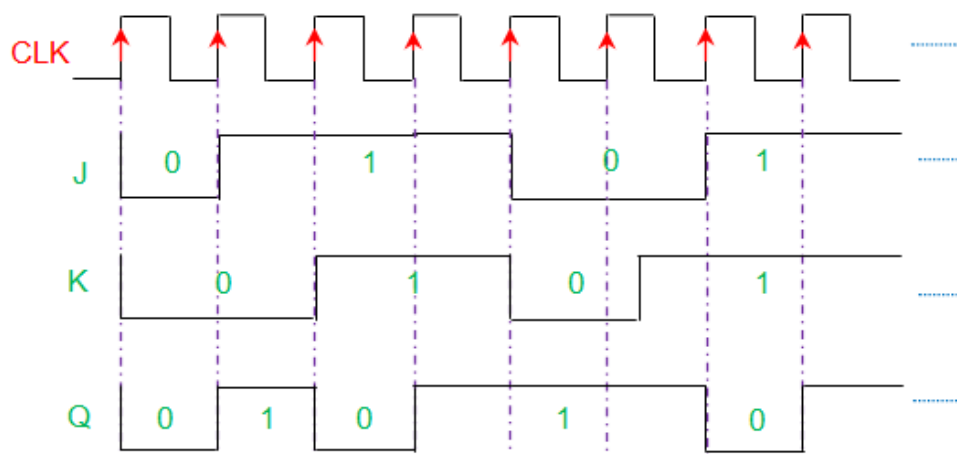
여기서 Flip Flop 이란 용어가 처음 등장하는데, Flip Flop은 (주파수)일정한 펄스(구형파)에 의해 동작한다.

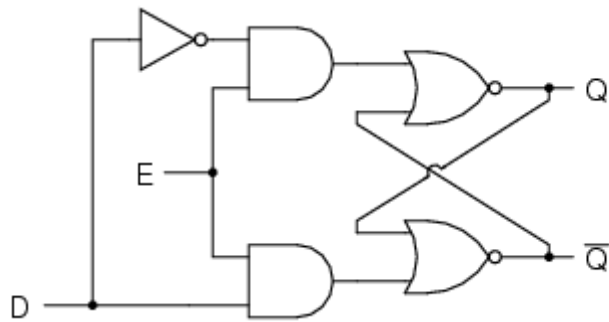
위의 논리도에서의 Clock 는 ' > ' 이다.

JK flip flop operation

J	K	Q(t)	Q (t+1)
0	0		이전 값 유지
0	1	0	1
1	0	1	0
1	1		Toggle(반전)

JK Flip Flop의 진리표는 이와 같다. 여기서 $Q(t)$ = 이전 상태 , $Q(t+1)$ 은 현재 상태라고 가정한다.





E	D	Q
0	0	latch
0	1	latch
1	0	0
1	1	1

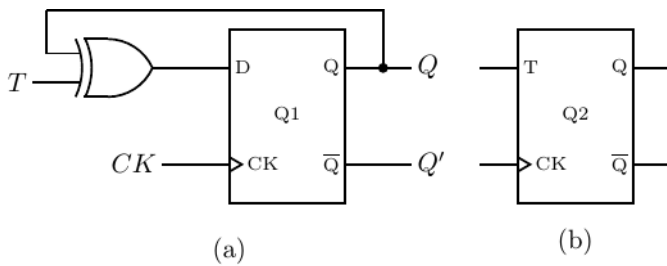
EN(E) 가 동작을 결정할때는 Gated D latch 라고 부른다. EN 대신 CP 가 들어오면 D flip flop이라 부른다. 이것도 엄격하게 말하면 플립플롭이 아닌 래치라고 나는 배웠다.

편의상 대부분 사람들이 사용하는 D플립플롭이라고 부르도록 하겠다.

D플립플롭은 Delay 플립플롭 Data플립플롭 이라고 부른다.

그 이유는 D 플립플롭은 1이 입력되면 1을 출력하고 0을 입력하면 0을 출력하기 때문에 입력을 지연시킨다 해서 딜레이라는 별명이 붙었고, 데이터를 저장한다 해서 데이터라는 별명이 붙었다.

이와 반대로 데이터를 반전하는 플립플롭도 존재한다
그게 바로 T Flip Flop인데 이름에서도 알 수 있듯이
Toggle Flip Flop이다.



D플립플롭 입력과 출력을 XOR시키면 T Flip Flop이 된다.

그 이외에 T Flip Flop을 만드는 방법은 여러가지 있지만 생략하기로 한다.