



**Xilinx Zynq FPGA, TI DSP,
MCU 기반의
프로그래밍 전문가 과정**

날 짜 : 2018 . 5. 30

강사 – Innova Lee(이상훈)
gcccompil3r@gmail.com

학생 – 정한별
hanbulkr@gmail.com

VIVADO와 SDK로 VHDL 하기.

1. create new project 하기. 경로는 /home/계정명/vivado_workspace

- 1) RTL project
- 2) chip 선택 → xcz010clg400-1
- 3) 다음창에 zynq-7000 이 있어야 함.

* 다시 open 할 때는 xpr 확장자를 열면된다.

2. project mamager

- 1) add sources 를 누른다.
- 2) add or create design sources
- 3) create source file → type: VHDL 선택, 이름: ander (* 여기서 확장자 vhd)
- 4) finish 후 변경하지 않고 ok.

-생성된 프로젝트를 더블 클릭해서 실행한다.

3. programing

FPGA는 각종 트랜지스터를 논리적으로 프로그래밍 한 것!

→ 디지털 칩도 결국 내부는 아날로그 이다. 복잡해지면 사람이 못함.
그러니 논리를 만들어서 단순화 시킬 것.

VHDL을 프로그램을 만드는 곳은 RTL(register transfer language) 를 이용하여 부품 배치를 암호화 하는 기술을 써서 돈을 벌고 있다고 한다.

1)예제 소스. (and gate 만들기)

```
port(  
    a,b : in std_logic;  
    result : out std_logic  
);  
  
result <= a and b;
```

2) 진리표

a	b	result
0	0	0
0	1	0
1	0	0
1	1	1

4. 왼쪽에 open Elaborated Design 을 누르면 schematic 이 형성 된다.

(zybo pdf 파일 : https://reference.digilentinc.com/_media/zybo/zybo_rm.pdf)

5. schematic 에서 I/O port를 누르면 밑에 PIN 설정이 가능해 진다.

(위 4번에서 받은 pdf 파일의 22page에 zybo 내부 led 관련한 pin map을 볼수 있다.)

-package PIN을 설정해 준다.

- 1) 입력 M14, G15
- 2) 출력 P15
- 3) I/O STD → LVCMOS33* 로 선택

6. 왼쪽 메뉴에서 Run synthesis 한다. (계산시에 겹치거나 필요없는 회로를 최적화 한다.)

- 1) 이름 정해주고 default 값으로 ok → run 하면 된다.
- 2) 오른쪽 위에 로딩중 표시가 끝날 때 까지 기다린다.

7. sources → containts 에서 방금 만든 xdc 확장자를 눌러보면 pinmap을 확인 가능 하다.

8. 오늘쪽 위의 Default Layout을 I/O planning으로 바꾸어 보고 pinmap을 확인한다.

9. 왼쪽 메뉴바에서 Generate Bitstream을 클릭하여 실행한다. → xdc에 만든 프로그램 디버깅 용 이다.

10. 실행 완료되면 뜨는 창에서 open Hardware Manager 을 체크하고 기다린다.

11. 하드웨어 연결 하나는 말이 뜨면 ok를 누른다.

- 1) Auto target 은 zybo를 컴퓨터에 꽂으면 뜬다.
- 2) Auto connect를 누른다.

12. program device를 누르면 program이 구어진다.