

TI DSP,MCU 및 Xilinx Zynq FPGA

프로그래밍 전문가 과정

이름	문지희
학생 이메일	mjh8127@naver.com
날짜	2018/5/24
수업일수	63 일차
담당강사	Innova Lee(이상훈)
강사 이메일	gcccompil3r@gmail.com

목차

vivado설치

and게이트 만들기

바로가기 아이콘 생성

Verilog를 이용한 LED 제어

vivado설치

1) <https://www.xilinx.com/support/download/index.html/content/xilinx/en/downloadNav/vivado-design-tools/archive.html>

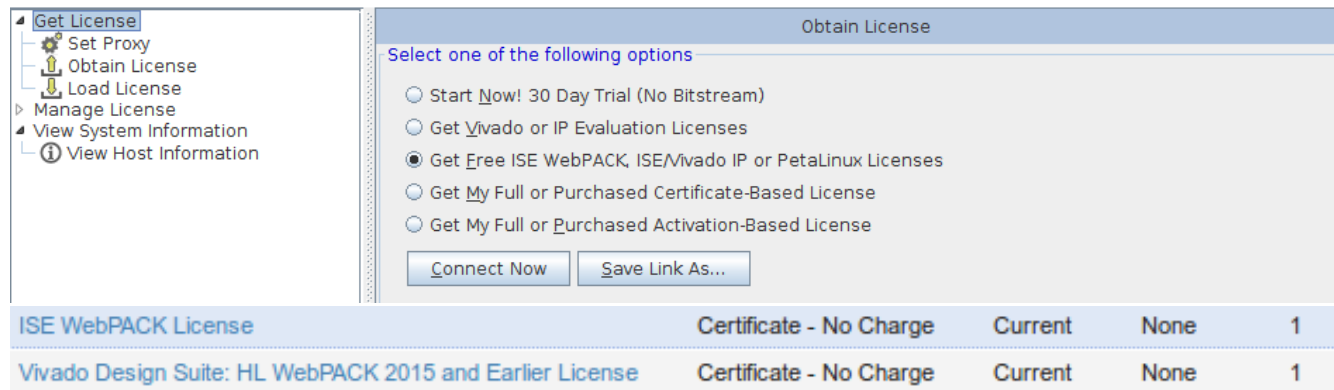
에서 2017.1 의 All OS Installer Single File Download를 다운로드 한 후 home디렉터리에서 xilinx_vivado폴더를 만든 후 그 내부에 압축파일 해제

2) `sudo dpkg-reconfigure dash`

명령어를 친 뒤 No 선택

3) `sudo ./xsetup`

4) 라이선스 설정



connect Now로 홈페이지에서 2개를 선택 한 뒤 메일로 라이선스를 다운받음.

and게이트 만들기

VHDL Language사용

```
-----  
-- Company:  
-- Engineer:  
--  
-- Create Date: 05/29/2018 10:47:21 AM  
-- Design Name:  
-- Module Name: and_gate - Behavioral  
-- Project Name:  
-- Target Devices:  
-- Tool Versions:  
-- Description:  
--  
-- Dependencies:  
--  
-- Revision:  
-- Revision 0.01 - File Created  
-- Additional Comments:  
--  
-----  
  
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;  
  
-- Uncomment the following library declaration if using  
-- arithmetic functions with Signed or Unsigned values  
--use IEEE.NUMERIC_STD.ALL;
```

```

-- Uncomment the following library declaration if instantiating
-- any Xilinx leaf cells in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity and_gate is
--  Port ( );
  port(
    a,b : in std_logic;
    result : out std_logic

  );
end and_gate;

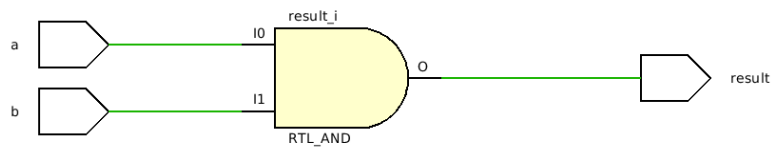
architecture Behavioral of and_gate is

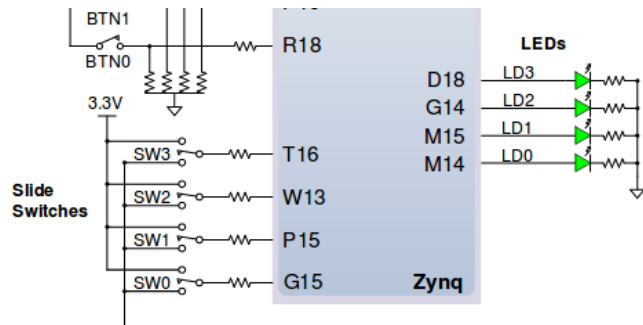
begin
  res1 <= a and b;
  res2 <= c and d;

end Behavioral;

```

소스코드 작성 후 schematic을 보면 아래 그림과 같이 나옴.





데이터 시트를 보며 port설정

Name	Directi...	Interf...	Neg Diff ...	Package...	Fi...	B...	I/O Std	Vcco	Vref	Drive Stre...	Slew Type	Pull Type	Off-Chip Termina...	IN_T...	Partition Pin Loca...
result	OUT			M14 ▾	✓	35	LVC MOS33* ▾	3.300		12 ▾	SLOW ▾	NONE ▾	FP_VTT_50 ▾		N/A
a	IN			P15 ▾	✓	34	LVC MOS33* ▾	3.300				NONE ▾	NONE ▾		N/A
b	IN			G15 ▾	✓	35	LVC MOS33* ▾	3.300				NONE ▾	NONE ▾		N/A

바로가기 아이콘 생성

sdk바탕화면 아이콘 만들기

vi sdk.Desktop

```
#!/usr/bin/env xdg-open

[Desktop Entry]

Name=Xilinx SDK

Type=Application

Exec=/opt/Xilinx/SDK/2017.1/bin/xsdk

Terminal=false

Icon=/opt/Xilinx/SDK/2017.1/data/sdk/images/sdk_logo.ico

Comment=Xilinx SDK Program

NoDisplay=false

Categories=Development;IDE;

Name[en]=SDK
```

vivado 바탕화면 아이콘 만들기

vi vivado.Desktop

```
#!/usr/bin/env xdg-open

[Desktop Entry]

Name=Xilinx Vivado

Type=Application

Exec=/opt/Xilinx/Vivado/2017.1/bin/vivado

Terminal=false

Icon=/opt/Xilinx/Vivado/2017.1/common/icons/CS1056_Vivado_HSL_Icon_64x64.ico

Comment=Xilinx Vivado Program

NoDisplay=false

Categories=Development;IDE;

Name[en]=Vivado
```


Verilog를 이용한 LED 제어

Verilog Language사용

[Vivado]

새 프로젝트 생성

Add Sources에서 Target language와 Simulator language를 verilog로 설정

Default Part에서 Boards를 Select, Display Name을 zybo로 선택

Flow Navigator – IP INTEGRATOR – Create Block Design

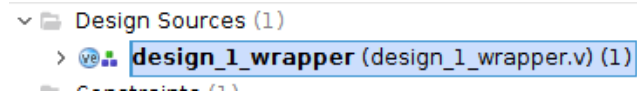
‘+’를 누른 뒤 zynq를 검색 한 후 블록 추가. 초록색 창의 Run Block Automation을 클릭한 뒤 OK를 누르면 블록의 크기가 커지며 자동으로 설정.

‘+’를 누른 뒤 gpio를 검색 뒤 블록을 추가한다. 초록색 창의 Run Connection Automation을 클릭한 뒤 GPIO만 클릭하고 Select Board Part Interface를 Custom으로 설정한 뒤 OK.

gpio 블록을 더블클릭 한 후 GPIO Width를 1로 조정 후 OK

초록창의 Run Connection Automation을 클릭한 뒤 S_AXI를 클릭하고 OK.

Sources-Design Soureces를 우클릭해서 Create HDL Wrapper를 누른다.



Sources – Constraints – constrs_1 – zybo_lab1.xdc 에 작성

```
set_property -dict { PACKAGE_PIN V15 IOSTANDARD LVCMOS33 } [get_ports { gpio_rtl_tri_io }];
```

File – Export – Export HW 해서 include Bitstream를 체크한 뒤 OK.

[SDK]

```
#include <stdio.h>
#include <xgpio.h>
#include "xparameters.h"
#include "sleep.h"

int main(void)
{
    XGpio out;

    XGpio_Initialize(&in, XPAR_AXI_GPIO_0_DEVICE_ID);
    XGpio_Initialize(&out, XPAR_AXI_GPIO_1_DEVICE_ID);

    XGpio_SetDataDirection(&in, 1, 0xF);
    XGpio_SetDataDirection(&out, 1, 0x0);
```

```
while(1)
{
    Xil_out32(0x41210000, 0xFFFFFFFF);
    sleep(1);
    Xil_out32(0x41210000, 0x0);
    sleep(1);

}
return 0;
}
```

~결과

led가 1초마다 꺼졌다 켜지는 것을 반복함.