

# TI DSP, MCU 및 Xilinx Zynq FPGA 프로그래밍 전문가 과정



2018.04.10

34 일차

강사 - Innova Lee(이상훈)

[gcccompil3r@gmail.com](mailto:gcccompil3r@gmail.com)

학생 - 신민철

[akrn33@naver.com](mailto:akrn33@naver.com)

씨피유 하드웨어 포크를 사용해서 코어를 4 개에서 8 개로 동작하게 만드는 기법이 하이퍼 쓰레딩 기법이다.

실시간 태스크 스케줄링에는  
FIFO, Round Robin, DeadLine 이 있는데,

FIFO 는 First In First Out 의 약자로  
먼저 CPU 에 들어온 태스크가 먼저 나가게 되는 구조로 앞에있는 태스크가  
처리될 때 까지 뒤에있는 태스크는 중요하던 중요하지 않던 기다려야 한다  
그래서 비효율적이다.

Round Robin 은 우선순위를 가지지 않는 태스크는  
FIFO 와 같이 동작한다.

위의 방법들은 태스크의 개수가 늘어나면 그만큼 스케줄링에 소모되는 시간  
도 증가하게 된다. 이같은 단점을 보완하기 위해서  
Dead Line 스케줄링이 나왔다

DeadLine 스케줄링은 key 값을 주면 결과값이 나오도록 해서  
시간복잡도를  $O(n)$  에서  $O(1)$ 로 가능하게 해주었다.

일반태스크 스케줄링인 CFS(Completely Fair Scheduler)는  
A 와 B 태스크가 있다면 A 와 B 태스크 모두 사용시간이 항상 1:1 로 같아  
야한다. 하지만 실제로 우선순위가 높은 태스크는 시간이 늦게 증가하고  
우선순위가 낮은 태스크는 시간이 빨리 증가한다. 이렇게해서 사용시간을  
1:1 로 맞춘다.

접근속도가 같은 메모리의 집합을 뱅크라고 하는데, UMA 구조라면 한 개  
의 뱅크가 존재하고, NUMA 구조라면 복수개의 뱅크가 존재하게되는거다.

누마는 버스인터페이스가 두개이상이고  
우마는 버스인터페이스가 하나이다.

버디할당자는 zone 구조체에 존재하는 free\_area 배열을 통해 구축된다  
버디는 zone 당 하나씩 존재하게 된다.

하지만 현재는 free\_area 가 없어지고 nr\_free 라는 변수로 바뀌었다.



죄송합니다.