# TI DSP, MCU, Xilinx Zynq FPGA 프로그래밍 전문가 과정

## **BUZZER Lab**

2018.08.17

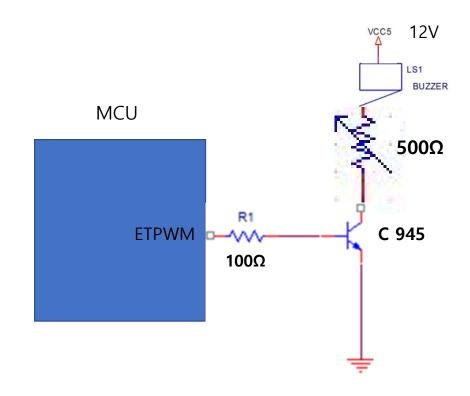
강사 - Innova Lee(이상훈) gcccompil3r@gmail.com

**학생 – 안상재** sangjae2015@naver.com

### 03 진행사항

#### \* BUZZER 구동 회로

- 1. TR 스위칭으로 구동
- 2. 가변저항(500Ω)으로 소리 크기 조절
- 3. MCU의 ETPWM 주파수, Duty로 소리의 주파수 결정



Period[ns]: 142000000

142000000.000

#### Clk Domains GCLK Config Standard Src \* ETPWM 스펙 Clk Srcs GCLK \_\_ 300.000 GCLK Max - 330 MHz Wakup Src HCLK Config **HCLK Divider** HCLK Max -- 150 MHz HCLK \_\_\_ 150.000 VCLK Max - 110 MHz Power Down Src VCLK1 Divider VCLK1 Config PLL1 - 7HZ 주파수의 소리가 가장 적당함 VCLK2 Max - 110 MHz VCLK2 Divider VCLK2 Config VCLK3 Max -- 110 MHz VCLK3 Divider VCLK3 Config VCLKA1 Max -- 110 MHz 15 VCLKA2 Max -- 110 MHz Clk Srcs VCLKA1 Src VCLKA1 Config VCLKA1 → 75.000 VCLKA4 Max -- 110 MHz Clk Srcs VCLKA2 Src VCLKA2 Confia RTICLK Max -- VCLK Freq VCLKA2 → 0.000 RTI1 Config -Clock Configuration TB Clock (MHz): 110.000 Clk Srcs \_\_\_VCLKA4 Src VCLKA4 Divider VCLKA4 Post Src ActualTB Clock (MHz): VCLKA4\_DIV Clock PLL2 VCLKA4\_DIVR VCLK3 (MHz): 9.375 → 0.146 VCLKA4\_S → 75.000 Prescale HSPCLKDIV: 3 CLKDIV: 10 PWM Configuration Duty는 70%가 가장 적당함 tPeriod – tDuty – - Duty가 크면 소리가 울림. High Polarity: Disable delay - Duty가 작으면 소리가 깔끔해짐. •☐ETPWMxA Enable delay Delay[ns]: 1000.000 Rising Edge Duty[%]: 70 99397260.274

Invert Polarity

### 03 진행사항

### \* 회로 결선 모습

