

## LM5121/-Q1 Wide Input Synchronous Boost Controller

### with Disconnection Switch Control

(단선 스위치 제어 기능이 있는 LM5121 / -Q1 Wide Input Synchronous Boost Controller)

#### 1 Features

- AEC-Q100 Qualified with the following results:
- AEC-Q100 다음 결과로 인증 :
  - Device Temperature Grade 1: -40°C to +125°C
  - Device 온도 등급 1 : -40 ° C ~ + 125 ° C
- Ambient Operating Temperature Range  
주변 작동 온도 범위
- Device HBM ESD Classification Level 2
- Device HBM ESD 분류 Level 2
- Device CDM ESD Classification Level C6
- Device CDM ESD 분류 Level C6
- Maximum Input Voltage: 65 V
- 최대 입력 전압 : 65 V
- Min Input Voltage: 3.0 V (4.5 V for startup)
- 최소 입력 전압 : 3.0 V (시동 시 4.5 V)
- Output Voltage Up to 100 V
- 최대 100V의 출력 전압
- Bypass ( $V_{OUT} = V_{IN}$ ) Operation
- Bypass ( $V_{OUT} = V_{IN}$ ) 동작
- 1.2-V Reference with  $\pm 1.0\%$  Accuracy
- $\pm 1.0\%$  정확도의 1.2V 기준 전압
- Free-Run/Synchronizable up to 1 MHz
- 최대 1MHz의 Free-Run/Synchronizable(동기화) 가능

- Peak Current Mode Control
- Peak 전류 모드 제어
- Robust Integrated 3-A Gate Drivers
- 견고한 통합 3-A 게이트 드라이버
- Adaptive Dead-Time Control
- 적응 형 데드 타임 제어
- Optional Diode Emulation Mode
- 옵션 다이오드 Emulation Mode
- Programmable Cycle-by-Cycle Current Limit
- 프로그래밍 가능한 Cycle-by-Cycle 전류 제한
- Programmable Line UVLO
- 프로그래밍 가능 라인 UVLO
- Programmable Soft-Start
- 프로그래밍 가능한 Soft-Start
- Thermal Shutdown Protection
- Thermal(열) Shutdown 보호
- Low Shutdown Quiescent Current: 9  $\mu$ A
- Low Shutdown 대기 전류 : 9 $\mu$ A
- Programmable Slope Compensation
- 프로그래밍 가능한 Slope(경사, 사면) 보정
- Programmable Skip Cycle Mode Reduces Standby Power
- 프로그래밍 가능한 Skip Cycle Mode는 대기 전력을 감소시킨다.
- Supports External VCC Bias Supply Option
- 외부 VCC Bias 전원 옵션 지원
- Load Disconnection in Shutdown Mode (True Shutdown)
- Shutdown Mode에서 부하 차단 (True Shutdown)
- Inrush Current Limiting

- 돌입 전류 제한
- Hiccup Mode Short Circuit/Overload Protection
- Hiccup Mode Short Circuit(단락)/Overload(과부하) 보호
- Circuit Breaker Function
- 회로 차단기 기능
- Capable of Input Transient Suppression
- 입력 과도 억제 기능 가능
- Capable of Reverse Battery Protection
- 역 배터리 보호 기능
- Thermally Enhanced 20-Pin HTSSOP
- Thermally(열) 성능이 향상된 20 핀 HTSSOP

## **2. Applications**

- 12-V, 24-V, and 48-V Power Systems
- 12V, 24V 및 48V 전원 시스템
- Automotive Start-Stop
- 자동차 시동-정지
- High Current Boost Power Supply
- High Current Boost 전원 공급 장치
- Battery Powered System
- 배터리 구동 시스템

## **3 설명**

The LM5121 is a synchronous boost controller intended for high-efficiency, high-power boost regulator applications. The control method is based upon peak current mode control. Current mode control provides inherent line feed-forward, cycle-by-cycle current limiting and ease of loop compensation.

LM5121은 고효율, 고전력 boost regulator applications 용 synchronous(동기식) boost controller 입니다. 제어 방법은 peak 전류 모드 제어를 기반으로합니다. 전류 모드 제어는 고유의 라인 feed-forward, cycle-by-cycle 전류 제한 및 loop 보상의 용이성을 제공합니다.

The switching frequency is programmable up to 1 MHz. Higher efficiency is achieved using two robust N-channel MOSFET gate drivers with adaptive deadtime control. A user-selectable diode emulation mode enables discontinuous mode operation for improved efficiency at light load conditions.

switching frequency(스위칭 주파수)는 최대 1MHz까지 프로그래밍 할 수 있습니다. adaptive() deadtime 제어 기능을 갖춘 2 개의 견고한 N 채널 MOSFET gate driver 사용하면 더 높은 효율을 얻을 수 있습니다. 사용자가 선택할 수 있는 diode emulation 모드는 불연속 모드 동작을 가능하게 하여 light load conditions(경부 하 조건? 경하 상태?)에서 향상된 효율을 제공합니다.

The LM5121 provides disconnection switch control which completely disconnects the output from the input during an output short or a shutdown condition. During start-up sequence, inrush current is limited by the disconnection switch control.

LM5121은 disconnection switch(단락 스위치) 제어 기능을 제공하여 출력 단락 또는 shutdown 조건에서 입력에서 출력을 완전히 차단합니다. start-up sequence 동안 inrush current(돌입 전류)는 disconnection(단전) 스위치 제어에 의해 제한됩니다.

An internal charge pump allows 100% duty cycle operation of the high-side synchronous switch (Bypass operation). Additional features include thermal shutdown, frequency synchronization, hiccup mode current limit and adjustable line undervoltage lockout.

내부 charge pump는 high-side 동기 스위치의 100 % duty cycle 동작을 허용한다 (Bypass 동작). 추가 기능으로는 thermal(열) 셧다운, 주파수 동기화, hiccupmode 전류 제한 및 조정 가능한 라인 undervoltage(저전압) 차단 기능이 있다.

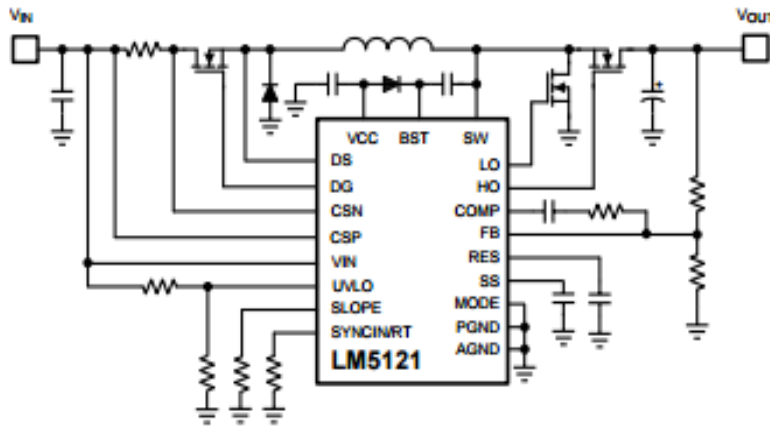
#### Device Information<sup>(1)</sup>

PART NUMBER	PACKAGE	BODY SIZE (NOM)
LM5121	HTSSOP (20)	6.50 mm x 4.40 mm
LM5121-Q1		

(1) For all available packages, see the orderable addendum at the end of the datasheet.

(1) 사용 가능한 모든 패키지는 데이터 시트 끝에 있는 주문 가능한 부록을 참조하십시오.

### Simplified Application Diagram



## 목차

### 1 기능

----- 1

### 2 응용 프로그램

----- 1

### 3 설명

----- 1

### 4 개정 내역

----- 2

### 5 핀 구성 및 기능

----- 3

### 6 사양

----- 4

#### 6.1 절대 최대 정격

----- 4

#### 6.2 ESD 정격 : LM5121

----- 5

#### 6.3 ESD 정격 : LM5121-Q1

----- 5

#### 6.4 권장 작동 조건

----- 5

#### 6.5 열 정보

----- 5

#### 6.6 전기적 특성

----- 6

#### 6.7 일반적인 특성

----- 9

### 7 자세한 설명

----- 12

#### 7.1 개요

----- 12

#### 7.2 기능 블록 다이어그램

----- 12

7.3 기능 설명	11 장치 및 설명서 지원
----- 13	----- 41
7.4 장치 기능 모드	11.1 관련 링크
----- 21	----- 41
8 적용 및 구현	11.2 설명서 업데이트 통지 받기
----- 24	----- 41
8.1 신청 정보	11.3 지역 사회 자원
----- 24	----- 41
8.2 일반적인 적용	11.4 상표
----- 32	----- 41
9 전원 공급 장치 권장 사항	11.5 정전기 방전주의
----- 40	----- 41
10 레이아웃	11.6 용어집
----- 40	----- 41
10.1 레이아웃 가이드 라인	12 기계, 포장 및 주문 가능
----- 40	정보
10.2 레이아웃 예제	----- 41
----- 40	

#### 4 개정 내역

버전 B (2014 년 12 월)에서 개정 C로 변경됨

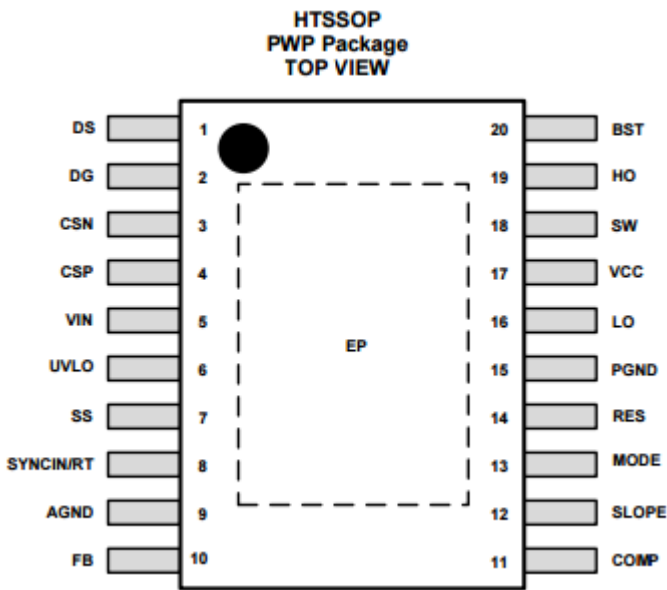
- 자동차 ESD 기능 추가 ----- 1
- 변경된 방정식 ----- 20

버전 A (2013 년 9 월)에서 버전 B로 변경

- 핀 구성 및 기능 섹션, Handling Rating table(처리 등급 테이블), Feature Description section(기능 설명 섹션), Device Functional Modes(장치 기능 모드), Application 및 Implementation section(구현 섹션), Power Supply

Recommendations section(전원 공급 장치 권장 사항 섹션), Layout section(레이아웃 섹션), Device and Documentation Support section(장치 및 설명서 지원 섹션), Mechanical(기계) 및 Packaging(패키징) 및 Orderable Informationsection(주문 정보 섹션 추가)

5 핀 구성 및 기능



PIN		I/O <sup>(1)</sup>	DESCRIPTION
NAME	NO.		
AGND	9	G	Analog ground connection. Return for the internal voltage reference and analog circuits.
BST	20	P/I	High-side driver supply for bootstrap gate drive. Connect to the cathode of the external bootstrap diode and to the bootstrap capacitor. The bootstrap capacitor supplies current to charge the high-side N-channel MOSFET gate and should be placed as close to controller as possible. An internal BST charge pump will supply 200 $\mu$ A current into bootstrap capacitor for bypass operation.
COMP	11	O	Output of the internal error amplifier. The loop compensation network should be connected between this pin and the FB pin.
CSN	3	I	Inverting input of current sense amplifier. Connect to the negative-side of the current sense resistor.
CSP	4	I	Non-inverting input of current sense amplifier. Connect to the positive-side of the current sense resistor.
DG	2	O	Disconnection switch control pin. Connect to the gate terminal of the N-channel MOSFET disconnection switch.

AGND	9	G	Analog ground 연결. 내부 전압 reference 및 아날로그 회로에 대한 리턴.
BST	20	P/I	bootstrap gate drive 에 대한 High-side driver supply(전원). external bootstrap diode(외부 bootstrap 다이오드)의 음극과 bootstrap capacitor에 연결하십시오. bootstrap capacitor는 highside N-channel MOSFET 게이트를 충전하기 위해 전류를 공급하며 컨트롤러에 최대한 가깝게 배치해야한다. 내부 BST charge pump는 bypass 동작을 위해 bootstrap capacitor에 200 $\mu$ A 전류를 공급한다.
COMP	11	O	내부 오류 증폭기의 출력. loop compensation network(루프 보상 네트워크)는 이 핀과 FB 핀 사이에 연결되어야한다.

<b>CSN</b>	<b>3</b>	<b>I</b>	전류 감지 증폭기의 입력을 반전합니다. 전류 감지 저항의 negative-side (음극 측)에 연결하십시오.
<b>CSP</b>	<b>4</b>	<b>I</b>	전류 감지 증폭기의 Non-inverting input(비 반전 입력). 전류 감지 저항의 positive-side(양극 측)에 연결하십시오.
<b>DG</b>	<b>2</b>	<b>O</b>	Disconnection switch(단선 스위치) 제어 핀. N-channel MOSFET disconnection switch(단선 스위치)의 게이트 단자에 연결하십시오.

DS	1	I/O	Source connection of N-channel MOSFET disconnection switch. Connect to the source terminal of the disconnection switch, the cathode terminal of the freewheeling diode and the supply input of boost inductor.
EP	EP	N/A	Exposed pad of the package. No internal electrical connections. Should be soldered to the large ground plane to reduce thermal resistance.
FB	10	I	Feedback. Inverting input of the internal error amplifier. A resistor divider from the output to this pin sets the output voltage level. The regulation threshold at the FB pin is 1.2 V.
HO	19	O	High-side N-channel MOSFET gate drive output. Connect to the gate of the high-side synchronous N-channel MOSFET switch through a short, low inductance path.
LO	16	O	Low-side N-channel MOSFET gate drive output. Connect to the gate of the low-side N-channel MOSFET switch through a short, low inductance path.
MODE	13	I	Switching mode selection pin. Internal 700 k $\Omega$ pull-up and 100 k $\Omega$ pull-down resistor hold MODE pin to 0.15 V as a default. By adding external pull-up or pull-down resistor, MODE pin voltage can be programmed. When MODE pin voltage is greater than 1.2 V, diode emulation mode threshold, forced PWM mode is enabled, allowing current to flow in either direction through the high-side N-channel MOSFET switch. When MODE pin voltage is less than 1.2 V, the controller works in diode emulation mode. Skip cycle comparator is activated as a default condition when the MODE pin is left floating. If the MODE pin is grounded, the controller still operates in diode emulation mode, but the skip cycle comparator will not be triggered in normal operation, this enables pulse skipping operation at light load.

<b>DS</b>	<b>1</b>	<b>I/O</b>	N-channel MOSFET 단선 스위치의 소스 연결. 단선 스위치의 source terminal (소스 단자), freewheeling diode의 cathode terminal(캐소드 단자) 및 boost inductor의 전원 입력에 연결하십시오.
<b>EP</b>	<b>EP</b>	<b>N/A</b>	패키지의 노출 된 패드. 내부 전기 연결이 없습니다. thermal(열) 저항을 줄이기 위해 large ground plane(큰 접지면)에 납땀해야 합니다.
<b>FB</b>	<b>10</b>	<b>I</b>	Feedback. 내부 오류 증폭기의 입력 반전. 출력에서 이 핀까지의 저항 분배기는 출력 전압 레벨을 설정한다. FB 핀의 regulation 임계 값은 1.2V이다.
<b>HO</b>	<b>19</b>	<b>O</b>	High-side N-channel MOSFET 게이트 드라이브 출력. low inductance path(짧은 인덕턴스 경로)를 통해 high-side synchronous(동기) N-channel MOSFET 스위치의 게이트에 연결하십시오.
<b>LO</b>	<b>16</b>	<b>O</b>	Low-side N-channel MOSFET 게이트 드라이브 출력. 짧은 inductance path(인덕턴스 경로)를 통해 low-side N-channel MOSFET 스위치의 게이트에 연결하십시오.
<b>MODE</b>	<b>13</b>	<b>I</b>	Switching mode 선택 핀. 내부 700k $\Omega$ pull-up 및 100k $\Omega$ pull-down 저항은 MODE 핀을 기본값으로 0.15V로 유지합니다. pull-up 또는 pull-down 저항을 추가함으로써 MODE 핀 전압을 프로그래밍 할 수 있다. MODE 핀 전압이 1.2V보다 높은 경우, diode



emulation mode 임계 값, 강제 PWM 모드가 활성화되어 high-side N-channel MOSFET 스위치를 통해 전류가 어느 방향으로든 흐르게 한다. MODE 핀전압이 1.2V보다 낮으면 컨트롤러는 diode emulation mode로 작동합니다. Skip cycle comparator(비교기)는 MODE 핀이 floating 상태 일 때 기본 조건으로 활성화됩니다. MODE 핀이 접지되면 컨트롤러는 여전히 diode emulation mode에서 작동하지만 정상 작동 시 Skip cycle comparator가 trigger되지 않으므로 light load(경부하)에서 pulse skipping operation(동작)이 가능하다.

PGND	15	G	Power ground connection pin for low-side N-channel MOSFET gate driver. Connect directly to the source terminal of the low-side N-channel MOSFET switch.
RES	14	O	The restart timer pin for an external capacitor that configures hiccup mode off-time and restart delay during over load conditions and hiccup mode short circuit protection. Connect directly to the AGND when hiccup mode operation is not required.
SLOPE	12	I	Slope compensation is programmed by an external resistor between SLOPE and the AGND.
SS	7	I	Soft-start programming pin. An external capacitor and an internal 10 $\mu$ A current source set the ramp rate of the internal error amplifier reference during soft-start.
SW	18	I/O	Switching node of the boost regulator. Connect to the bootstrap capacitor, the source terminal of the high-side N-channel MOSFET switch and the drain terminal of the low-side N-channel MOSFET switch through short, low inductance paths.

<b>PGND</b>	<b>15</b>	<b>G</b>	low-side N-channel MOSFET 게이트 드라이버의 전원 접지 연결 핀. low-side N-channel MOSFET 스위치의 소스 터미널에 직접 연결
<b>RES</b>	<b>14</b>	<b>O</b>	hiccup mode를 off-time으로 구성하고 과부하 상태 및 hiccup mode 단락 보호 동안 재시작 지연을 구성하는 외부 커패시터의 재시작 타이머 핀. hiccup mode 작동이 필요하지 않을 때 AGND에 직접 연결하십시오.
<b>SLOPE</b>	<b>12</b>	<b>I</b>	Slope compensation(사면 보정?보상?)은 SLOPE와 AGND 사이의 외부 저항에 의해 프로그래밍된다.
<b>SS</b>	<b>7</b>	<b>I</b>	Soft-start programming pin. 외부 커패시터와 내부 10 $\mu$ A 전류 소스는 soft-start 중에 내부 오류 증폭기 reference의 ramp rate (램프 속도)를 설정한다.
<b>SW</b>	<b>18</b>	<b>I/O</b>	boost regulator의 Switching node. bootstrap capacitor,high-side N-channel MOSFET 스위치의 source terminal 및 low-side N-channel MOSFET 스위치의 drain terminal을 low inductance paths(짧은 인덕턴스 경로)를 통해 연결하십시오.

SYNCIN/RT	8	I	The internal oscillator frequency is programmed by an external resistor between RT and the AGND. The internal oscillator can be synchronized to an external clock by applying a positive pulse signal into this pin. The recommended maximum internal oscillator frequency is 2 MHz which leads to 1 MHz maximum switching frequency.
UVLO	6	I	Undervoltage lockout programming pin. If the UVLO pin is below 0.4 V, the regulator is in the shutdown mode with all functions disabled. If the UVLO pin voltage is greater than 0.4 V and below 1.2 V, the regulator is in standby mode with the VCC regulator operational and no switching at the HO and LO outputs. If the UVLO pin voltage is above 1.2 V, the startup sequence begins. A 10 $\mu$ A current source at UVLO pin is enabled when UVLO exceeds 1.2 V and flows through the external UVLO resistors to provide hysteresis. The UVLO pin should not be left floating.
VCC	17	P/O/I	VCC bias supply pin. Locally decouple to PGND using a low ESR/ESL capacitor located as close to controller as possible.
VIN	5	P/I	Supply voltage input source for the VCC regulator. Connect to the input capacitor and source power supply connection with short, low impedance paths.

<b>SYNCIN/RT</b>	<b>8</b>	<b>I</b>	내부 oscillator frequency(주파수)는 RT와 AGND 사이의 외부 저항에 의해
------------------	----------	----------	--

프로그래밍된다. 내부 oscillator는 이 핀에 양의 펄스 신호를 인가하여 외부 clock에 동기화 할 수있다. 권장되는 최대 내부 oscillator 주파수는 2MHz이며 최대 switching 주파수는 1MHz입니다.

<b>UVLO</b>	<b>6</b>	<b>I</b>	Undervoltage lockout programming pin(저전압 잠금 핀) UVLO 핀이 0.4V 미만이면 regulator는 shutdown mode에 있고 모든 기능은 disabled 상태이다. UVLO 핀 전압이 0.4V보다 크고 1.2V보다 낮으면 regulator는 대기 모드에 있으며 VCC regulator가 작동하고 HO 및 LO 출력에서 스위칭되지 않는다. UVLO 핀 전압이 1.2V 이상이면 시동 절차가 시작된다. UVLO 핀에서 10 $\mu$ A의 전류 소스는 UVLO가 1.2V를 초과 할 때 enabled되고 *hysteresis를 제공하기 위해 외부 UVLO 저항을 통해 흐른다. UVLO 핀은 floating 상태로 두어서는 안됩니다
<b>VCC</b>	<b>17</b>	<b>P/I/O</b>	VCC bias 공급 핀. 컨트롤러에 가능한 한 가까이 위치한 낮은 ESR/ESL capacitor를 사용하여 PGND로 국부적으로 decouple한다. (*decouple(연관 관계에 있는 돌을)분리시키다)
<b>VIN</b>	<b>5</b>	<b>P/I</b>	VCC regulator 를 위한 전원 입력 소스. short, low impedance paths (짧은 커패시턴스 경로)로 입력 커패시터 및 소스 전원 공급 장치 연결부에 연결하십시오.

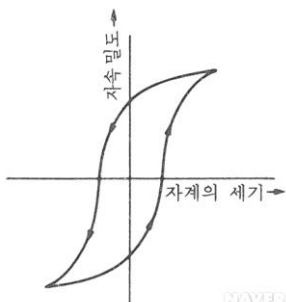
\*경부하 [light-load] - 전부하보다도 작은 부하를 말한다.

\*사용 금지의 [disabled]

금지의 인터럽트가 발생하지 못하도록 하는 중앙 처리 장치의 제어 상태.

\*히스테리시스[hysteresis ]

- ① 철심을 자화하는 경우에, 자계의 세기를 증가해 갈 때의 자속 밀도의 변화를 나타내는 곡선과 자계의 세기를 감소해 갈 때의 자속 밀도의 변화를 나타내는 곡선과는 일치하지 않고, 그림과 같이 다른 경로를 통하기 때문에 고리 모양의 곡선이 된다. 이러한 현상을 히스테리시스라 하고, 이 고리 모양의 곡선을 히스테리시스 루프라 한다. 이 곡선의 모양은 자성 재료와 종류에 따라 다르다.
- ② 위의 경우를 포함하여 일반적으로 같은 이력을 반복하는 현상을 말한다. 유전체에서의 전계의 세기와 전속 밀도의 관계에도 같은 현상이 있다.



## 6 Specifications

### 6.1 Absolute Maximum Ratings(절대 최대 정격) <sup>(1)</sup>

작동 대기 온도 범위 (별도의 언급이 없는 한)

		MIN	MAX	UNIT
Input	VIN, CSP, CSN	-0.3	75	V
	BST to SW, FB, MODE, UVLO, VCC <sup>(2)</sup>	-0.3	15	
	SW	-5.0	105	
	BST	-0.3	115	
	SS, SLOPE, SYNCIN/RT	-0.3	7	
	CSP to CSN, PGND	-0.3	0.3	
Output <sup>(3)</sup>	DG to DS	-3.0	18	
	DG to VIN	-75	15	
	DS	-3.0	75	
	HO to SW	-0.3	BST to SW+0.3	
	LO	-0.3	VCC+0.3	
	COMP, RES	-0.3	7	
Thermal	Junction Temperature	-40	150	°C
T <sub>stg</sub>	Storage temperature range	-55	150	°C

(1) Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions beyond those indicated under Recommended Operating Conditions are not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability. Unless otherwise specified, all voltages are referenced to AGND pin.

(1) 절대 최대 정격에 나열된 내용 이외의 Stresses는 장치에 영구적인 손상을 줄 수 있습니다. 이는 스트레스 등급으로, 권장 작동 조건에 명시된 조건 이외의 다른 조건에서의 장치의 기능 작동은 함축되어 있지 않습니다. 장기간 절대 최대 정격 조건(absolute-maximum-rate)에 노출되면 장치의 신뢰성에 영향을 줄 수 있습니다. 달리 명시하지 않는 한 모든 전압은 AGND 핀을 기준으로 합니다.

(2) See Application Information when input supply voltage is less than the VCC voltage.

(2) 입력 전원 전압이 VCC 전압보다 낮으면 응용 정보를 참조하십시오.

(3) All output pins are not specified to have an external voltage applied.

(3) 모든 출력 핀은 외부 전압이 인가되도록 지정되어 있지 않습니다.

### 6.2 ESD Ratings(평가): LM5121

			VALUE	UNIT
V <sub>(ESD)</sub>	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 <sup>(1)</sup>	±2	kV
		Charged device model (CDM), per JEDED specification JESD22-C101 <sup>(2)</sup>	±1	

(1) JEDEC 문서 JEP155에 따르면 500-V HBM은 표준 ESD 제어 프로세스로 안전하게 제조 할 수 있다고 명시하고 있습니다.

(2) JEDEC 문서 JEP157은 250V CDM이 표준 ESD 제어 프로세스로 안전하게 조작 할 수 있다고 명시하고 있습니다.

### 6.3 ESD Ratings: LM5121-Q1

				VALUE	UNIT
V <sub>(ESD)</sub>	Electrostatic discharge	Human body model (HBM), per AEC Q100-002 <sup>(1)</sup>		±2	kV
		Charged device model (CDM), per AEC Q100-011	Corner pins	±1	
			Other pins		

(1) AEC Q100-002는 HBM stress가 ANSI / ESDA / JEDEC JS-001 사양에 따라 수행되었음을 나타냅니다.

### 6.4 Recommended Operating Conditions

#### 6.4 권장 작동 조건 <sup>(1)</sup>

Over operating free-air temperature range (unless otherwise noted)

작동 대기 온도 범위 (별도의 언급이 없는 한)

		MIN	NOM	MAX	UNIT
Input supply voltage <sup>(2)</sup>	VIN	4.5		65	V
Disconnection switch voltage <sup>(2)</sup>	DG, DS	3.0		65	
Low-side driver bias voltage	VCC			14	
High-side driver bias voltage	BST to SW	3.8		14	
Current sense common mode range <sup>(2)</sup>	CSP, CSN	3.0		65	
Switch node voltage	SW			100	
Junction temperature	T <sub>J</sub>	−40		125	°C

(1) Recommended Operating Conditions are conditions under which operation of the device is intended to be functional, but does not guarantee specific performance limits.

(1) 권장 작동 조건은 장치의 작동이 의도된 조건이지만 특정 성능 제한을 보장하지는 않습니다.

(2) Minimum VIN operating voltage is always 4.5 V. The minimum input power supply voltage can be 3.0 V after start-up, assuming VIN voltage is supplied from an available external source.

(2) 최소 VIN 동작 전압은 항상 4.5V입니다. VIN 전압이 사용 가능한 외부 소스로부터 공급된다고 가정하면, 최소 입력 전원 전압은 시동 후 3.0V가 될 수 있습니다.

### 6.5 Thermal Information

THERMAL METRIC <sup>(1)</sup>		LM5121, LM5121-Q1	UNIT
		PWP (HTSSOP)	
		20 PINS	
R <sub>θJA</sub>	Junction-to-ambient thermal resistance (Typ.)	40	°C/W
R <sub>θJC(bot)</sub>	Junction-to-case (bot) thermal resistance (Typ.)	4	°C/W

$R_{\theta JA}$       접합부 - 대기 간 열 저항 (Typ.)

$R_{\theta JC(bot)}$       접합부 - 케이스 (bot) 열 저항 (Typ.)

(1) For more information about traditional and new thermal metrics, see the IC Package Thermal Metrics application report, SPRA953.

(1) 기존 thermal metrics 및 새로운 thermal metrics에 대한 자세한 내용은 IC 패키지 Thermal Metrics application report SPRA953을 참조하십시오.

## 6.6 Electrical Characteristics(전기적 특성)

Unless otherwise specified, these specifications apply for  $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ ,  $V_{\text{VIN}} = 12\text{ V}$ ,  $V_{\text{VCC}} = 8.3\text{ V}$ ,  $R_T = 20\text{ k}\Omega$ , no load on LO and HO. Typical values represent the most likely parametric norm at  $T_J = 25^{\circ}\text{C}$ , and are provided for reference purposes only.

달리 명시되지 않는 한이 사양은  $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ ,  $V_{\text{VIN}} = 12\text{ V}$ ,  $V_{\text{VCC}} = 8.3\text{ V}$ ,  $R_T = 20\text{ k}\Omega$ , LO 및 HO에 부하가 없을 때 적용된다. 일반적인 값은  $T_J = 25^{\circ}\text{C}$ 에서 가장 가능성 있는 parametric 표준을 나타내며 참조용으로만 제공됩니다.

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
VIN SUPPLY						
ISHUTDOWN	VIN shutdown current	VUVLO = 0 V		9	17	μA
IBIAS	VIN operating current (exclude the current into RT resistor)	VUVLO = 2 V, non-switching		4	5	mA
VCC REGULATOR						
VCC(REG)	VCC regulation	No load	6.9	7.6	8.3	V
	VCC dropout (VIN to VCC)	VVIN = 4.5 V, no external load			0.25	
		VVIN = 4.5 V, IVCC = 25 mA		0.28	0.5	
	VCC sourcing current limit	VVCC = 0 V	50	62		mA
IVCC	VCC operating current (exclude the current into RT resistor)	VVCC = 8.3 V		3.5	5	
		VVCC = 12 V		4.5	8	
	VCC undervoltage threshold	VCC rising, VVIN = 4.5 V	3.9	4.0	4.1	V
		VCC falling, VVIN = 4.5 V			3.7	
	VCC undervoltage hysteresis			0.385		
UNDERVOLTAGE LOCKOUT						
	UVLO threshold	UVLO rising	1.17	1.20	1.23	V
	UVLO hysteresis current	VUVLO = 1.4 V	7	10	13	μA
	UVLO standby threshold	UVLO rising	0.3	0.4	0.5	V
	UVLO standby hysteresis			0.1	0.125	
MODE						
	Diode emulation mode threshold	MODE rising	1.20	1.24	1.28	V
	Diode emulation mode hysteresis			0.1		
	Default MODE voltage		145	155	170	mV
	Default skip cycle threshold	COMP rising, measured at COMP		1.290		V
		COMP falling, measured at COMP		1.245		
	Skip cycle hysteresis	Measured at COMP		40		mV
ERROR AMPLIFIER						
VREF	FB reference voltage	Measured at FB, VFB= VCOMP	1.188	1.200	1.212	V
	FB input bias current	VFB= VREF		5		nA
VOH	COMP output high voltage	ISOURCE = 2 mA, VVCC = 4.5 V	2.75			V
		ISOURCE = 2 mA, VVCC = 12 V	3.40			
VOL	COMP output low voltage	ISINK = 2 mA			0.25	
AOL	DC gain			80		dB
fBW	Unity gain bandwidth			3		MHz
OSCILLATOR						
fSW1	Switching frequency 1	RT = 20 kΩ	400	450	500	kHz
fSW2	Switching frequency 2	RT = 10 kΩ	775	875	975	
	RT output voltage			1.2		V
	RT sync rising threshold	RT rising		2.5	2.9	
	RT sync falling threshold	RT falling	1.6	2.0		
	Minimum sync pulse width		100			ns
DISCONNECTION SWITCH CONTROL						
IDIS-SOURCE	DG current source	UVLO = 2 V, Sourcing		25		uA
IDIS-SINK	DG current sink	Inrush Control, Sinking		67		

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
DG discharge switch $R_{DS-ON}$		Circuit Breaker	38			$\Omega$
DG charge pump regulation		DG to VIN, No load, $V_{VIN} = 4.5\text{ V}$	9.5	10.5	11.5	V
		DG to VIN, No load, $V_{VIN} = 12\text{ V}$	12.5			
$V_{GS-DET}$	$V_{GS}$ detection threshold	DG to DS, Rising, $V_{VIN} = 12\text{ V}$	4.0	5.4	6.5	
$V_{GS}$ detection hysteresis			0.2			
Transconductance gain		CSP to CSN to $I_{DG}$	12			$\mu\text{A/mV}$
SLOPE COMPENSATION						
SLOPE output voltage			1.17	1.20	1.23	V
$V_{SLOPE}$	Slope compensation amplitude	$R_{SLOPE} = 20\text{ k}\Omega$ , $f_{SW} = 100\text{ kHz}$ , 50% duty cycle, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	1.375	1.650	1.925	
		$R_{SLOPE} = 20\text{ k}\Omega$ , $f_{SW} = 100\text{ kHz}$ , 50% duty cycle, $T_J = 25^\circ\text{C}$	1.400	1.650	1.900	
SOFT-START						
$I_{SS-SOURCE}$	SS current source	$V_{SS} = 0\text{ V}$	7.5	10	12	$\mu\text{A}$
SS discharge switch $R_{DS-ON}$			13			$\Omega$
PWM COMPARATOR						
$t_{LO-OFF}$	Forced LO off-time	$V_{VCC} = 5.5\text{ V}$	420			ns
		$V_{VCC} = 4.5\text{ V}$	360			
$t_{ON-MIN}$	Minimum LO on-time	$R_{SLOPE} = 20\text{ k}\Omega$	150			
		$R_{SLOPE} = 200\text{ k}\Omega$	300			
COMP to PWM voltage drop		$T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	0.95	1.10	1.25	V
		$T_J = 25^\circ\text{C}$	1.00	1.10	1.20	
CURRENT SENSE / CYCLE-BY-CYCLE CURRENT LIMIT						
$V_{CS-TH1}$	Cycle-by-cycle current limit threshold	CSP to CSN, $T_J = -40^\circ\text{C}$ to $+125^\circ\text{C}$	65.5	75.0	87.5	mV
		CSP to CSN, $T_J = 25^\circ\text{C}$	67.0	75.0	86.0	
		$V_{CS-TH2} - V_{CS-TH1}$	5			
$V_{CS-TH2}$	Inrush current limit threshold	CSP to CSN	80	110	133	
$V_{CS-TH3}$	Circuit breaker enable threshold	CSP to CSN, Rising	143	160	170	
		$V_{CS-TH3} - V_{CS-TH2}$	20			
$V_{CS-TH4}$	Circuit breaker disable threshold	CSP to CSN, Falling	4.0	11.5	16.0	
$V_{CS-ZCD}$	Zero cross detection threshold	CSP to CSN, Rising	7			
		CSP to CSN, Falling	0.3	6	12	
Current sense amplifier gain			10			V/V
$I_{CSP}$	CSP input bias current		12			$\mu\text{A}$
$I_{CSN}$	CSN input bias current		11			
Bias current matching		$I_{CSP}$ to $I_{CSN}$	-1.75	1	3.75	
CS to LO delay		Current sense / current limit delay	150			ns
HICCUP MODE RESTART						
$V_{RES}$	Restart threshold	RES rising	1.15	1.20	1.25	V
$V_{HCP-UPPER}$	Hiccup counter upper threshold	RES rising	4.2			
		RES rising, $V_{VIN} = V_{VCC} = 4.5\text{ V}$	3.6			
$V_{HCP-LOWER}$	Hiccup counter lower threshold	RES falling	2.15			
		RES falling, $V_{VIN} = V_{VCC} = 4.5\text{ V}$	1.85			



PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
I <sub>RES-SOURCE1</sub>	RES current source1	Fault-state charging current	20	30	40	μA
I <sub>RES-SINK1</sub>	RES current sink1	Normal-state discharging current		5		
I <sub>RES-SOURCE2</sub>	RES current source2	Hiccup mode off-time charging current		10		
I <sub>RES-SINK2</sub>	RES current sink2	Hiccup mode off-time discharging current		5		
	Hiccup cycle			8		Cycles
	RES discharge switch R <sub>DS-ON</sub>			40		Ω
	Ratio of hiccup mode off-time to restart delay time			122		
HO GATE DRIVER						
V <sub>OHH</sub>	HO high-state voltage drop	I <sub>HO</sub> = −100 mA, V <sub>OHH</sub> = V <sub>BST</sub> − V <sub>HO</sub>		0.15	0.24	V
V <sub>OLH</sub>	HO low-state voltage drop	I <sub>HO</sub> = 100 mA, V <sub>OLH</sub> = V <sub>HO</sub> − V <sub>SW</sub>		0.1	0.18	
	HO rise time (10% to 90%)	C <sub>LOAD</sub> = 4700 pF, V <sub>BST</sub> = 12 V		25		ns
	HO fall time (90% to 10%)	C <sub>LOAD</sub> = 4700 pF, V <sub>BST</sub> = 12 V		20		
I <sub>OHH</sub>	Peak HO source current	V <sub>HO</sub> = 0 V, V <sub>SW</sub> = 0 V, V <sub>BST</sub> = 4.5 V		0.8		A
		V <sub>HO</sub> = 0 V, V <sub>SW</sub> = 0 V, V <sub>BST</sub> = 7.6 V		1.9		
I <sub>OLH</sub>	Peak HO sink current	V <sub>HO</sub> = V <sub>BST</sub> = 4.5 V		1.9		
		V <sub>HO</sub> = V <sub>BST</sub> = 7.6 V		3.2		
I <sub>BST</sub>	BST charge pump sourcing current	V <sub>VIN</sub> = V <sub>SW</sub> = 9.0 V , V <sub>BST</sub> - V <sub>SW</sub> = 5.0 V	90	200		μA
	BST charge pump regulation	BST to SW, I <sub>BST</sub> = −70 μA, V <sub>VIN</sub> = V <sub>SW</sub> = 9.0 V	5.3	6.2	6.75	V
		BST to SW, I <sub>BST</sub> = −70 μA, V <sub>VIN</sub> = V <sub>SW</sub> = 12 V	7	8.5	9	
	BST to SW undervoltage		2.0	3.0	3.5	
	BST DC bias current	V <sub>BST</sub> - V <sub>SW</sub> = 12 V, V <sub>SW</sub> = 0 V		30	45	μA
LO GATE DRIVER						
V <sub>OHL</sub>	LO high-state voltage drop	I <sub>LO</sub> = −100 mA, V <sub>OHL</sub> = V <sub>VCC</sub> − V <sub>LO</sub>		0.15	0.25	V
V <sub>OLL</sub>	LO low-state voltage drop	I <sub>LO</sub> = 100 mA, V <sub>OLL</sub> = V <sub>LO</sub>		0.1	0.17	
	LO rise time (10% to 90%)	C <sub>LOAD</sub> = 4700 pF		25		ns
	LO fall time (90% to 10%)	C <sub>LOAD</sub> = 4700 pF		20		
I <sub>OHL</sub>	Peak LO source current	V <sub>LO</sub> = 0 V, V <sub>VCC</sub> = 4.5 V		0.8		A
		V <sub>LO</sub> = 0 V		2.0		
I <sub>OLL</sub>	Peak LO sink current	V <sub>LO</sub> = V <sub>VCC</sub> = 4.5 V		1.8		
		V <sub>LO</sub> = V <sub>VCC</sub>		3.2		
SWITCHING CHARACTERISTICS						
t <sub>DLH</sub>	LO fall to HO rise delay	No load, 50% to 50%	50	80	115	ns
t <sub>DHL</sub>	HO fall to LO rise delay	No load, 50% to 50%	60	80	105	
THERMAL						
T <sub>SD</sub>	Thermal shutdown	Temperature rising		165		°C
	Thermal shutdown hysteresis			25		



## 6.7 Typical Characteristics(일반적인 특성)

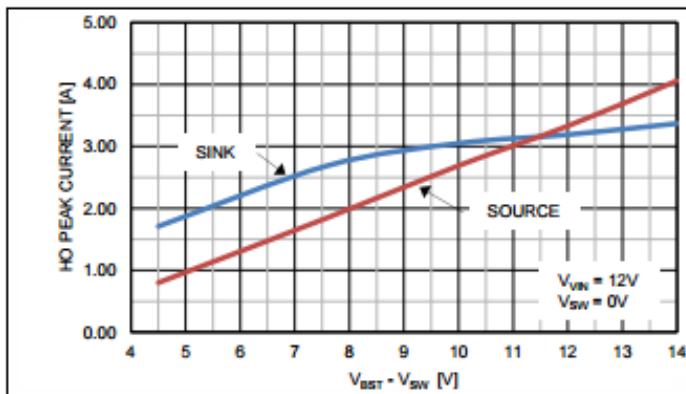


Figure 1. HO Peak Current vs  $V_{BST} - V_{SW}$

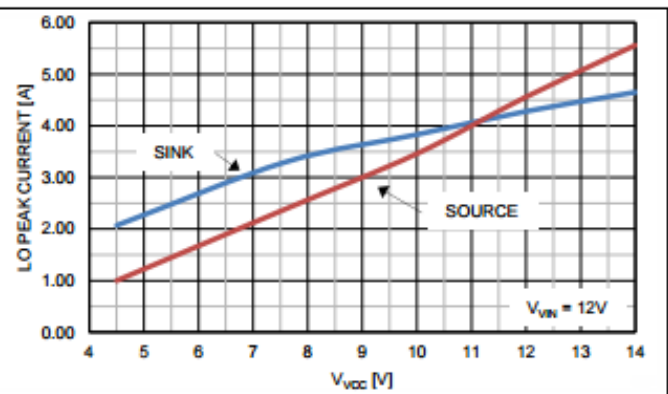


Figure 2. LO Peak Current vs  $V_{VCC}$

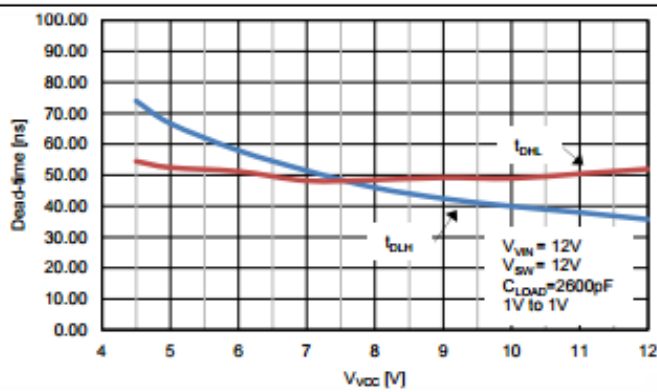


Figure 3. Dead Time vs  $V_{VCC}$

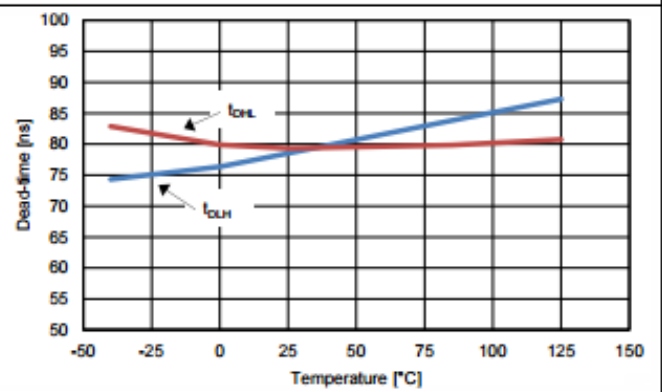


Figure 4. Dead Time vs Temperature

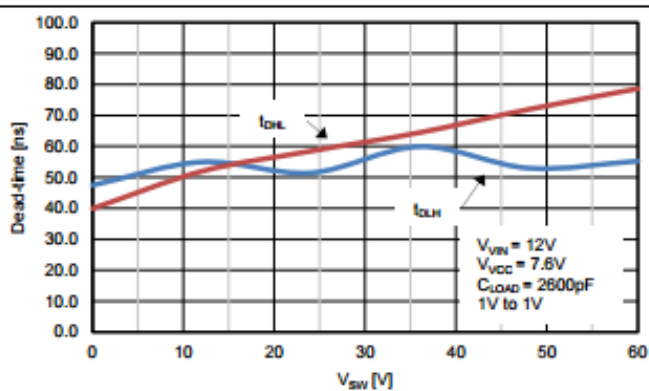


Figure 5. Dead Time vs  $V_{SW}$

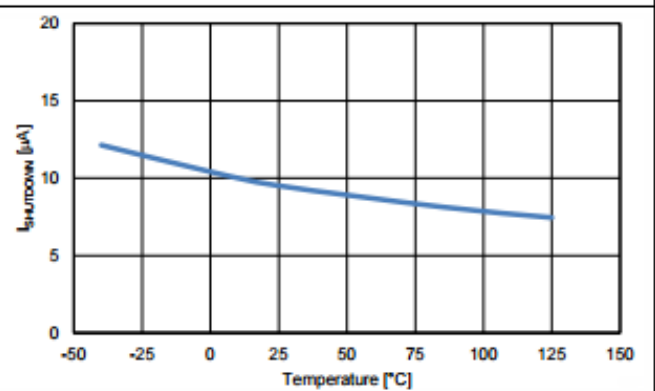


Figure 6.  $I_{SHUTDOWN}$  vs Temperature

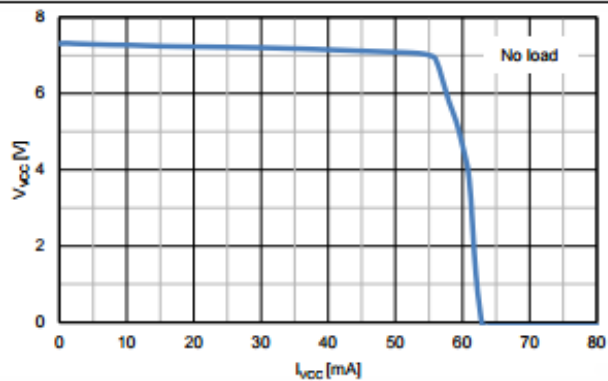


Figure 7.  $V_{VCC}$  vs  $I_{VCC}$

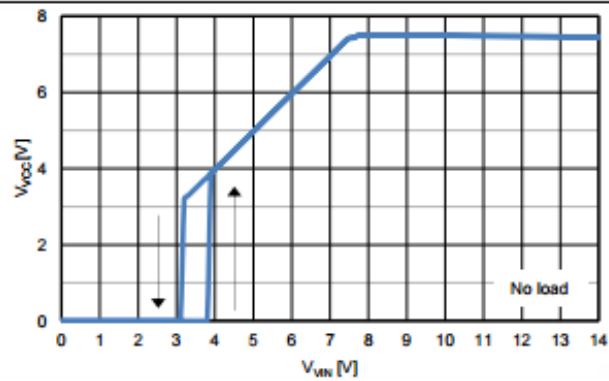


Figure 8.  $V_{VCC}$  vs  $V_{VIN}$

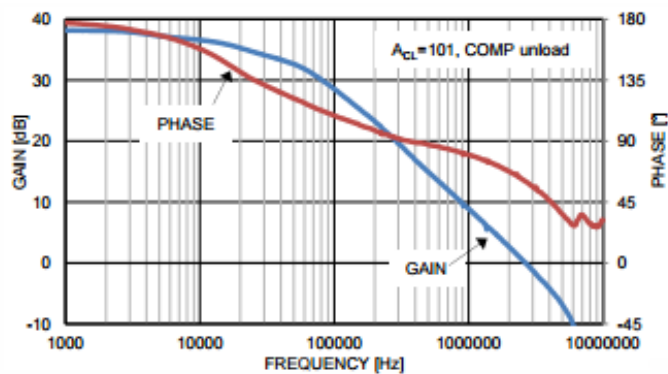


Figure 9. Error Amp Gain and Phase vs Frequency

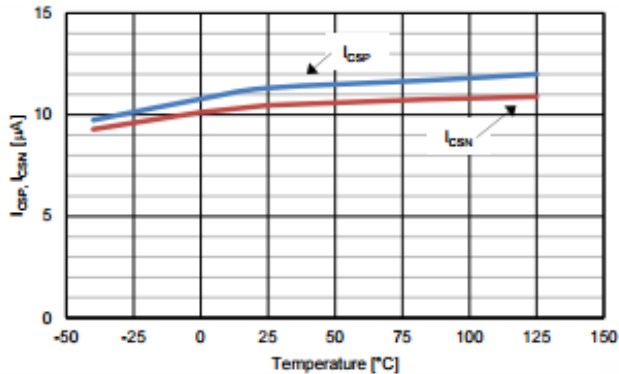


Figure 10.  $I_{CSP}$ ,  $I_{CSN}$  vs Temperature

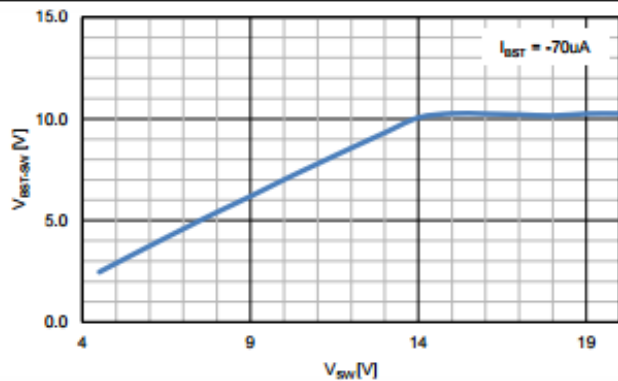


Figure 11.  $V_{BST-SW}$  vs  $V_{SW}$

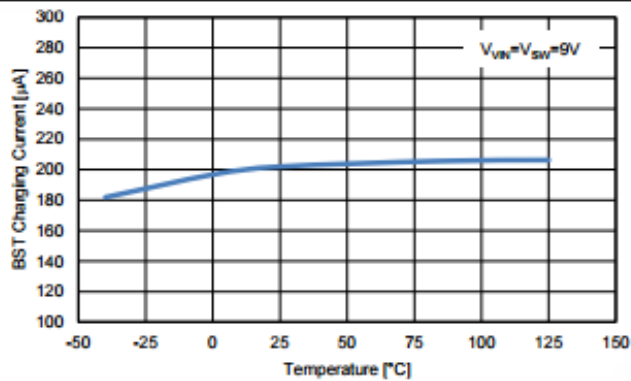


Figure 12.  $I_{BST}$  vs Temperature

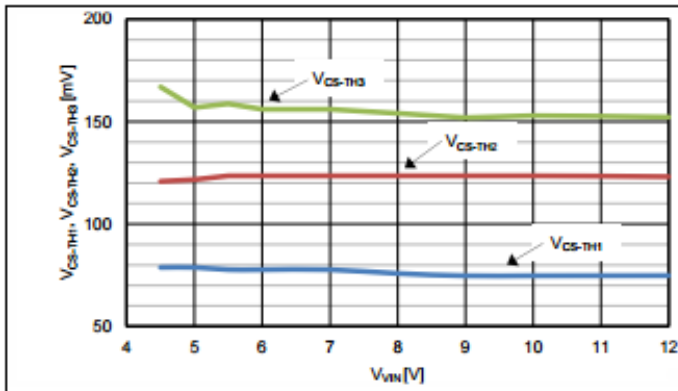


Figure 13.  $V_{CS-TH1}$ ,  $V_{CS-TH2}$ ,  $V_{CS-TH3}$  vs  $V_{IN}$

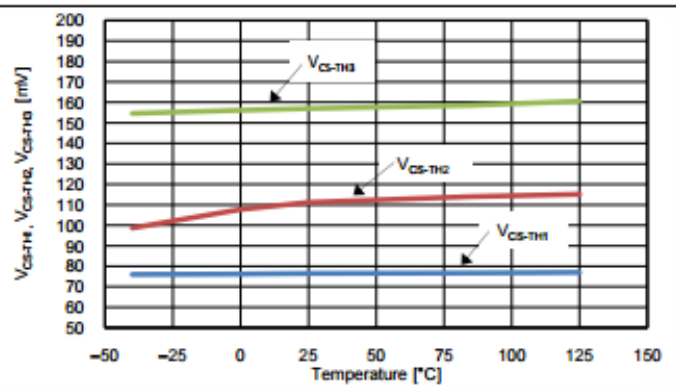


Figure 14.  $V_{CS-TH1}$ ,  $V_{CS-TH2}$ ,  $V_{CS-TH3}$  vs Temperature

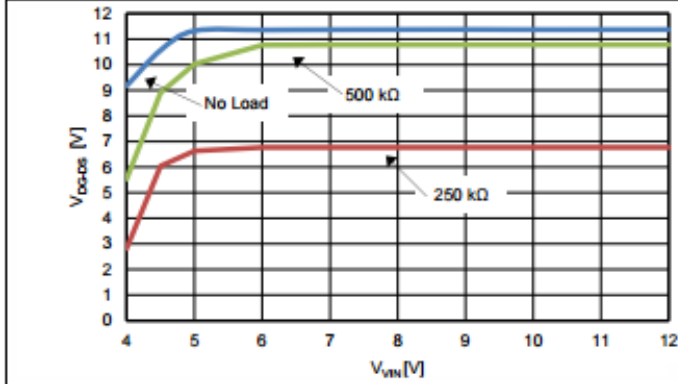


Figure 15.  $V_{DG-DS}$  vs  $V_{IN}$

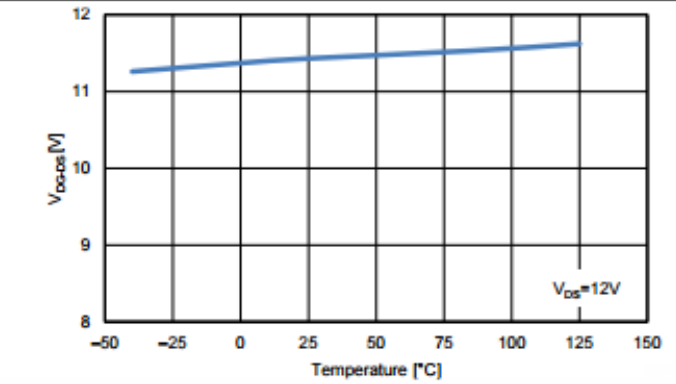


Figure 16.  $V_{DG-DS}$  vs Temperature

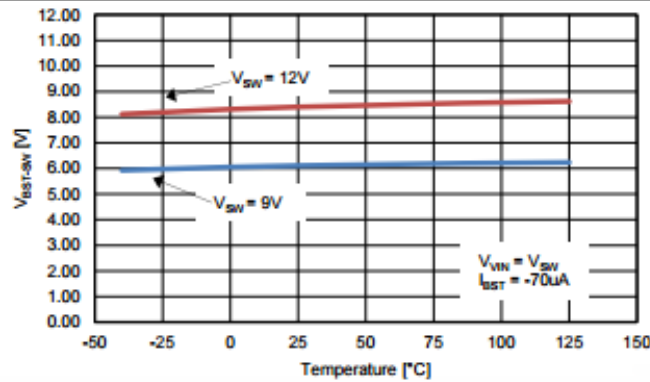


Figure 17.  $V_{BST-SW}$  vs Temperature

## 7 Detailed Description(자세한 설명)

### 7.1 Overview(개요)

The LM5121 wide input range synchronous boost controller features all of the functions necessary to implement a highly efficient synchronous boost regulator. The regulator control method is based upon peak current mode control. Peak current mode control provides inherent line feed-forward and ease of loop compensation. This highly integrated controller provides strong high-side and low-side N-channel MOSFET drivers with adaptive dead-time control. The switching frequency is user programmable up to 1 MHz, either set by a single resistor or synchronized to an external

clock.

LM5121의 wide input range(넓은 입력 범위) synchronous(동기식) boost controller는 highly efficient synchronous(고효율 동기식) boost regulator를 구현하는 데 필요한 모든 기능을 갖추고 있다. regulator 제어 방법은 피크 전류 모드 제어를 기반으로 한다. 피크 전류 모드 제어는 고유한 line feed-forward 및 loop compensation의 용이성을 제공한다. 이 highly integrated(고도로 융합된) 컨트롤러는 adaptive(적응 할 수 있는) dead-time control 기능이 있는 강력한 high-side and low-side N-channel MOSFET 드라이버를 제공한다. 스위칭 주파수는 단일 저항으로 설정되거나 외부 클럭에 동기화 된 최대 1MHz까지 사용자 프로그래밍이 가능하다.

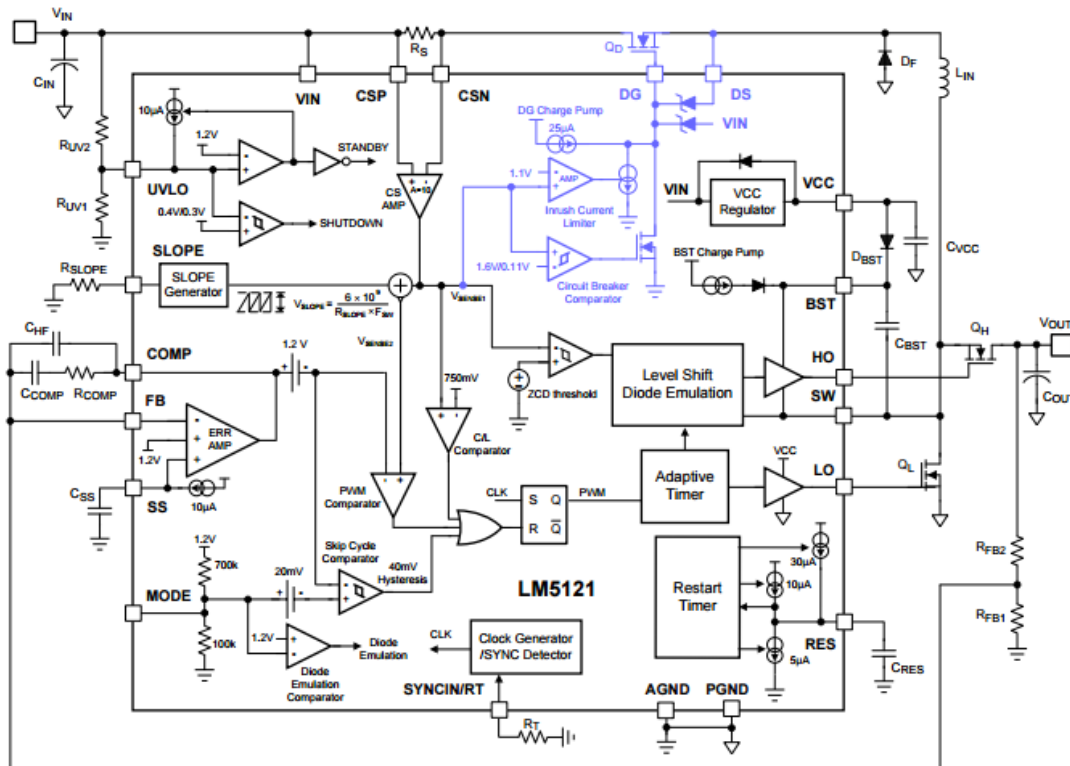
The control mode of high-side synchronous switch can be configured as either forced PWM (FPWM) or diode emulation mode. Fault protection features include cycle-by-cycle current limiting, hiccup mode over load protection, hiccup mode short circuit protection, thermal shutdown and remote shutdown capability by pulling down the UVLO pin. The UVLO input enables the controller when the input voltage reaches a user selected threshold, and provides tiny 9  $\mu$ A shutdown quiescent current when pulled low. LM5121's unique disconnection switch control provides numerous additional advantages. True Shutdown allows disconnecting load from the input, blocking leakage current paths in shutdown mode. Inrush current control limits input current during initial charging of the output capacitor. Circuit breaker function quickly switches off the disconnection switch, terminating any severe over-current condition. Hiccup mode short circuit protection minimizes power dissipation during prolonged output short condition. Input over voltage suppression can be achieved by connecting a Zener diode from the disconnection MOSFET gate pin to ground. The device is available in 20-pin HTSSOP package featuring an exposed pad to aid in thermal dissipation. high-side synchronous switch의 제어 모드는 강제 PWM (FPWM) 또는 diode emulation mode로 구성 할 수 있습니다. Fault protection features(오류 보호 기능)에는 cycle-by-cycle 전류 제한, hiccup mode 과부하 보호, hiccup mode 단락 회로 보호, thermal shutdown 및 UVLO 핀을 끌어내어 remote shutdown 기능이 포함된다. UVLO 입력은 입력 전압이 사용자가 선택한 임계값에 도달 할 때 컨트롤러를 활성화하고, low로 낮출 때 9 $\mu$ A의 shutdown 대기 전류를 제공한다. LM5121의 독창적인 분리 스위치 제어 기능은 추가로 많은 이점을 제공합니다.

True Shutdown 기능은 입력에서 부하를 차단하여 shutdown 모드에서 누설 전류 경로를 차단한다. Inrush current control(돌입 전류 제어)는 출력 커패시터의 초기 충전 시 입력 전류를 제한합니다. 회로 차단기 기능은 단절 스위치를 신속하게 차단하여 심각한 과전류 상태를 종결시킵니다. Hiccup 모드 단락 회로 보호 기능은 장시간 출력 단락 상태에서 전력 손실을 최소화합니다. 입력 과전압 억제제는 분리 MOSFET 게이트 핀에서 접지로 제너 다이오드를 연결하여 수행 할 수 있습니다. 이 소자는 방열을 돕기 위해 노출 패드가 있는 20 핀 HTSSOP 패키지로 제공됩니다.

\*돌입 전류 [rush current, inrush current]

선로, 변압기, 전동기, 콘덴서 등의 회로의 개폐기를 투입했을 때 볼 수 있듯이, 순간적으로 증가하지만 즉시 정상상태로 복귀되는 과도전류를 말한다.

## 7.2 Functional Block Diagram



### 7.3 Feature Description (기능 설명)

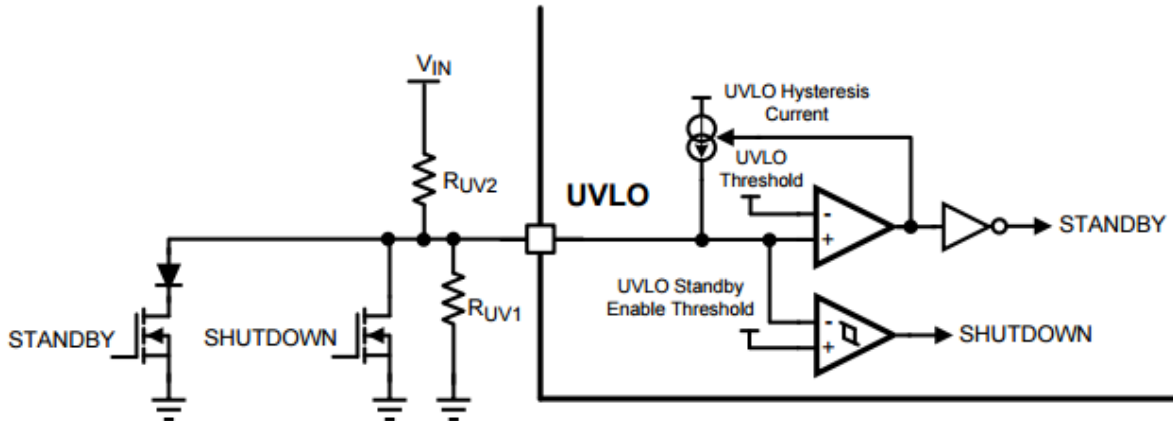
### 7.3.1 Undervoltage Lockout (UVLO) (저전압 차단)

The LM5121 features a dual level UVLO circuit. When the UVLO pin voltage is less than the 0.4-V UVLO standby threshold, the LM5121 is in the shutdown mode with all functions disabled. The shutdown comparator provides 0.1 V of hysteresis to avoid chatter during transitions. If the UVLO pin voltage is greater than 0.4 V and below 1.2 V during power up, the controller is in the standby mode with the VCC regulator operational, the disconnection switch disabled and no switching at the HO and LO outputs. This feature allows the UVLO pin to be used as a remote shutdown function by pulling the UVLO pin down below the UVLO standby threshold with an external open collector or open drain device.

LM5121은 dual level UVLO 회로를 갖추고 있다. UVLO 핀 전압이 0.4V UVLO 대기 임계 값보다 작으면 LM5121은 모든 기능이 비활성화 된 상태에서 shutdown mode에 있다. shutdown comparator (셋다운 비교기)는 0.1 V의 hysteresis를 제공하여 변환 중 \*chattering 현상을 방지한다. 전원이 켜져있는 동안 UVLO 핀 전압이 0.4V 이상 1.2V 미만이면 컨트롤러는 VCC regulator가 작동하고 단선 스위치가 비활성화되고 HO와 LO 출력에서 스위칭이 없는 대기 모드에 있다. 이 기능은 외부 open collector or open drain 장치로 UVLO 핀을 UVLO 대기 임계 값 아래로 끌어내어 UVLO 핀을 remote shutdown(원격 셋다운) 기능으로 사용할 수 있게 한다.

채터링[chattering]

스위치나 릴레이 등의 접점이 개폐될 때 기계에서 발생하는 진동이다. 스위치를 ON 또는 OFF로 했을 때, 접점 부분의 진동으로 말미암아 단속(斷續) 상태가 반복되는 일. 키보드에서 이 상태가 발생하면 같은 문자가 여러 개 찍힌다. 이를 방지하기 위해 하드웨어 내부나 소프트웨어에 특수 장치가 첨가되는데, RS 플립 회로가 대표적인 것이다.



**Figure 18. UVLO Remote Standby and Shutdown Control**

If the UVLO pin voltage is above 1.2-V UVLO threshold and VCC voltage exceeds the VCC UV threshold, the startup sequence begins. UVLO hysteresis is accomplished with an internal 10- $\mu$ A current source that is switched on or off into the impedance of the UVLO setpoint divider. When the UVLO pin voltage exceeds the 1.2 V, the current source is enabled to quickly raise the voltage at the UVLO pin. When the UVLO pin voltage falls below the 1.2-V UVLO threshold, the current source is disabled causing the voltage at the UVLO pin to quickly fall. In addition to the UVLO hysteresis current source, a 5- $\mu$ s deglitch filter on both rising and falling edge of UVLO toggling helps preventing chatter during power up or down.

UVLO 핀 전압이 1.2V UVLO 임계 값을 초과하고 VCC 전압이 VCC UV 임계 값을 초과하면 시동 절차가 시작된다. UVLO hysteresis는 UVLO setpoint(설정값) 분배기의 임피던스로 커지거나 꺼지는 내부 10- $\mu$ A 전류 소스로 수행된다. UVLO 핀 전압이 1.2V를 초과하면 전류 소스를 활성화하여 UVLO 핀의 전압을 빠르게 올릴 수 있다. UVLO 핀 전압이 1.2V UVLO 임계 값 아래로 떨어지면 전류 소스는 disabled되어 UVLO 핀의 전압이 빠르게 떨어지게 된다. UVLO hysteresis 전류 소스 외에 UVLO toggling의 상승 및 하강 edge 모두에서 5 $\mu$ s deglitch filter는 전원이 커지거나 꺼지는 동안 떨림을 방지한다.

An external UVLO setpoint voltage divider from the supply voltage to AGND is used to set the minimum input operating voltage of the regulator. The divider must be designed such that the voltage at the UVLO pin is greater than 1.2 V when the input voltage is in the desired operating range. The maximum voltage rating of the UVLO pin is 16 V. If necessary, the UVLO pin can be clamped with an external zener diode. The UVLO pin should not be left floating. The values of RUV1 and RUV2 can be determined from Equation 1 and Equation 2.

공급 전압에서 AGND까지의 외부 UVLO setpoint(설정값) 전압 divider(분배기)는 regulator의 최소 입력 동작 전압을 설정하는 데 사용된다. Divider(분배기)는 입력 전압이 원하는 동작 범위에 있을 때 UVLO 핀의 전압이 1.2V보다 커지도록 설계되어야 한다. UVLO 핀의 최대 정격 전압은 16V이다. 필요한 경우 UVLO 핀을 외부 제너 다이오드로 \*clamping 할 수 있다. UVLO 핀은 floating 상태로 두어서는 안됩니다. RUV1 및 RUV2의 값은 방정식1과 방정식2로부터 결정될 수 있다.

클램핑[clamping]

입력 파형에 직류분을 가하고, 파형의 밑 부분 또는 꼭지 부분을 소정의 정전압 값에 일치시키는 것. 밑 부분을 0V 에 일치시키는 것을 + (또는 정)클램프, 꼭지 부분을 0V 에 일치시키는 것을 - (또는 부)클램프라고 한다.

$$(1) \quad R_{UV2} = \frac{V_{HYS}}{10\mu A} [\Omega]$$

$$(1) \quad R_{UV1} = \frac{1.2 \times R_{UV2}}{V_{IN(STARTUP)} - 1.2V} [\Omega]$$

(2) 어디에

- VHYS는 원하는 UVLO hysteresis입니다.
- VIN (STARTUP)은 전원을 켜는 동안 원하는 regulator의 시동 전압입니다.

turn-off 동안의 일반적인 shutdown 전압은 다음과 같이 계산할 수 있습니다.

$$(3) \quad V_{IN(SHUTDOWN)} = V_{IN(STARTUP)} - V_{HYS} [V]$$

### 7.3.2 High Voltage VCC Regulator (고전압 VCC 규칙)

The LM5121 contains an internal high voltage regulator that provides typical 7.6-V VCC bias supply for the controller and N-channel MOSFET drivers. The input of the VCC regulator, VIN can be connected to a voltage source as high as 65 V. The VCC regulator turns on when the UVLO pin voltage is greater than 0.4 V. When the input voltage is below the VCC setpoint level, the VCC output tracks VIN with a small dropout voltage. The output of the VCC regulator is current limited at 50-mA minimum.

LM5121에는 컨트롤러 및 N 채널 MOSFET 드라이버를 위한 일반적인 7.6V VCC 바이어스 전원을 제공하는 내부 고전압 regulator가 내장되어있다. VCC regulator의 입력 인 VIN은 65V의 높은 전압 소스에 연결될 수 있다. VCC regulator는 UVLO 핀 전압이 0.4V보다 클 때 켜진다. 입력 전압이 VCC setpoint level보다 낮으면 VCC 출력은 작은 전압 강하로 VIN을 추적한다. VCC regulator의 출력은 최소 50mA에서 전류 제한이 있다.

기능 설명

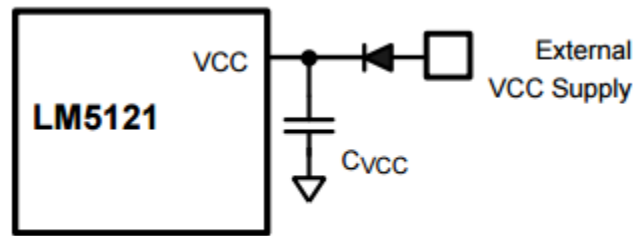
Upon power-up, the VCC regulator sources current into the capacitor connected to the VCC pin. The recommended range for the VCC capacitor is 1.0  $\mu$ F to 47  $\mu$ F and it is recommended to be at least 10 times greater than CBST value. When operating with a VIN voltage less than 6 V, the value of VCC capacitor should be 4.7  $\mu$ F or greater.

power-up 시 VCC regulator는 VCC 핀에 연결된 capacitor에 전류를 공급한다. VCC capacitor의 권장 범위는 1.0 $\mu$ F ~ 47 $\mu$ F이며 CBST 값의 10 배 이상인 것이 좋습니다. VIN 전압이 6V 미만에서 작동 할 때 VCC capacitor값은 4.7 $\mu$ F 이상이어야합니다.

The internal power dissipation of the LM5121 device can be reduced by supplying VCC from an external supply. If an external VCC bias supply exists and the voltage is greater than 9 V and below 14.5 V. The external VCC bias supply ca

n be applied to the VCC pin directly through a diode, as shown in Figure 19.

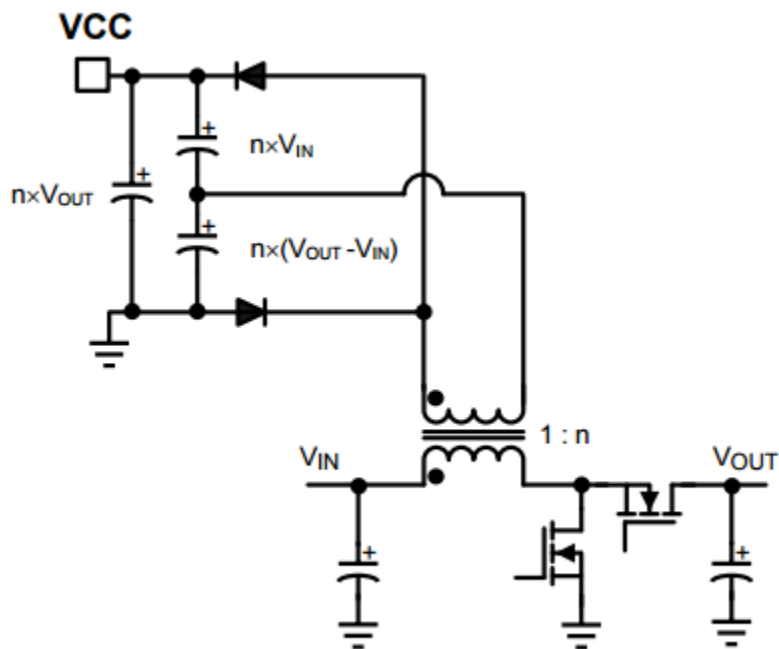
LM5121 디바이스의 내부 전력 손실은 외부 전원으로 VCC를 공급함으로써 감소시킬 수 있다. 외부 VCC bias 전원이 존재하고 전압이 9V 이상 14.5V 이하인 경우 그림 19와 같이 외부 VCC 바이어스 전원을 다이오드를 통해 직접 VCC 핀에 인가 할 수 있다.



**Figure 19. External Bias Supply when  $9\text{ V} < V_{\text{EXT}} < 14.5\text{ V}$**

Shown in Figure 20 is a method to derive the VCC bias voltage with an additional winding on the boost inductor. This circuit must be designed to raise the VCC voltage above VCC regulation voltage to shut off the internal VCC regulator.

그림 20은 boost inductor에 추가 권선을 사용하여 VCC bias 전압을 유도하는 방법이다. 이 회로는 내부 VCC regulator를 차단하기 위해 VCC 전압을 VCC regulation 전압보다 높게 설계해야 한다.



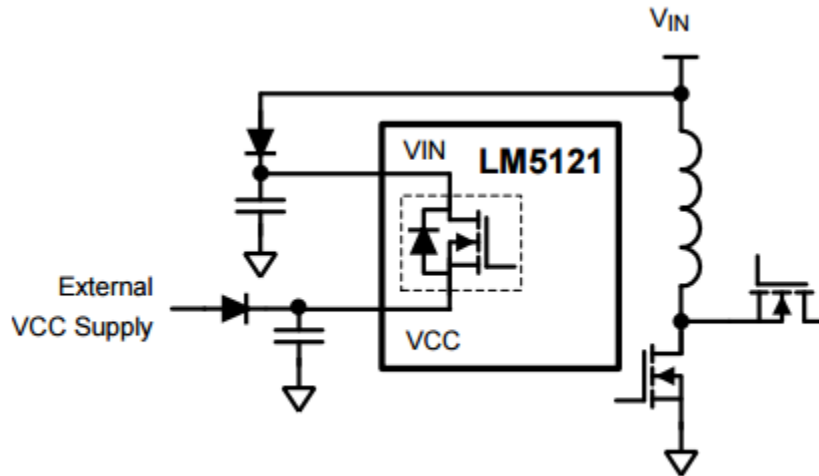
**Figure 20. External Bias Supply using Transformer**

The VCC regulator series pass transistor includes a diode between VCC and VIN, as shown in Figure 21, that should not be forward biased in normal operation. If the voltage of the external VCC bias supply is greater than the VIN pin voltage, an external blocking diode is required from the input power supply to the VIN pin to prevent the external bias supply from passing current to the input supply through VCC. The need for the blocking diode should be evaluated for all applications when the VCC is supplied by the external bias supply. When the input power supply voltage is less than 4.5 V, an external VCC supply should be used and the external blocking diode is required.

VCC regulator series pass transistor 그림 21에서 보듯이 VCC와 VIN 사이에 다이오드를 포함하고 있으며 정상 동작



시 순방향 bias되지 않아야한다. 외부 VCC bias supply의 전압이 VIN 핀 전압보다 큰 경우, 외부 bias 전원이 VCC를 통해 입력 supply로 전류를 통과하지 못하도록 외부 전원 차단 장치가 입력 전원 공급 장치에서 VIN 핀까지 필요하다. VCC가 외부 bias 전원에 의해 공급 될 때 모든 애플리케이션에 대해 blocking diode의 필요성을 평가해야한다. 입력 전원 전압이 4.5V보다 낮으면 외부 VCC 전원을 사용해야하며 external blocking diode(외부 차단 다이오드)가 필요합니다.



**Figure 21. VIN Configuration when  $V_{VIN} < V_{VCC}$**

### 7.3.3 Oscillator

The LM5121 switching frequency is programmable by a single external resistor connected between the RT pin and the AGND pin. The resistor should be located very close to the device and connected directly to the RT and AGND pin. To set a desired switching frequency ( $f_{SW}$ ), the resistor value can be calculated from Equation 4.

LM5121 switching frequency는 RT 핀과 AGND 핀 사이에 연결된 단일 외부 저항으로 프로그래밍 할 수 있다. 저항은 디바이스에 매우 가깝고 RT 및 AGND 핀에 직접 연결되어야 한다. 원하는 switching frequency( $f_{SW}$ )를 설정하기 위해, 저항 값은 식 4로부터 계산 될 수 있다.

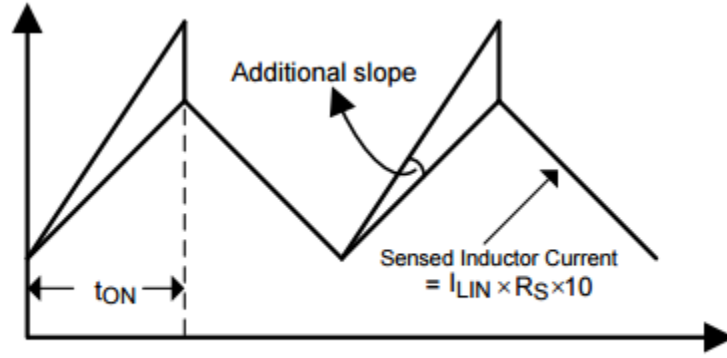
$$(4) \quad R_T = \frac{9 \times 10^9}{f_{SW}} [\Omega]$$

### 7.3.4 Slope Compensation(기울기 보상)

For duty cycles greater than 50%, peak current mode regulators are subject to sub-harmonic oscillation. Subharmonic oscillation is normally characterized by alternating wide and narrow duty cycles. This sub-harmonic oscillation can be eliminated by a technique, which adds an artificial ramp, known as slope compensation, to the sensed inductor current.

duty cycle이 50 %보다 큰 경우, peak current mode regulator는 sub-harmonic oscillation이 발생할 수 있다. Sub-harmonic oscillation은 일반적으로 넓은 duty cycle과 좁은 duty cycle을 교대로 특징으로 합니다. 이 sub-harmonic oscillation은 감지된 inductor 전류에 경사 보상 (slope compensation)으로 알려진 인공 램프를 추가하는 기술로 제거

할 수 있다.



**Figure 22. Slope Compensation**

The slope compensation of the LM5121 is programmable by a single resistor connected between the SLOPE pin and the AGND pin. The amount of slope compensation can be calculated as follows:

LM5121의 slope compensation은 SLOPE 핀과 AGND 핀 사이에 연결된 단일 저항으로 프로그래밍 할 수 있다. 기울기 보상의 양은 다음과 같이 계산할 수 있습니다.

$$(5) \quad V_{SLOPE} = \frac{6 \times 10^9}{f_{SW} \times R_{SLOPE}} \times D \text{ [V]}$$

Where

$$D = 1 - \frac{V_{IN}}{V_{OUT}}$$

$R_{SLOPE}$  value can be determined from the following equation at minimum input voltage:

$R_{SLOPE}$  값은 최소 입력 전압에서 다음 식으로 결정할 수 있습니다.

$$(6) \quad R_{SLOPE} = \frac{L_{IN} \times 6 \times 10^9}{[K \times V_{OUT} - V_{IN(MIN)}] \times R_S \times 10} \text{ } [\Omega]$$

where

- $K=0.82 \sim 1$  as a default

From the above equation, K can be calculated over the input range as follows:

위의 방정식으로부터 K는 입력 범위에 대해 다음과 같이 계산 될 수 있습니다.

$$(7) \quad K = \left(1 + \frac{L_{IN} \times 6 \times 10^9}{V_{IN} \times R_S \times 10 \times R_{SLOPE}}\right) \times D$$

Where

- $D' = \frac{V_{IN}}{V_{OUT}}$

In any case, K should be greater than 0.5. At higher switching frequency over 500 kHz, the K factor is recommended to be greater than or equal to 1 because the minimum on-time affects the amount of slope compensation due to

internal delays.

어떤 경우에도 K는 0.5보다 커야합니다. 500 kHz 이상의 높은 switching frequency에서, 최소 on-time이 내부 지연으로 인한 slope compensation의 양에 영향을 미치기 때문에 K factor(인자)는 1보다 크거나 같을 것을 권장합니다.

The sum of sensed inductor current and slope compensation should be less than COMP output high voltage (VOH) for proper startup with load and proper current limit operation. This limits the minimum value of RSLOPE to be:

감지된 inductor 전류와 slope compensation의 합은 부하 및 적절한 전류 제한 동작으로 적절한 시동을 위해 COMP 출력 고전압 (VOH)보다 낮아야한다. RSLOPE의 최소값을 다음과 같이 제한합니다.

$$(8) \quad R_{SLOPE} > \frac{5.7 \times 10^9}{f_{SW}} \times \left(1.2 - \frac{V_{IN(MIN)}}{V_{OUT}}\right) [\Omega]$$

- This equation can be used in most cases
- 이 방정식은 대부분의 경우에 사용될 수 있습니다.

$$R_{SLOPE} > \frac{5.7 \times 10^9}{f_{SW}} [\Omega]$$

- This conservative selection should be considered when  $V_{IN(MIN)} < 5.5 \text{ V}$
- 이 보수적인 선택은  $V_{IN(MIN)} < 5.5 \text{ V}$  일 때 고려해야 합니다.

The SLOPE pin cannot be left floating.

SLOPE 핀은 floating 상태로 둘 수 없습니다.

### 7.3.5 Error Amplifier (오차 증폭기)

The internal high-gain error amplifier generates an error signal proportional to the difference between the FB pin voltage and the internal precision 1.2-V reference. The output of the error amplifier is connected to the COMP pin allowing the user to provide a Type 2 loop compensation network.

내부 high-gain error amplifier는 FB 핀 전압과 내부 정밀도 1.2V 기준 전압의 차이에 비례하는 오류 신호를 생성한다. 오류 증폭기의 출력은 COMP 핀에 연결되어 사용자가 Type 2 loop compensation network를 제공 할 수 있도록 한다.

$R_{COMP}$ ,  $C_{COMP}$  and  $C_{HF}$  configure the error amplifier gain and phase characteristics to achieve a stable voltage loop.

This network creates a pole at DC, a mid-band zero ( $f_{Z\_EA}$ ) for phase boost, and a high frequency pole ( $f_{P\_EA}$ ). The minimum recommended value of  $R_{COMP}$  is 2 k $\Omega$  (See the Feedback Compensation section).

$R_{COMP}$ ,  $C_{COMP}$  및  $C_{HF}$ 는 error amplifier gain 및 위상 특성을 구성하여 안정적인 voltage loop를 달성합니다. 이 네트워크는 DC에 phase boost을 위한 mid-band zero ( $f_{Z\_EA}$ ) 및 high frequency pole( $f_{P\_EA}$ )을 생성합니다.  $R_{COMP}$ 의 최소 권장 값은 2k $\Omega$ 입니다 (Feedback Compensation section 참조).

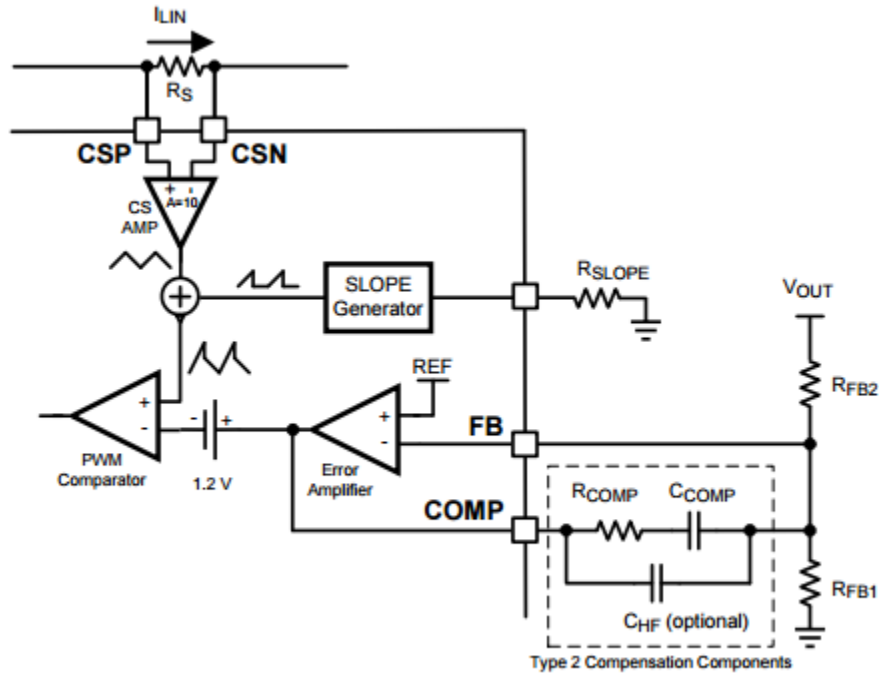
$$(9) \quad f_{Z\_EA} = \frac{1}{2\pi \times R_{COMP} \times C_{COMP}} [\text{Hz}]$$

$$(10) \quad f_{P\_EA} = \frac{1}{2\pi \times R_{COMP} \times \left( \frac{C_{COMP} \times C_{HF}}{C_{COMP} + C_{HF}} \right)} \text{ [Hz]}$$

### 7.3.6 PWM Comparator

The PWM comparator compares the sum of sensed inductor current and slope compensation ramp to the voltage at the COMP pin through a 1.2-V internal COMP to PWM voltage drop and terminates the present cycle when the sum of sensed inductor current and slope compensation ramp is greater than  $V_{COMP} - 1.2 \text{ V}$ .

PWM comparator는 감지된 inductor 전류와 slope compensation ramp의 합을 1.2V 내부 COMP에 PWM 전압 강하를 통해 COMP 핀의 전압과 비교하고 감지된 inductor 전류와 slope compensation ramp의 합이  $V_{COMP} - 1.2 \text{ V}$ 보다 클 때 PWM 전류 강하를 종료한다.



**Figure 23. Feedback Configuration and PWM Comparator**

### 7.3.7 Disconnection Switch Control(분리 스위치 제어)

Soft turn-on is achieved by slowly turning on the disconnection switch. When the UVLO pin voltage is greater than 1.2-V UVLO threshold and the VCC voltages exceeds the VCC UV threshold, the internal charge pump at DG starts sourcing current which enhances N-channel MOSFET disconnection switch. The internal charge pump provides bias voltage at DG pin above VIN pin voltage.

부드러운 스위치 ON은 분리 스위치를 서서히 켜서 이루어집니다. UVLO 핀 전압이 1.2V UVLO 임계 값보다 크고 VCC 전압이 VCC UV 임계 값을 초과하면 DG의 내부 charge pump가 sourcing 전류(전원 전류)를 시작하여 N 채널 MOSFET 단선 스위치를 향상시킨다. 내부 charge pump는 VIN핀 전압보다 높은 DG핀에서 bias 전압을 제공한다.

Additional inrush current limiting helps to limit the maximum inrush current. In the inrush current limiting condition when the voltage across sense resistor  $R_S$  reaches the inrush current limit threshold, the DG pin voltage is controlled to limit the current flow in  $R_S$  by controlling DG pull-down current sink.

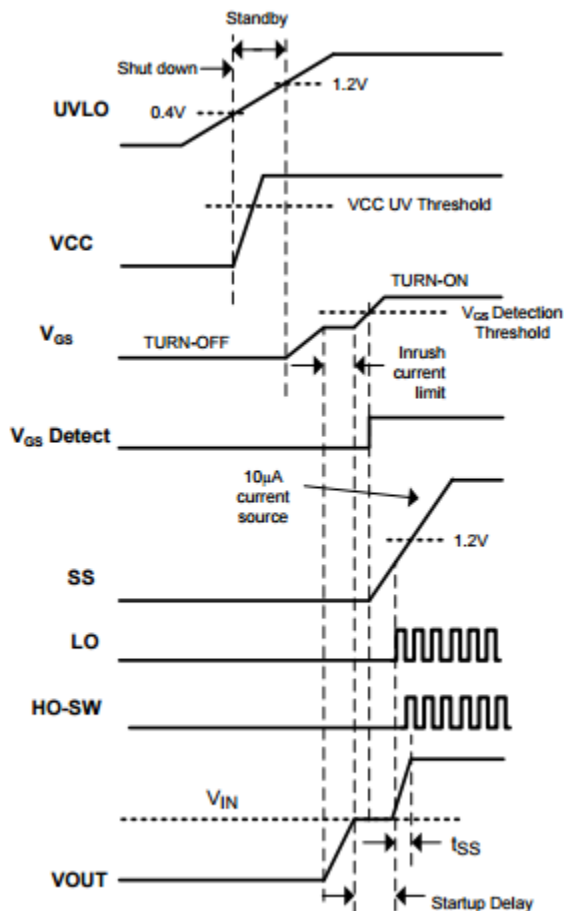
추가 inrush current(돌입 전류) 제한은 최대 inrush current를 제한하는데 도움이됩니다. inrush current 제한 조건에서 감지 저항 RS의 전압이 inrush current 제한 임계 값에 도달하면 DG 핀 전압은 DG pull-down 전류 sink를 제어하여 RS의 전류 흐름을 제한하도록 제어된다.

As the source voltage of the disconnection switch is charged during initial charging period, the operating point of the disconnection switch transitions from an active region into the ohmic region and the DG pin voltage is maintained by the charge pump. An internal 10  $\mu$ A soft-start current source turns on when the DG to DS voltage is greater than VGS detection threshold. VIN voltage is recommended to be greater than or equal to the input power supply voltage because the internal charge pump provides the DG bias voltage above the VIN voltage.

단선 스위치의 소스 전압이 초기 충전 기간 동안 충전됨에 따라 단로 스위치의 동작 점이 활성 영역에서 ohmic region 으로 전환되고 DG 핀 전압이 충전 펌프에 의해 유지된다. DG-DS 전압이 VGS 검출 임계 값보다 큰 경우 내부 10 $\mu$ A soft-start 전류 소스가 켜진다. 내부 차지 펌프가 VIN 전압보다 높은 DG bias 전압을 제공하기 때문에 VIN 전압은 입력 전원 전압보다 크거나 같아야 합니다.

The DG pin voltage is clamped to approximately 16 V above the DS pin and 11 V above the VIN pin by internal zener diodes.

DG 핀 전압은 내부 zener diodes에 의해 DS 핀 위 약 16V 및 VIN 핀 위 약 11V로 clamped 된다.



**Figure 24. Start-Up Sequence**

### 7.3.8 Soft-Start

The soft-start feature helps the regulator gradually reach the steady state operating point, thus reducing startup stresses and surges. The LM5121 regulates the FB pin to the SS pin voltage or the internal 1.2-V reference, whichever is lower. The internal 10-μA soft-start current source gradually increases the voltage on an external soft-start capacitor connected to the SS pin. This results in a gradual rise of the output voltage starting from the input voltage level to the target output voltage. The soft-start time (t<sub>SS</sub>) varies with the input supply voltage and output set point and is calculated from Equation 11.

soft-start 기능은 regulator 가 점진적으로 정상 상태 동작 점에 도달하도록하여 시동 stresses 및 서지를 감소시킨다. LM5121은 FB 핀을 SS 핀 전압 또는 내부 1.2V 기준 중 낮은 값으로 조정한다. 내부 10μA soft-start current source 는 SS 핀에 연결된 외부 soft-start capacitor 의 전압을 점차 증가시킨다. 그 결과 입력 전압 레벨에서부터 목표 출력 전압까지 점진적으로 출력 전압이 상승합니다. soft-start time (t<sub>SS</sub>)은 입력 전원 전압 및 출력 설정 점에 따라 달라지며 식 (11)에서 계산됩니다.

$$(11) \quad t_{SS} = \frac{C_{SS} \times 1.2V}{10\mu A} \times \left(1 - \frac{V_{IN}}{V_{OUT}}\right) [\text{sec}]$$

When UVLO pin voltage is greater than 1.2-V UVLO threshold, VCC voltage exceeds the VCC UV threshold and DG to DS voltage is greater than VGS detection threshold, an internal 10-μA soft-start current source turns on. At the beginning of this soft-start sequence, VSS should be allowed to fall down below 25 mV by the internal SS pulldown switch. The SS pin can be pulled down by an external switch to stop switching, but pulling up to enable switching is not recommended. The startup delay (see Figure 24) should be long enough for the high-side boot capacitor to be fully charged by the internal BST charge pump. This defines the recommended minimum CSS value, which is especially important when VVIN is greater than 9 V.

UVLO 핀 전압이 1.2V UVLO 임계 값보다 클 때 VCC 전압이 VCC UV 임계 값을 초과하고 DG-DS 전압이 VGS 검출 임계 값보다 크면 내부 10μA soft-start current source가 켜진다. 이 soft-start sequence의 시작에서 VSS는 내부 SS pull-down 스위치로 25mV 미만으로 떨어 뜨려야한다. SS 핀은 스위칭을 멈추기 위해 외부 스위치에 의해 pull-down 될 수 있지만, 스위치를 켜기 위해 끌어 올리는 것은 권장되지 않습니다. 시동 지연 (그림 24 참조)은 high-side boot capacitor가 내부 BST charge pump에 의해 완전히 충전되기에 충분해야한다. 이는 VVIN이 9V보다 클 때 특히 중요한 CSS 최소 권장 값을 정의합니다.

$$(12) \quad C_{SS} > 0.33 \times C_{BST} \times \left(\frac{V_{IN}}{V_{OUT}}\right) [F]$$

Also, the value of CSS should be large enough to charge the output capacitor during soft-start time. 또한 CSS의 값은 soft-start time 동안 출력 capacitor를 충전 할 수 있을 만큼 커야한다.

$$(13) \quad C_{SS} > \frac{10\mu A \times V_{OUT}}{1.2V} \times \frac{C_{OUT}}{I_{OUT}} [F]$$

### 7.3.9 HO and LO Drivers

The LM5121 contains two strong N-channel MOSFET gate drivers and a high-side level shifter to drive the external

N-channel MOSFET switches. The high-side gate driver works in conjunction with an external bootstrap diode DBST, and bootstrap capacitor CBST. During the on-time of the low-side N-channel MOSFET driver, the SW pin voltage is approximately 0 V and the CBST is charged from VCC through the DBST. A 0.1- $\mu$ F or larger ceramic capacitor, connected with short traces between the BST and SW pin, is recommended.

LM5121은 2 개의 강력한 N-channel MOSFET gate drivers와 외부 N-channel MOSFET switches를 구동하는 high-side level shifter를 포함하고있다. high-side gate driver는 외부 bootstrap diode DBST 및 bootstrap capacitor CBST와 함께 작동한다. low-side N-channel MOSFET driver의 on-time 동안 SW 핀 전압은 약 0V이고 CBST는 DBST를 통해 VCC로부터 충전된다. BST와 SW 핀 사이의 짧은 trace로 연결된 0.1 $\mu$ F 이상의 ceramic capacitor를 권장한다.

The LO and HO outputs are controlled with an adaptive dead-time methodology which ensures that both outputs are never enabled at the same time. When the controller commands LO to be enabled, the adaptive dead-time logic first disables HO and waits for HO-SW voltage to drop. LO is then enabled after a small delay (HO Fall to LO Rise Delay). Similarly, the HO turn-on is delayed until the LO voltage has discharged. HO is then enabled after a small delay (LO Fall to HO Rise Delay). This technique ensures adequate dead-time for any size Nchannel MOSFET or parallel MOSFET configurations especially when VCC is supplied by a higher external voltage source. Use caution when adding series gate resistors, as this may decrease the effective dead-time.

LO 및 HO 출력은 adaptive(적응 할 수 있는) dead-time 방식으로 제어되어 두 출력이 동시에 활성화되지 않도록 합니다. controller가 LO를 enable 하도록 명령하면, adaptive dead-time 로직은 먼저 HO를 disable하고 HO-SW 전압이 떨어질 때까지 대기한다. LO는 작은 지연 (HO Fall에서 LO Rise Delay) 후에 활성화됩니다. 유사하게 HO turn-on 은 LO 전압이 방전 될 때까지 지연된다. HO는 작은 지연 후에 활성화된다 (LO Fall to HO Rise Delay). 이 기법은 특히 VCC가 더 높은 외부 전압 소스에 의해 공급 될 때 모든 크기 N 채널 MOSFET 또는 병렬 MOSFET 구성에 적합한 dead-time 을 보장한다. series gate resistor(직렬 게이트 저항)을 추가 할 때 주의하십시오. 이로 인해 유효 dead-time이 줄어들 수 있습니다.

Care should be exercised in selecting the N-channel MOSFET devices threshold voltage when the VIN voltage range is below the VCC regulation level or a bypass operation is required. If bypass operation is required when output voltage is less than 12 V, a logic level device should be selected for the high-side N-channel MOSFET. During startup at low input voltages, the low-side N-channel MOSFET's gate plateau voltage should be sufficiently low to completely enhance the N-channel MOSFET device. If the low-side MOSFET drive voltage is lower than the low-side MOSFET gate plateau voltage during startup, the regulator may not start properly and it may operate at the maximum duty cycle in a high power dissipation state. This condition can be avoided by selecting a lower threshold N-channel MOSFET or by increasing VIN(STARTUP) with the UVLO pin programming.

VIN 전압 범위가 VCC regulation level 미만이거나 bypass 동작이 필요할 때 N-channel MOSFET 소자 임계 전압을 선택할 때는 주의해야한다. 출력 전압이 12V 미만일 때 bypass 동작이 필요한 경우 high-side N-channel MOSFET에 logic level device를 선택해야한다. 낮은 입력 전압에서 시동하는 동안 low-side N-channel MOSFET의 gate plateau 전압은 N-channel MOSFET를 완전히 향상시킬 수 있을 만큼 충분히 낮아야한다. 시동시 low-side MOSFET 구동 전압 이 low-side MOSFET gate plateau 전압보다 낮으면 regulator가 제대로 시작하지 않을 수 있으며 고 전력 손실 상태에서 최대 duty cycle에서 작동 할 수 있습니다. 이 조건은 낮은 임계 값 N 채널 MOSFET을 선택하거나 UVLO 핀 프로그래밍으로 VIN (STARTUP)을 증가시킴으로써 피할 수 있다.

### 7.3.10 Bypass Operation (VOUT = VIN)

The LM5121 allows 100% duty cycle operation for the high-side synchronous switch when the input supply voltage is equal to or greater than the target output voltage. An internal 200  $\mu$ A BST charge pump maintains sufficient high-side driver supply voltage to keep the high-side N-channel MOSFET switch on without the power stage switching. The internal BST charge pump is enabled when the UVLO pin voltage is greater than 1.2 V, the VCC voltage exceeds the VCC UV threshold and DG to DS voltage is greater than the VGS detection threshold. The BST charge pump generates 5.3 V minimum BST to SW voltage when SW voltage is greater than 9 V. This requires minimum 9 V boost output voltage for proper bypass operation. The leakage current of the boot diode should be always less than the BST charge pump sourcing current to maintain a sufficient driver supply voltage at both low and high temperatures. Forced PWM mode is the recommended PWM configuration when bypass operation is required.

LM5121은 입력 전원 전압이 목표 출력 전압 이상인 경우 high-side synchronous switch에 100 % duty cycle 동작을 허용한다. 내부 200 $\mu$ A BST charge pump는 전력단 스위칭없이 high-side N-channel MOSFET switch를 켜기 위해 충분한 high-side driver 전원 전압을 유지한다. 내부 BST charge pump는 UVLO 핀 전압이 1.2V보다 클 때, VCC 전압이 VCC UV 임계 값을 초과하고 DG-DS 전압이 VGS 검출 임계 값보다 클 때 활성화된다. BST 차지 펌프는 SW 전압이 9V보다 클 때 5.3V의 최소 BST to SW 전압을 발생시킨다. 이것은 적절한 bypass 동작을 위해 최소 9V boost output voltage을 필요로 한다. 저온 및 고온에서 sufficient driver 공급 전압을 유지하려면 boot diode의 leakage current(누출 전류)가 항상 BST charge pump sourcing 전류보다 작아야 합니다. bypass 동작이 필요할 때 강제 PWM 모드가 권장 되는 PWM 구성입니다.

### 7.3.11 Cycle-by-Cycle Current Limit

The LM5121 features a peak cycle-by-cycle current limit function. If the CSP to CSN voltage exceeds the 75-mV cycle-by-cycle current limit threshold, the current limit comparator immediately terminates the LO output. For the case where the inductor current overshoots the desired limit, such as inductor saturation, the current limit comparator blocks LO pulses until the current has decayed below the current limit threshold. Peak inductor current in current limit can be calculated as follows:

LM5121은 peak cycle-by-cycle 전류 제한 기능을 갖추고 있다. CSP 대 CSN 전압이 75mV cycle-by-cycle 전류 제한 임계 값을 초과하면 전류 제한 비교기는 즉시 LO 출력을 중단한다. inductor 전류가 inductor saturation와 같은 원하는 한계를 넘기는 경우, current limit comparator는 전류가 전류 제한 임계 값 이하로 감쇄 할 때까지 LO 펄스를 차단합니다. 전류 제한의 피크 inductor 전류는 다음과 같이 계산할 수 있다.

$$(14) \quad I_{PEAK} = \frac{75mV}{R_S} [A]$$

### 7.3.12 Circuit Breaker Function



In addition to the hiccup mode short circuit / overload protection, LM5121 provides a circuit breaker function for maximum safety. If the input current increases rapidly due to a fault, the current through the disconnection switch may exceed the inrush control threshold before the inrush control loop is able to respond. If the sensed current exceeds the circuit breaker threshold, the disconnection switch is quickly turned off through an internal switch at the DG pin until current sense input falls below the circuit breaker disable threshold. If the RES pin voltage is less than 1.2 V, the controller then restarts the inrush control procedure.

hiccup mode 단락 / 과부하 보호 외에도 LM5121은 최대 안전을 위한 회로 차단기 기능을 제공합니다. 입력 전류가 오류로 인해 빠르게 증가하면 inrush control loop가 응답 할 수 있기 전에 차단 스위치를 통과하는 전류가 inrush control 임계 값을 초과 할 수 있습니다. 감지된 전류가 회로 차단기 임계 값을 초과하면 차단 스위치는 전류 감지 입력이 회로 차단기 비활성 임계 값 아래로 떨어질 때까지 DG 핀의 내부 스위치를 통해 빠르게 꺼집니다. RES 핀 전압이 1.2V 미만이면 컨트롤러는 inrush control 절차를 다시 시작합니다.

### 7.3.13 Clock Synchronization (클록 동기화)

The SYNCIN/RT pin can be used to synchronize the internal oscillator to an external clock. The positive going synchronization clock at the RT pin must exceed the RT sync rising threshold and the negative going synchronization clock at RT pin must exceed the RT sync falling threshold to trip the internal synchronization pulse detector.

SYNCIN / RT 핀을 사용하여 내부 oscillator 를 외부 clock과 동기화 할 수 있습니다. RT 핀의 양방향 동기화 클럭은 RT sync 상승 임계 값을 초과해야하며 RT 핀의 음의 동기화 클럭은 internal synchronization pulse detector(내부 동기화 펄스 검출기)를 trip하기 위해 RT sync 하강 임계 값을 초과해야합니다.

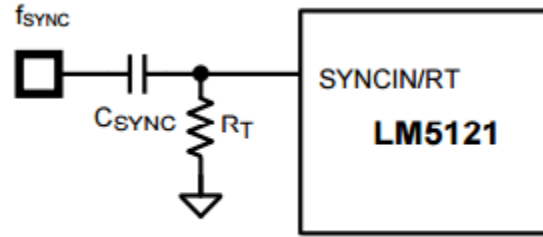
With the configuration in Figure 25, the frequency of the external synchronization pulse is recommended to be within  $\pm 20\%$  of the internal oscillator frequency programmed by RT resistor. The actual operating range is  $\pm 100/40\%$  of the programmed frequency. For example, 900 kHz external synchronization clock and 20 k $\Omega$  RT resistor are required for 450 kHz switching. The internal oscillator can be synchronized by AC coupling a positive edge into the RT pin. A 5-V amplitude pulse signal coupled through 100-pF capacitor is a good starting point. The RT resistor is always required in this configuration, whether the oscillator is free running or externally synchronized.

그림 25의 구성에서 외부 동기 펄스의 주파수는 RT 저항으로 프로그래밍 된 내부 발진기 주파수의  $\pm 20\%$  이내가 되도록 권장됩니다. 실제 작동 범위는 프로그래밍 된 주파수의  $\pm 100 / 40\%$ 입니다. 예를 들어 450kHz 스위칭을 위해서는 900kHz 외부 동기화 클럭과 20k $\Omega$  RT 저항이 필요합니다. 내부 oscillator는 positive edge (양측 모서리)를 RT 핀에 AC coupling 함으로써 동기화 될 수 있습니다. 100-pF capacitor 를 통해 결합 된 5V 진폭 펄스 신호는 좋은 출발점입니다. RT 저항은 발진기가 free running 또는 외부적으로 동기화되었는지에 관계없이 항상 이 구성에서 필요합니다.

Care should be taken to guarantee that the RT pin voltage does not go below  $-0.3\text{ V}$  at the falling edge of the external pulse. This may limit the duty cycle of external synchronization pulse. There is approximately 400 ns delay from the rising edge of the external pulse to the rising edge of LO.

RT 핀 전압이 외부 펄스의 falling edge (하강 에지)에서  $-0.3\text{V}$  이하가 되지 않도록 주의해야한다. 이것은 외부 동기화 펄스의 duty cycle을 제한 할 수 있습니다. 외부 펄스의 rising edge에서 LO의 rising edge까지 약 400ns의 지연이

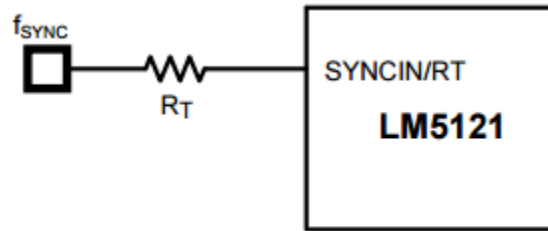
있습니다.



**Figure 25. Oscillator Synchronization Through AC Coupling**

With the configuration in Figure 26, the internal oscillator can be synchronized by connecting the external synchronization clock to the RT pin through the RT resistor with free of the duty cycle limit. The output stage of the external clock source should be a low impedance totem-pole structure and the default logic state of  $f_{SYNC}$  should be low.

그림 26의 구성에서 duty cycle 제한없이 RT resistor 를 통해 RT 핀에 외부 동기화 클록을 연결하여 내부 oscillator 를 동기화 할 수 있다. 외부 클록 소스의 출력단은 낮은 impedance 의 totem-pole 구조이어야 하며  $f_{SYNC}$  의 기본 logic 상태는 낮아야한다.



**Figure 26. Oscillator Synchronization Through a Resistor**

#### 7.3.14 Maximum Duty Cycle

When operating with a high PWM duty cycle, the low-side N-channel MOSFET device is forced off each cycle. This forced LO off-time limits the maximum duty cycle of the controller. When designing a boost regulator with high switching frequency and high duty cycle requirements, check the required maximum duty cycle. The minimum input supply voltage which can achieve the target output voltage is estimated from Equation 15 .

높은 PWM duty cycle에서 작동 할 때, low-side N-channel MOSFET device 는 매 사이클마다 강제로 꺼진다. 이 강제 off-time은 controller의 최대 duty cycle을 제한합니다. 높은 스위칭 주파수 및 높은 duty cycle 요구 사항을 갖는 boost regulator를 설계 할 때 필요한 최대 duty cycle을 점검한다. 목표 출력 전압을 달성 할 수 있는 최소 입력 전 원 전압은 식 (15)로부터 추정된다.

$$(15) \quad V_{IN(MIN)} = f_{SW} \times V_{OUT} \times (550ns + margin)[v]$$

100 ns of margin is recommended

100ns의 여백을 권장합니다.

### 7.3.15 Thermal Protection

Internal thermal shutdown circuitry is provided to protect the controller in the event the maximum junction temperature is exceeded. When activated, typically at 165°C, the controller is forced into a low-power shutdown mode, disabling the output drivers, disconnection switch and the VCC regulator. This feature is designed to prevent overheating and destroying the device.

내부 thermal shutdown 회로는 최대 접합 온도를 초과하는 경우 controller를 보호하기 위해 제공됩니다. 일반적으로 165 ° C에서 활성화되면 controller는 low-power shutdown mode로 강제 전환되어 출력 드라이버, 분리 스위치 및 VCC regulator를 비활성화한다. 이 기능은 과열 및 장치 파손을 방지하기 위해 고안되었습니다.

## 7.4 Device Functional Modes

### 7.4.1 Hiccup Mode Short Circuit and Overload Protection

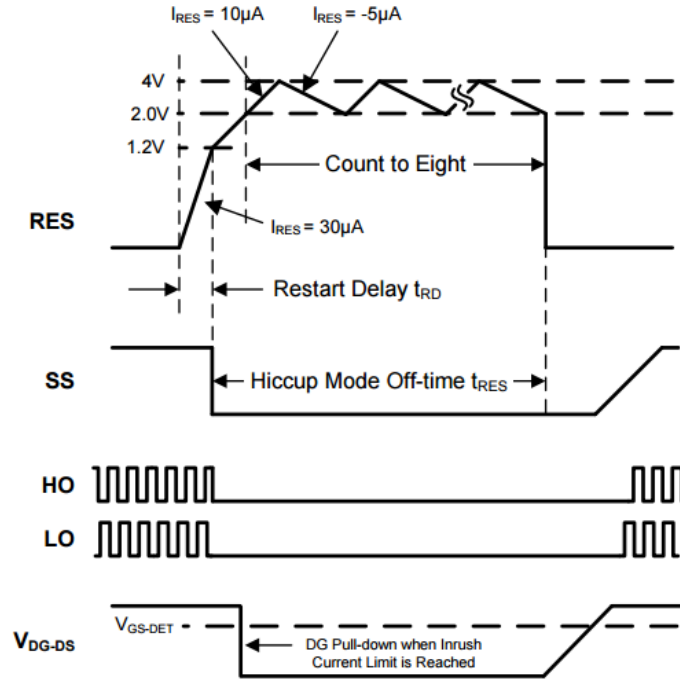
If cycle-by-cycle current limit or inrush current limit is reached during any cycle, a 30-μA RES current is sourced into the RES capacitor for the remainder of the clock cycle. If the RES capacitor voltage exceeds the 1.2-V restart threshold, a hiccup mode protection sequence is initiated. In the hiccup mode, the DG pin is discharged to GND if the inrush current limit is reached, the SS capacitor is discharged to GND, both LO and HO outputs are disabled, and the voltage on the RES capacitor is ramped up and down between 2-V and 4-V eight times.

cycle-by-cycle 전류 제한 또는 돌입 전류 제한에 도달하면 30μA RES 전류가 나머지 clock cycle 동안 RES capacitor에 공급됩니다. RES capacitor 전압이 1.2V 재시작 임계 값을 초과하면 hiccup mode protection sequence가 시작됩니다. hiccup mode에서, inrush current 제한에 도달하면 DG 핀이 GND로 방전되고, SS capacitor는 GND로 방전되고, LO 및 HO 출력 모두 disabled 되고, RES capacitor의 전압은 2V와 4V 사이에서 8 번 위아래로 상승한다.

After the eighth RES pin cycle, the DG pin is released and charged by the DG charge pump. If a 2~3-V zener diode is connected in parallel with the RES capacitor, the regulator enters into the hiccup mode and never restarts until UVLO shutdown is cycled. Connect the RES pin directly to the AGND when the hiccup mode operation is not required.

여덟 번째 RES 핀 cycle이 지나면 DG 핀이 풀려서 DG charge pump에 의해 충전됩니다. 2 ~ 3V zener diode가 RES capacitor와 병렬로 연결된 경우, regulator는 hiccup mode로 들어가고 UVLO shutdown이 순환 될 때까지 다시 시작하지 않는다. hiccup mode 동작이 필요하지 않을 때 RES 핀을 AGND에 직접 연결하십시오.





**Figure 28. Hiccup Mode Overload Protection (Overload After Start-Up)**

#### 7.4.2 MODE Control (Forced PWM Mode and Diode Emulation Mode)

A fully synchronous boost regulator implemented with a high-side MOSFET rather than a diode has the capability to sink current from the output in conditions such as light load, overvoltage or load transient. The LM5121 can be configured to operate in either forced PWM mode or diode emulation mode.

diode가 아닌 high-side MOSFET으로 구현 된 fully synchronous boost regulator(완전 동기식 부스트 레귤레이터)는 light load, overvoltage 또는 load transient에서 출력에서 전류를 sink 할 수 있는 기능을 갖추고 있다. LM5121은 강제 PWM 모드 또는 diode emulation mode에서 작동하도록 구성 할 수 있습니다.

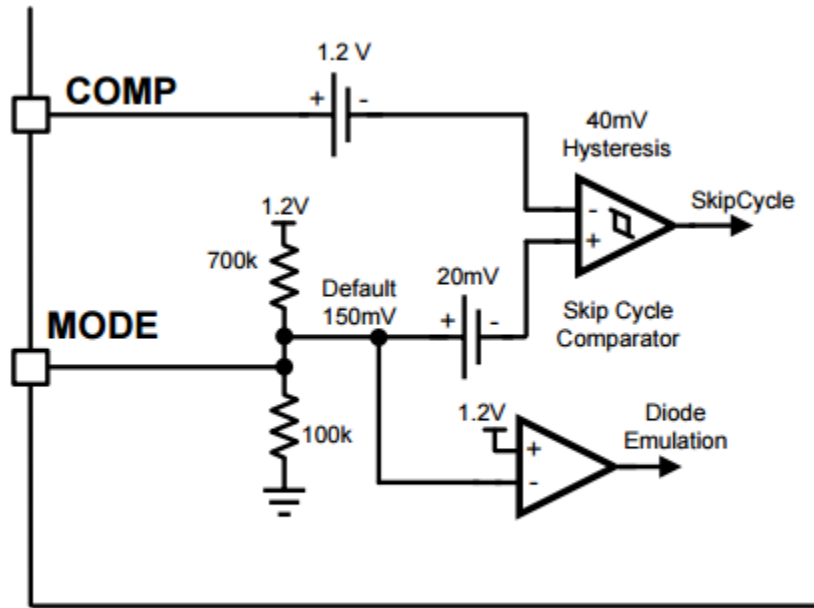
In forced PWM mode (FPWM), reverse current flow in high-side N-channel MOSFET switch is allowed and the inductor current conducts continuously at light or no load conditions. The benefit of the forced PWM mode is fast light load to heavy load transient response and constant frequency operation at light or no load conditions. To enable forced PWM mode, connect the MODE pin to VCC or tie it to a voltage greater than 1.2 V. In the FPWM mode, reverse current flow is not limited.

강제 PWM 모드 (FPWM)에서는 high-side N-channel MOSFET 스위치의 역전류가 허용되고 부하 조건이 가볍거나 무부하 상태에서 inductor 전류가 연속적으로 흐른다. 강제 PWM 모드의 이점은 가볍거나 무부하 조건에서 가벼운 부하에서부터 과부하 과도 응답 및 일정 주파수 동작까지입니다. 강제 PWM 모드를 활성화하려면 MODE 핀을 VCC에 연결하거나 1.2V 이상의 전압에 연결하십시오. FPWM 모드에서는 역전 류가 제한되지 않습니다.

In the diode emulation mode, current flow in the high-side switch is only permitted in one direction (source to drain). Turn-on of the high-side switch is allowed if the CSP to CSN voltage is greater than the 7 mV rising threshold of the zero current detection circuit during low-side switch on-time. If the CSP to CSN voltage is less than 6 mV falling threshold of the zero current detection during high-side switch on-time, reverse current flow from output to input through the high-side N-channel MOSFET is prevented and discontinuous conduction mode of operation is enabled

by latching off the high-side N-channel MOSFET switch for the remainder of the PWM cycle. A benefit of the diode emulation is lower power loss at light load conditions.

diode emulation mode 에서 high-side switch의 전류 흐름은 한 방향 (source to drain)에서만 허용됩니다. high-side switch의 Turn-on은 CSP 대 CSN 전압이 low-side switch on-time 동안 zero current detection circuit의 상승 임계 값인 7mV보다 큰 경우 허용된다. CSP 대 CSN 전압이 high-side switch on-time 동안 zero current detection 의 하한 임계 값 미만인 경우, 출력에서 하이 사이드 N 채널 MOSFET을 통한 입력으로의 역전 류가 방지되고 나머지 PWM 사이클 동안 high-side N-channel MOSFET 스위치를 latch를 off함으로써 불연속 전도 모드가 가능해진다. diode emulation의 이점은 경부 하 조건에서 전력 손실이 낮다는 것입니다.



**Figure 29. MODE Selection**

During startup the LM5121 forces diode emulation, to support startup into a pre-biased load, until the SS pin voltage exceeds 1.2 V.

시동 시 LM5121은 SS pin 전압이 1.2V를 초과 할 때까지 사전에 bias 된 부하로 시동을 지원하기 위해 diode emulation을 강제합니다.

Forced diode emulation is terminated by a pulse from PWM comparator when SS is greater than 1.2 V.

강제 diode emulation은 SS가 1.2V보다 클 때 PWM comparator로부터 pulse에 의해 종료된다.

If there are no LO pulses during the soft-start period, a 350 ns one-shot LO pulse is forced at the end of soft-start to help charge the bootstrap capacitor.

soft-start period 동안 LO pulse가 없으면 soft-start가 끝날 때 350  $\mu$ s의 one-shot LO pulse가 강제되어 bootstrap capacitor를 충전하는 데 도움이 된다.

Due to the internal current sense delay, configuring the LM5121 for diode emulation mode should be carefully evaluated if the inductor current ripple ratio is high and the controller is operated at very high switching frequency.

internal current sense delay(내부 전류 감지 지연) 때문에 inductor current ripple ratio(인덕터 전류 리플 비율)이 높고

controller가 매우 높은 switching frequency에서 작동하는 경우 diode emulation mode LM5121을 신중하게 평가해야 한다.

The transient performance during full load to no load in FPWM mode should also be verified.

FPWM mode에서 no load(무부하)까지의 full load(전부하) 동안의 transient performance(과도 성능)도 검증되어야 한다.

### 7.4.3 MODE Control (Skip Cycle Mode and Pulse Skipping Mode)

Light load efficiency of the regulator typically drops as the losses associated with switching and bias currents of the converter become a significant percentage of the total power delivered to the load.

regulator의 Light load(경부하) 효율은 일반적으로 converter의 switching 와 bias current와 관련된 손실이 부하에 전달되는 총 전력의 상당한 비율이 될 때 떨어집니다.

In order to increase the light load efficiency the LM5121 provides two types of light load operation in diode emulation mode.

light load (경부하) 효율을 높이기 위해 LM5121은 diode emulation mode에서 두 가지 유형의 light load 작동을 제공합니다.

The skip cycle mode integrated into the LM5121 controller reduces switching losses and improves efficiency in light load conditions by reducing the average switching frequency.

LM5121 controller에 통합된 skip cycle mode는 switching 손실을 줄이고 average switching frequency를 낮춤으로써 light load (경부하) 조건의 효율을 향상시킨다.

Skip cycle operation is achieved by the skip cycle comparator.

skip cycle comparator에 의해 Skip cycle operation이 달성된다.

When a light load condition occurs, the COMP pin voltage naturally decreases, reducing the peak current delivered by the regulator.

light load 조건이 발생하면 COMP pin voltage 은 자연적으로 감소하여 regulator가 제공하는 peak current를 감소시킨다.

During COMP voltage falling, the skip cycle threshold is defined as  $V_{MODE} - 20\text{ mV}$  and during COMP voltage rising, it is defined as  $V_{MODE} + 20\text{ mV}$ .

COMP 전압 강하 동안 skip cycle 임계 값은  $V_{MODE} - 20\text{mV}$ 로 정의되고 COMP 전압 상승 동안  $V_{MODE} + 20\text{mV}$ 로 정의된다.

There is 40mV of internal hysteresis in the skip cycle comparator.

skip cycle comparator에는 내부 hysteresis가 40mV 있습니다.

When the voltage at PWM comparator input falls below  $V_{MODE} - 20\text{ mV}$ , both HO and LO outputs are disabled.  
PWM comparator 입력의 전압이  $V_{MODE} - 20\text{ mV}$  미만으로 떨어지면 HO 및 LO 출력이 모두 비활성화됩니다.

The controller continues to skip switching cycles until the voltage at PWM comparator input increases to  $V_{MODE} + 20\text{ mV}$ , demanding more inductor current.

controller는 PWM comparator input 에서의 전압이  $V_{MODE} + 20\text{mV}$ 까지 증가 할 때까지 switching cycle을 계속 skip하여 더 많은 inductor current를 요구한다.

The number of cycles skipped depends upon the load and the response time of the frequency compensation network.  
건너 뛴 cycle 수는 frequency 보상 네트워크의 load(부하) 와 response time(응답 시간)에 따라 달라집니다.

The internal hysteresis of skip cycle comparator helps to produce a long skip cycle interval followed by a short burst of pulses.

skip cycle comparator의 내부 hysteresis는 skip cycle 사이클 간격과 짧은 burst of pulses를 생성하는 데 도움이 됩니다.

An internal  $700\text{ k}\Omega$  pull-up and  $100\text{ k}\Omega$  pulldown resistor sets the MODE pin to  $0.15\text{ V}$  as a default.

내부  $700\text{k}\Omega$  pull-up 및  $100\text{k}\Omega$  pulldown resistor은 MODE pin을 default로  $0.15\text{V}$ 로 설정한다.

Since the peak current limit threshold is set to  $750\text{ mV}$ , the default skip threshold corresponds to approximately 17% of the peak level.

peak current limit threshold은  $750\text{mV}$ 로 설정되므로 default skip threshold은 peak level의 약 17 %에 해당합니다.

In practice the skip level will be lower due to the added slope compensation.

실제로 skip level은 slope compensation(슬로프 보상)이 추가되어 낮아질 것입니다.

By adding an external pull-up resistor from MODE to the SLOPE or VCC pin or adding an external pull-down resistor to the ground, the skip cycle threshold can be programmed.

MODE에서 pull-up resistor을 SLOPE 또는 VCC 핀에 추가하거나 외부 pull-down resistor을 접지에 추가함으로써 skip cycle threshold을 프로그래밍 할 수 있다.

Because the skip cycle comparator monitors the PWM comparator input which tracks the COMP voltage, skip cycle operation is not recommended when the bypass operation is required.

skip cycle comparator는 COMP 전압을 추적하는 PWM comparator 입력을 모니터링하기 때문에 bypass 동작이 필요할 때 skip cycle 동작은 권장되지 않는다.

Pulse skipping operation can be achieved by connecting the MODE pin to ground.

Pulse skipping 동작은 MODE pin을 ground에 연결하여 수행 할 수 있습니다.

The negative  $20\text{ mV}$  offset at the positive input of skip cycle comparator ensures the skip cycle comparator will not be triggered in normal operation.



skip cycle comparator의 positive input에서 negative 20 mV offset은 skip cycle comparator가 정상 동작에서 trigger 되지 않도록 보장한다.

At light or no load conditions, the LM5121 skips LO pulses if the pulse width required by the regulator is less than the minimum LO on-time of the device.

가볍거나 무부하 조건에서 LM5121은 regulator에 필요한 pulse 폭이 device의 최소 LO 켜짐 시간보다 작으면 LO pulse를 건너 뛴니다.

Pulse skipping appears as a random behavior as the error amplifier attempts to find the proper pulse width to maintain regulation at light or no load conditions.

Pulse skipping은 오류 앰프가 적절한 pulse width를 찾아 가볍거나 무부하 조건에서 regulation을 유지하려고 할 때 임의의 동작으로 나타납니다.

## 8 Application and Implementation

### NOTE

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness.

다음 애플리케이션 섹션의 정보는 TI 구성 요소 사양의 일부가 아니며 TI는 그 정확성이나 완전성을 보증하지 않습니다.

TI's customers are responsible for determining suitability of components for their purposes.

TI 고객은 자신의 목적을 위한 구성 요소의 적합성을 결정할 책임이 있습니다.

Customers should validate and test their design implementation to confirm system functionality.

고객은 시스템 기능을 확인하기 위해 설계 구현을 검증하고 테스트해야 합니다.

### 8.1 Application Information

The LM5121 device is a step-up dc-dc converter.

LM5121 디바이스는 스텝 업 DC / DC 컨버터이다.

The device is typically used to convert a lower dc voltage to a higher dc voltage.

이 소자는 일반적으로 낮은 dc 전압을 높은 dc 전압으로 변환하는 데 사용된다.

Use the following design procedure to select component values for the LM5121 device.

다음 설계 절차를 사용하여 LM5121 디바이스의 컴포넌트 값을 선택하십시오.

Alternately, use the WEBENCH® software to generate a complete design.

또는 WEBENCH® 소프트웨어를 사용하여 완전한 디자인을 생성하십시오.

The WEBENCH software uses an iterative design procedure and accesses a comprehensive database of components when generating a design.

WEBENCH 소프트웨어는 반복 설계 절차를 사용하고 설계를 생성 할 때 포괄적 인 구성 요소 데이터베이스에 액세스합니다.

This section presents a simplified discussion of the design process.

이 섹션에서는 설계 프로세스에 대해 간단하게 설명합니다.

### 8.1.1 Feedback Compensation

The open loop response of a boost regulator is the product of the modulator transfer function and the feedback transfer function.

boost regulator의 open loop response은 modulator transfer function(변조기 전달 함수)와 피드백 전달 함수의 곱이다.

When plotted on a dB scale, the open loop gain is shown as the sum of modulator gain and feedback gain.

dB scale에서 plot하면 open loop gain은 modulator gain 과 feedback gain 의 합으로 표시됩니다.

The modulator transfer function of a current mode boost regulator including a power stage transfer function with an embedded current loop can be simplified as one pole, one zero and one Right Half Plane (RHP) zero system.

embedded current loop가 있는 power stage transfer function을 포함하는 current mode boost regulator의 modulator transfer function은 1 극, 0 및 1 개의 Right Half Plane (RHP) 제로 시스템으로 단순화 될 수 있다.

Modulator transfer function is defined as follows:

Modulator transfer function은 다음과 같이 정의됩니다.

$$\frac{\hat{V}_{OUT}(s)}{\hat{V}_{COMP}(s)} = A_M \times \frac{\left(1 + \frac{s}{\omega_{Z\_ESR}}\right) \times \left(1 - \frac{s}{\omega_{Z\_RHP}}\right)}{\left(1 + \frac{s}{\omega_{P\_LF}}\right)}$$

where

- $A_M(\text{Modulator DC gain}) = \frac{R_{LOAD}}{R_{S\_EQ} \times A_S} \times \frac{D'}{2}$
- $\omega_{P\_LF}(\text{Load pole}) = \frac{2}{R_{LOAD} \times C_{OUT}}$
- $\omega_{Z\_ESR}(\text{ESR zero}) = \frac{1}{R_{ESR} \times C_{OUT}}$
- $\omega_{Z\_RHP}(\text{RHP zero}) = \frac{R_{LOAD} \times (D')^2}{L_{IN\_EQ}}$
- $L_{IN\_EQ} = \frac{L_{IN}}{n}, R_{S\_EQ} = \frac{R_S}{n}$
- n is the number of the phase.

If the ESR of  $C_{OUT}$  ( $R_{ESR}$ ) is small enough and the RHP zero frequency is far away from the target crossover frequency, the modulator transfer function can be further simplified to one pole system and the voltage loop can be closed with only two loop compensation components,  $R_{COMP}$  and  $C_{COMP}$ , leaving a single pole response at the crossover frequency.

$C_{OUT}$  ( $R_{ESR}$ )의 ESR이 충분히 작고 RHP zero frequency가 목표 crossover frequency에서 멀리 떨어져 있다면, modulator transfer function는 한 극 시스템으로 더 단순화 될 수 있으며 전압 루프는 두 개의 루프 보상 구성 요소인  $R_{COMP}$  과  $C_{COMP}$ 만으로 폐쇄되어 crossover frequency에서 single pole 응답을 남깁니다.

A single pole response at the crossover frequency yields a very stable loop with 90 degrees of phase margin. crossover frequency 에서 single pole은 90 도의 위상 마진을 갖는 매우 안정한 루프를 생성합니다.

The feedback transfer function includes the feedback resistor divider and loop compensation of the error amplifier. 피드백 전달 함수는 피드백 저항 분배기와 오류 증폭기의 루프 보상을 포함한다.

RCOMP, CCOMP and optional CHF configure the error amplifier gain and phase characteristics, and create a pole at origin, a low frequency zero and a high frequency pole.

RCOMP, CCOMP 및 옵션 CHF는 오류 증폭기 이득 및 위상 특성을 구성하고 원점, 저주파 제로 및 고주파수 극에서 극을 생성합니다.

The feedback transfer function is defined as follows:

피드백 전달 함수는 다음과 같이 정의됩니다.

$$-\frac{\hat{V}_{COMP}}{\hat{V}_{OUT}} = A_{FB} \times \frac{1 + \frac{s}{\omega_{Z\_EA}}}{s \times \left(1 + \frac{s}{\omega_{P\_EA}}\right)}$$

where

$$\begin{aligned} \bullet \quad A_{FB} (\text{Feedback DC gain}) &= \frac{1}{R_{FB2} \times (C_{COMP} + C_{HF})} \\ \bullet \quad \omega_{Z\_EA} (\text{Low frequency zero}) &= \frac{1}{R_{COMP} \times C_{COMP}} \\ \bullet \quad \omega_{P\_EA} (\text{High frequency pole}) &= \frac{1}{R_{COMP} \times C_{HF}} \end{aligned}$$

The pole at the origin minimizes output steady state error.

원점의 극점은 출력 정상 상태 오류를 최소화합니다.

The low frequency zero should be set to cancel the load pole of the modulator.

low frequency zero는 modulator의 load pole을 취소하도록 설정되어야 합니다.

The high frequency pole can be used to cancel the zero created by the output capacitor ESR or to decrease noise susceptibility of the error amplifier.

high frequency pole은 output capacitor ESR에 의해 생성된 zero를 취소하거나 error amplifier의 noise susceptibility을 감소 시키는데 사용될 수 있다.

By placing the low frequency zero an order of magnitude less than the crossover frequency, the maximum amount of phase boost is achieved at the crossover frequency.

low frequency zero를 crossover frequency보다 작은 크기의 차수로 배치함으로써, crossover frequency에서 phase boost의 최대량이 달성된다.

The high frequency pole should be set above the crossover frequency since the addition of  $C_{HF}$  adds a pole in the feedback transfer function.

high frequency pole은 crossover frequency보다 높게 설정해야 합니다.  $C_{HF}$ 를 추가하면 feedback transfer function 에 pole(극점)이 추가되기 때문입니다.

$$f_{CROSS} = \frac{R_{COMP}}{\pi \times R_{S\_EQ} \times R_{FB2} \times A_S \times C_{OUT}} \times D' \text{ [Hz]}$$

where

$$D' = \frac{V_{IN}}{V_{OUT}}$$

For higher crossover frequency,  $R_{COMP}$  can be increased, while proportionally decreasing  $C_{COMP}$ .

더 높은 crossover frequency의 경우,  $R_{COMP}$ 는 증가 할 수 있고  $C_{COMP}$ 는 비례적으로 감소 할 수 있습니다.

Conversely, decreasing  $R_{COMP}$  while proportionally increasing  $C_{COMP}$ , results in lower bandwidth while keeping the same zero frequency in the feedback transfer function.

반대로  $C_{COMP}$ 를 비례적으로 증가시키면서  $R_{COMP}$ 를 줄이면 feedback transfer function에서 동일한 zero frequency를 유지하면서 대역폭이 낮아집니다.

### 8.1.2 Sub-Harmonic Oscillation

Peak current mode regulator can exhibit unstable behavior when operating above 50% duty cycle.

Peak current mode regulator는 50% duty cycle 이상으로 동작 할 때 불안정한 동작을 나타낼 수 있다.

This behavior is known as sub-harmonic oscillation and is characterized by alternating wide and narrow pulses at the SW pin.

이러한 동작은 sub-harmonic oscillation이라고 알려져 있으며, SW 핀에서 폭이 좁고 폭이 좁은 pulse가 번갈아 나타나는 특징이 있습니다.

Sub-harmonic oscillation can be prevented by adding a voltage ramp (slope compensation) on top of the sensed

inductor current.

Sub-harmonic oscillation은 감지된 inductor current 상단에 voltage ramp (slope compensation)를 추가하여 방지 할 수 있습니다.

By choosing  $K \geq 0.82 \sim 1.0$ , the sub-harmonic oscillation will be eliminated even with widely varying input voltage.

$K \geq 0.82 \sim 1.0$ 을 선택하면 넓은 입력 전압 변화에도 sub-harmonic oscillation이 제거됩니다.

In time-domain analysis, the steady-state inductor current starting from an initial point returns to the same point.

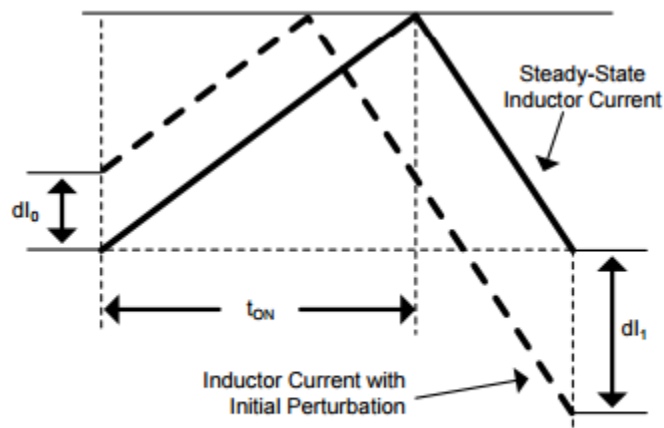
time-domain(시간 영역) 분석에서, 초기 지점에서 시작하는 정상 상태 inductor current는 같은 지점으로 되돌아 간다.

When the amplitude of an end cycle current error ( $dl_1$ ) caused by an initial perturbation ( $dl_0$ ) is less than the amplitude of  $dl_0$  or  $dl_1/dl_0 > -1$ , the perturbation naturally disappears after a few cycles.

initial perturbation(초기 작은 변화)( $dl_0$ )으로 인한 end cycle current error ( $dl_1$ )의 진폭이  $dl_0$  또는  $dl_1 / dl_0 > -1$ 의 진폭보다 작으면 perturbation은 자연스럽게 몇 cycle 후에 사라집니다.

When  $dl_1 / dl_0 < -1$ , the initial perturbation no longer disappear, it results in sub-harmonic oscillation in the steady-state.

$dl_1 / dl_0 < -1$  일 때, initial perturbation은 더 이상 사라지지 않고 정상 상태에서 sub-harmonic oscillation을 일으킨다.



**Figure 30. Effect of Initial Perturbation when  $dl_1/dl_0 < -1$**

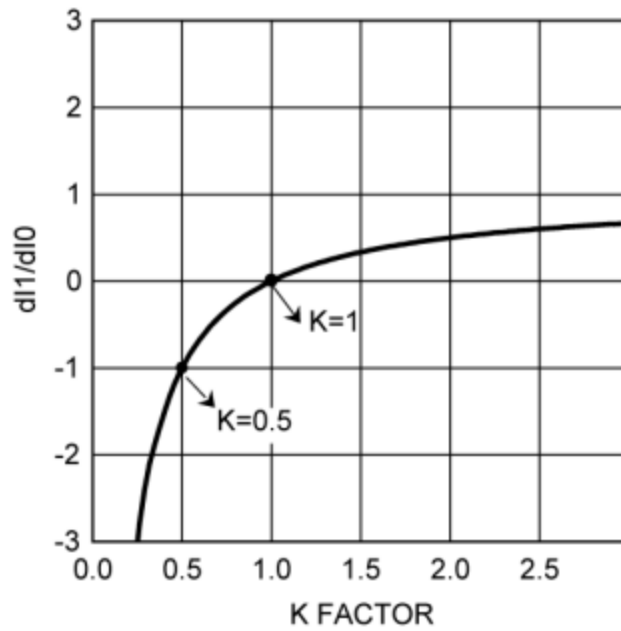
$dl_1 / dl_0$  can be calculated as:

$dl_1 / dl_0$  는 다음과 같이 계산할 수 있습니다.

$$\frac{dl_1}{dl_0} = 1 - \frac{1}{K}$$

The relationship between  $dl_1 / dl_0$  and K factor is illustrated in the graphic below.

$dl_1 / dl_0$  과 K 인자 사이의 관계는 아래의 그래픽과 같습니다.



**Figure 31.  $dl_1/dl_0$  vs K Factor**

The absolute minimum value of K is 0.5.

K의 절대 최소값은 0.5입니다.

When  $K < 0.5$ , the amplitude of  $dl_1$  is greater than the amplitude of  $dl_0$  and any initial perturbation results in sub-harmonic oscillation.

K < 0.5 일 때,  $dl_1$ 의 진폭은  $dl_0$ 의 진폭보다 크며 initial perturbation은 sub-harmonic oscillation을 초래합니다.

If  $K=1$ , any initial perturbation will be removed in one switching cycle.

K = 1이면 initial perturbation은 한 번의 switching cycle에서 제거됩니다.

This is known as one-cycle damping.

이것을 one-cycle damping 이라고 합니다.

When  $-1 < dl_1/dl_0 < 0$ , any initial perturbation will be under-damped.

$-1 < dl_1 / dl_0 < 0$  일 때, initial perturbation은 감쇠가 부족합니다.

Any perturbation will be over-damped when  $0 < dl_1 / dl_0 < 1$ .

모든 perturbation은  $0 < dl_1 / dl_0 < 1$  일 때 over-damped됩니다.

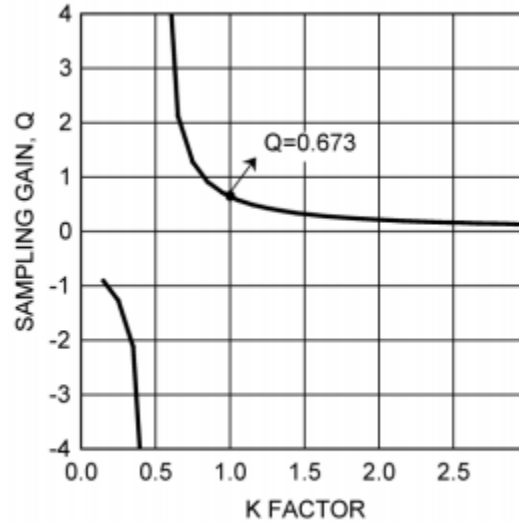
In the frequency-domain, Q, the quality factor of sampling gain term in modulator transfer function, is used to predict the tendency for sub-harmonic oscillation, which is defined as:

frequency-domain(주파수 영역)에서 Q는 modulator transfer function에서의 sampling gain 기간의 quality factor로서 sub-harmonic oscillation에 대한 경향을 예측하는 데 사용되며, 다음과 같이 정의됩니다.

$$Q = \frac{1}{\pi(K - 0.5)}$$

The relationship between Q and K factor is illustrated in Figure 32.

Q와 K 인자 사이의 관계는 그림 32에 나와 있습니다.



**Figure 32. Sampling Gain Q vs K Factor**

The recommended absolute minimum value of K is 0.5.

K의 권장 최소 절대 값은 0.5입니다.

High gain peaking when K is less than 0.5 results in sub-harmonic oscillation at  $f_{sw} / 2$ .

K가 0.5 미만일 때 High gain peaking는  $f_{sw} / 2$ 에서 sub-harmonic oscillation을 초래합니다.

A higher value of K factor may introduce additional phase shift near the crossover frequency, but has the benefit of reducing noise susceptibility in the current loop.

K factor(인자)의 값이 클수록 crossover frequency 근처에서 추가적인 phase shift가 발생할 수 있지만 current loop에서 noise susceptibility을 감소시키는 이점이 있습니다.

The maximum allowable value of K factor can be calculated using the maximum crossover frequency equation and frequency analysis formulas in Table 1.

K factor의 최대 허용값은 Table 1의 maximum crossover frequency equation(최대 crossover 주파수 방정식)및 frequency analysis formulas(주파수 분석 공식)을 사용하여 계산할 수 있습니다.

**Table 1. Boost Regulator Frequency Analysis**

	SIMPLIFIED FORMULA	COMPREHENSIVE FORMULA <sup>(1)</sup>
<b>MODULATOR TRANSFER FUNCTION</b>	$\frac{\hat{V}_{OUT}(s)}{\hat{V}_{COMP}(s)} = A_M \times \frac{\left(1 + \frac{s}{\omega_{Z\_ESR}}\right) \times \left(1 - \frac{s}{\omega_{Z\_RHP}}\right)}{\left(1 + \frac{s}{\omega_{P\_LF}}\right)}$	$\frac{\hat{V}_{OUT}(s)}{\hat{V}_{COMP}(s)} = A_M \times \frac{\left(1 + \frac{s}{\omega_{Z\_ESR}}\right) \times \left(1 - \frac{s}{\omega_{Z\_RHP}}\right)}{\left(1 + \frac{s}{\omega_{P\_LF}}\right) \times \left(1 + \frac{s}{\omega_{P\_ESR}}\right) \times \left(1 + \frac{s}{\omega_{P\_HF}} + \frac{s^2}{\omega_n^2}\right)}$
Modulator DC gain <sup>(2)</sup>	$A_M = \frac{R_{LOAD}}{R_{S\_EQ} \times A_S} \times \frac{D'}{2}$	
RHP zero <sup>(2)</sup>	$\omega_{Z\_RHP} = \frac{R_{LOAD} \times (D')^2}{L_{IN\_EQ}}$	
ESR zero	$\omega_{Z\_ESR} = \frac{1}{R_{ESR} \times C_{OUT}}$	$\omega_{Z\_ESR} = \frac{1}{R_{ESR1} \times C_{OUT1}}$
ESR pole	Not considered	$\omega_{P\_ESR} = \frac{1}{R_{ESR1} \times (C_{OUT1} // C_{OUT2})}$
Dominant load pole	$\omega_{P\_LF} = \frac{2}{R_{LOAD} \times C_{OUT}}$	
Sampled gain inductor pole	Not considered	$\omega_{P\_HF} = \frac{f_{SW}}{K - 0.5}$ or $\omega_{P\_HF} = Q \times \omega_n$
Quality factor	Not considered	$Q = \frac{1}{\pi(K - 0.5)}$

(1) Comprehensive equation includes an inductor pole and a gain peaking at  $f_{SW}/2$ , which is caused by sampling effect of the current mode control.

(1) 종합 식은 inductor pole과 current mode control의 sampling effect에 의해 발생하는  $f_{SW} / 2$ 에서 정점에 도달하는 이득을 포함한다.

Also, it assumes that a ceramic capacitor  $C_{OUT2}$  (No ESR) is connected in parallel with  $C_{OUT1} * R_{ESR1}$  represents ESR of  $C_{OUT1}$ .

또한 ceramic capacitor  $C_{OUT2}$  (No ESR)가  $C_{OUT1}$ 과 병렬로 연결되어 있다고 가정하면  $R_{ESR1}$ 은  $C_{OUT1}$ 의 ESR을 나타냅니다.

(2) With multiphase configuration  $L_{INEQ} = \frac{L_{IN}}{n}$ ,  $R_{SEQ} = \frac{R_S}{n}$ ,  $R_{LOAD} = \frac{v_{out}}{I_{OUT \text{ of each phase } \times n}}$  and  $C_{OUT} = C_{OUT}$  of each phase  $\times n$ , where  $n$  = number of phases.

multiphase configuration(다중 위상 구성)  $L_{INEQ} = \frac{L_{IN}}{n}$ ,  $R_{SEQ} = \frac{R_S}{n}$ ,  $R_{LOAD} = \frac{v_{out}}{I_{OUT \text{ of each phase } \times n}}$  과  $C_{OUT} = C_{OUT}$ 의 각 위상  $\times n$  (여기서  $n$ 은 위상의 수).

As is the current sense amplifier gain.

현재의 current sense amplifier gain은 그대로이다.



**Table 1. Boost Regulator Frequency Analysis (continued)**

	SIMPLIFIED FORMULA	COMPREHENSIVE FORMULA <sup>(1)</sup>
Sub-harmonic double pole	Not considered	$\omega_n = \frac{\omega_{SW}}{2} = \pi \times f_{SW}$ or $f_n = \frac{f_{SW}}{2}$
K factor	$K = 1$	$K = \left(1 + \frac{L_{IN} \times 6 \times 10^9}{V_{IN} \times R_S \times 10 \times R_{SLOPE}}\right) \times D'$
<b>FEEDBACK TRANSFER FUNCTION</b>		$-\frac{\hat{V}_{COMP}(s)}{\hat{V}_{OUT}(s)} = A_{FB} \times \frac{1 + \frac{s}{\omega_{Z\_EA}}}{s \times \left(1 + \frac{s}{\omega_{P\_EA}}\right)}$
Feedback DC gain		$A_{FB} = \frac{1}{R_{FB2} \times (C_{COMP} + C_{HF})}$
Mid-band Gain		$A_{FB\_MID} = \frac{R_{COMP}}{R_{FB2}}$
Low frequency zero		$\omega_{Z\_EA} = \frac{1}{R_{COMP} \times C_{COMP}}$
High frequency pole	$\omega_{P\_EA} = \frac{1}{R_{COMP} \times C_{HF}}$	$\omega_{P\_EA} = \frac{1}{R_{COMP} \times (C_{CHF} // C_{COMP})}$
<b>OPEN LOOP RESPONSE</b>	$T(s) = A_M \times A_{FB} \times \frac{\left(1 + \frac{s}{\omega_{Z\_ESR}}\right) \times \left(1 - \frac{s}{\omega_{Z\_RHP}}\right)}{\left(1 + \frac{s}{\omega_{P\_LF}}\right)} \times \frac{1 + \frac{s}{\omega_{Z\_EA}}}{s \times \left(1 + \frac{s}{\omega_{P\_EA}}\right)}$	$T(s) = A_M \times A_{FB} \times \frac{\left(1 + \frac{s}{\omega_{Z\_ESR}}\right) \times \left(1 - \frac{s}{\omega_{Z\_RHP}}\right)}{\left(1 + \frac{s}{\omega_{P\_LF}}\right) \times \left(1 + \frac{s}{\omega_{P\_ESR}}\right) \times \left(1 + \frac{s}{\omega_{P\_HF}} + \frac{s^2}{\omega_n^2}\right)} \times \frac{1 + \frac{s}{\omega_{Z\_EA}}}{s \times \left(1 + \frac{s}{\omega_{P\_EA}}\right)}$
Crossover frequency <sup>(3)</sup> (Open loop band width)	$f_{CROSS} = \frac{R_{COMP}}{\pi \times R_{S\_EQ} \times R_{FB2} \times A_S \times C_{OUT}} \times D'$	Use graphic tool
Maximum cross over frequency <sup>(4)</sup>	$f_{CROSS\_MAX} = \frac{f_{SW}}{5}$ or $\frac{\omega_{Z\_RHP}}{2 \times \pi \times 4}$ whichever is smaller	$f_{CROSS\_MAX} = \frac{f_{SW}}{4 \times Q} \times \left(\sqrt{1 + 4 \times Q^2} - 1\right)$ or $\frac{\omega_{Z\_RHP}}{2 \times \pi \times 4}$ , whichever is smaller

(3) Assuming  $\omega_{Z\_EA} = \omega_{P\_LF}$ ,  $\omega_{P\_EA} = \omega_{Z\_ESR}$ ,  $f_{CROSS} < \frac{\omega_{Z\_RHP}}{2 \times \pi \times 10}$ ,  $C_{COMP} = \frac{R_{LOAD} \times C_{OUT}}{4 \times R_{COMP}}$ , and  $D' = \frac{V_{IN}}{V_{OUT}}$ .

가정  $\omega_{Z\_EA} = \omega_{P\_LF}$ ,  $\omega_{P\_EA} = \omega_{Z\_ESR}$ ,  $f_{CROSS} < \frac{\omega_{Z\_RHP}}{2 \times \pi \times 10}$ ,  $C_{COMP} = \frac{R_{LOAD} \times C_{OUT}}{4 \times R_{COMP}}$ , and  $D' = \frac{V_{IN}}{V_{OUT}}$ .

(4) The frequency at which 45° phase shift occurs in modulator phase characteristics.

(4) modulator phase characteristics에서 45 ° phase shift가 발생하는 frequency.

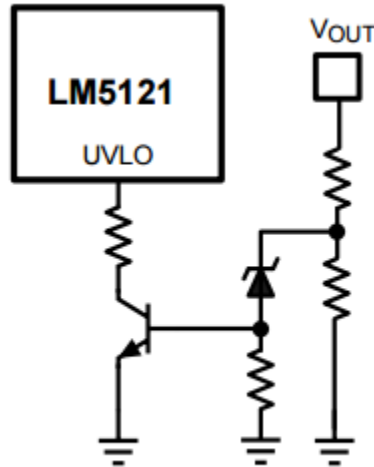
### 8.1.3 Output Overvoltage Protection

Output overvoltage protection can be achieved by adding a simple external circuit.

간단한 외부 회로를 추가하여 출력 과전압 보호를 달성 할 수 있습니다.

The output overvoltage protection circuit shown in Figure 33 shuts down the LM5121 when the output voltage exceeds the overvoltage threshold set by the zener diode.

그림 33의 output overvoltage protection circuit (출력 과전압 보호 회로)는 출력 전압이 zener diode에 설정된 과전압 threshold(임계값)을 초과하면 LM5121을 shuts down 시킨다.



**Figure 33. Output Overvoltage Protection**

### 8.1.4 Input Transient Suppression

Input over-voltage transient suppression can be achieved by adding a zener diode from DG to ground.

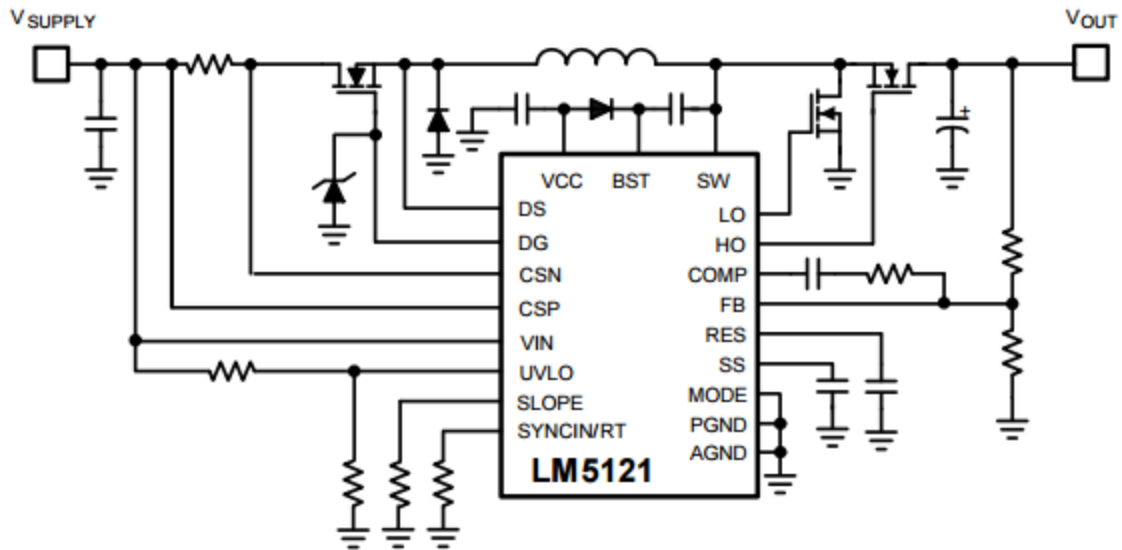
Input over-voltage transient suppression (입력 과전압 과도 억제)는 DG에서 ground로 zener diode를 추가하여 수행 할 수 있습니다.

The DS voltage will be clamped to the zener voltage minus the gate threshold voltage of the disconnection MOSFET switch.

DS 전압은 zener voltage - disconnection MOSFET switch (차단 MOSFET switch)의 gate threshold voltage에서 clamp 됩니다.

Since the input clamping occurs in the active region of disconnection MOSFET switch, safe operating area and the thermal properties of the disconnection MOSFET switch should be carefully considered.

input clamping이 disconnection MOSFET switch의 활성 영역에서 발생하기 때문에 안전한 동작 영역과 disconnection MOSFET switch의 열 특성을 신중하게 고려해야한다.



**Figure 34. Input Transient Suppression**

### 8.1.5 Inrush Current Limit Programming

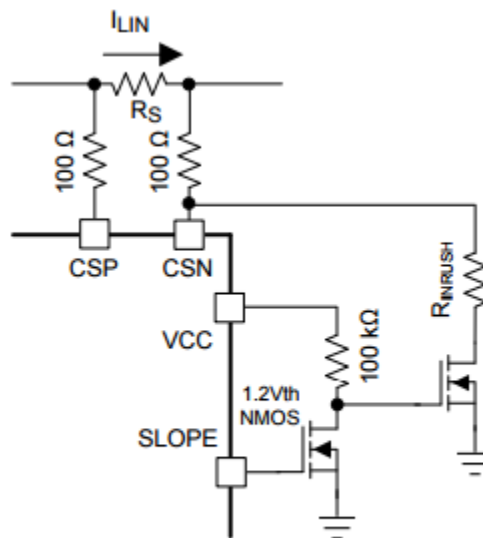
Inrush current limit level can be lower than the cycle-by-cycle current limit level by adding a simple external circuit. 돌입 전류 제한 레벨은 간단한 외부 회로를 추가하여 사이클 별 전류 제한 레벨보다 낮을 수 있습니다.

The external inrush current limit programming circuit shown in Figure 35 and Figure 36 pull down CSN pin during inrush current limiting.

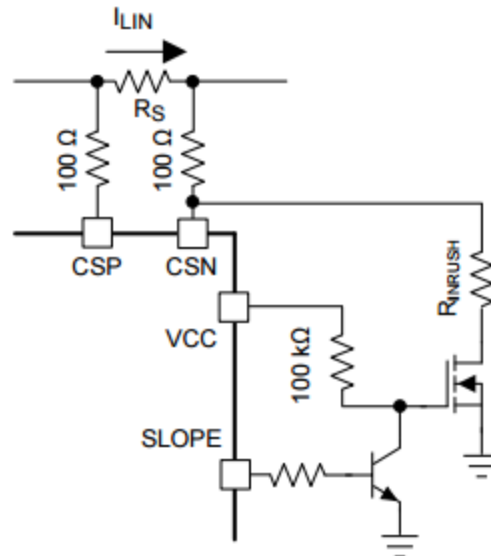
그림 35 및 그림 36에 표시된 external inrush current limit programming circuit는 inrush current limiting 중에 CSN 핀을 pull down 합니다.

Also, this configuration enables latch-off mode circuit breaker.

또한 이 구성은 latch-off mode circuit 차단기를 활성화합니다.

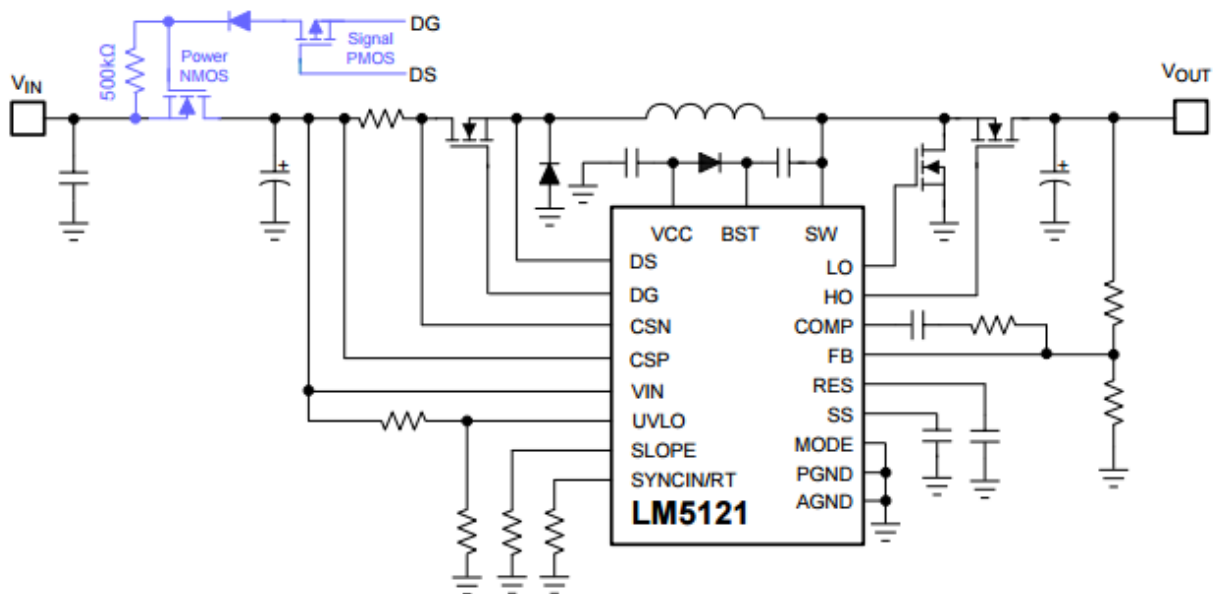


**Figure 35. Inrush Current Limit Programming #1**

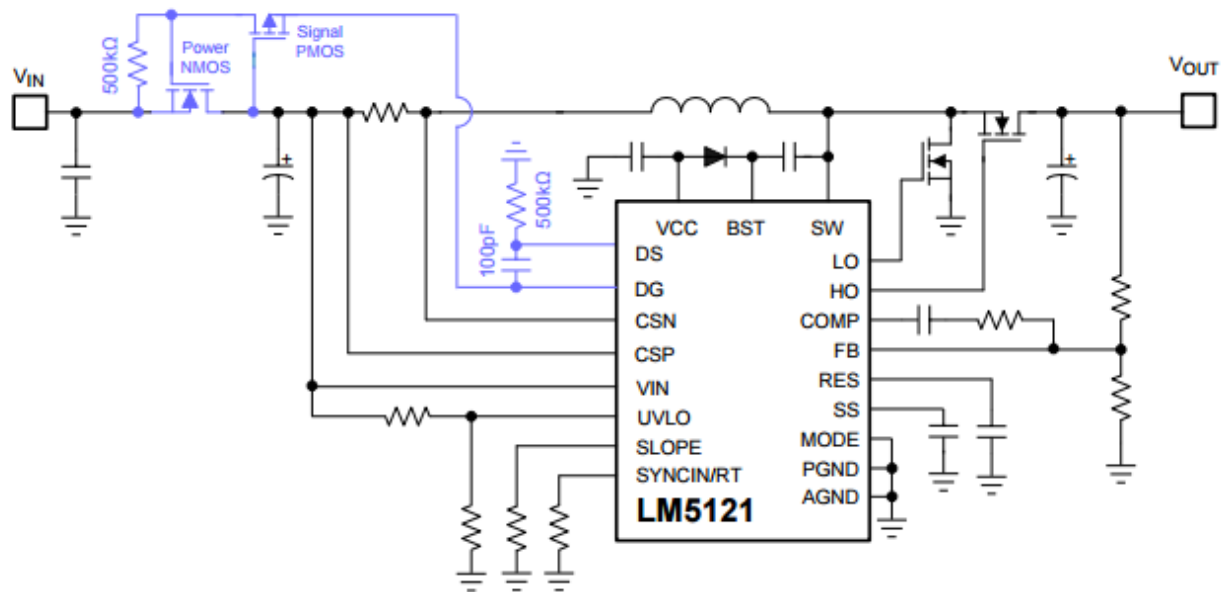


**Figure 36. Inrush Current Limit Programming #2**

#### 8.1.6 Reverse Battery Protection + Disconnect Switch Control

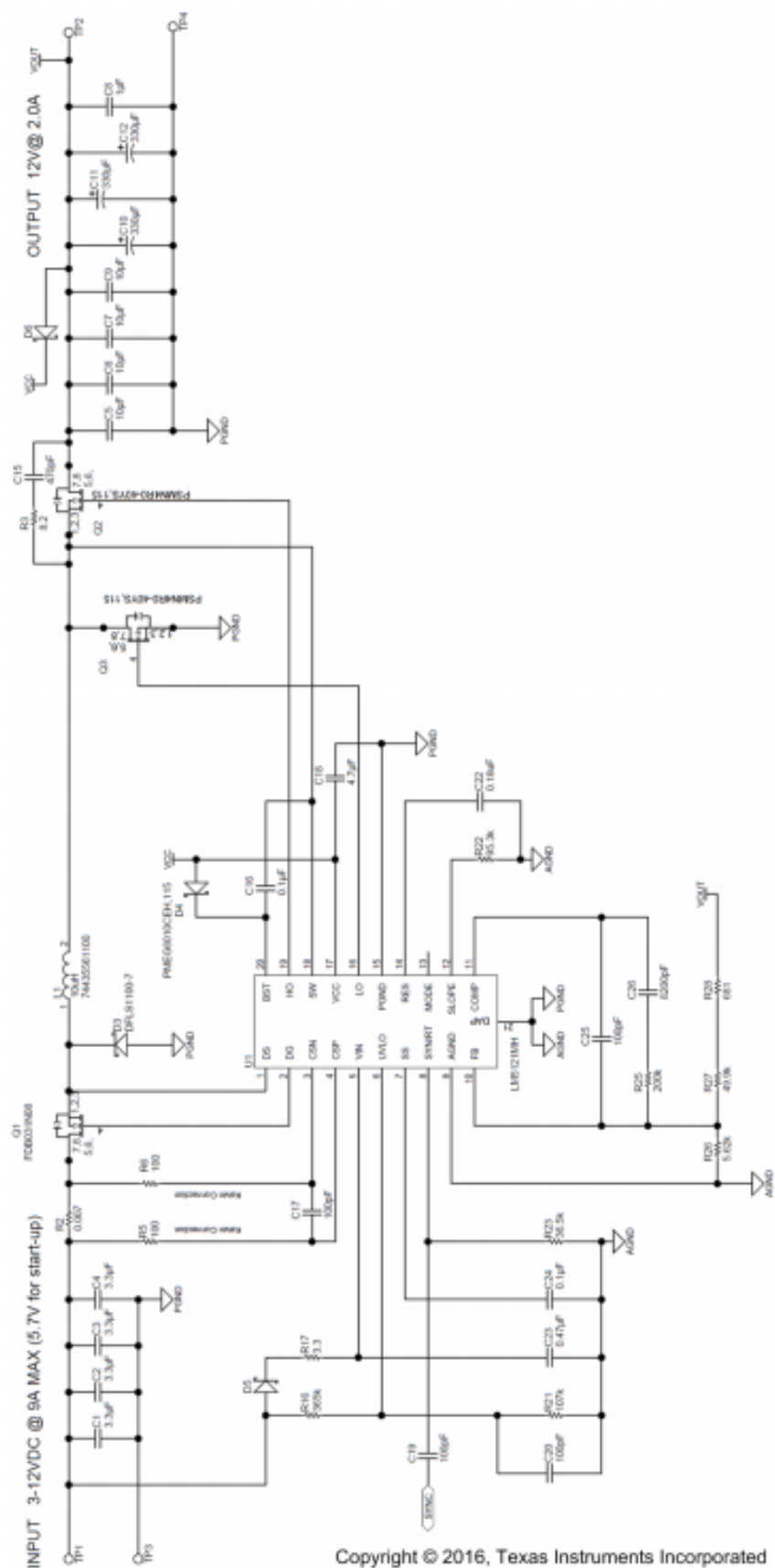


**Figure 37. Reverse Battery Protection + Disconnection Switch**



**Figure 38. Reverse Battery Protection**

## 8.2 Typical Application



**Figure 39. Schematic**

## 8.2.1 Design Requirements

DESIGN PARAMETERS	VALUE
Output Voltage ( $V_{OUT}$ )	12 V
Full Load Current ( $I_{OUT}$ )	2 A
Output Power	24 W
Minimum Input Voltage ( $V_{IN(MIN)}$ )	3 V (5.7 V for start-up)
Typical Input Voltage ( $V_{IN(TYP)}$ )	9 V
Maximum Input Voltage ( $V_{IN(MAX)}$ )	12 V
Switching Frequency ( $f_{SW}$ )	250 kHz
Disconnection Switch Control	Yes

## 8.2.2 Detailed Design Procedure

### 8.2.2.1 Timing Resistor $R_T$

Generally, higher frequency applications are smaller but have higher losses.

일반적으로 higher frequency application은 작지만 손실은 더 큼니다.

Operation at 250 kHz is selected for this example as a reasonable compromise between small size and high-efficiency. 이 예에서는 250kHz에서의 작동이 작은 크기와 높은 효율 사이의 합리적인 절충안으로 선택됩니다.

The value of  $R_T$  for 250 kHz switching frequency is calculated as follows:

250 kHz switching frequency에 대한  $R_T$  값은 다음과 같이 계산됩니다.

$$R_T = \frac{9 \times 10^9}{f_{SW}} = \frac{9 \times 10^9}{250 \text{ kHz}} = 36.0 \text{ k}\Omega$$

A standard value of 36.5 k $\Omega$  is chosen for  $R_T$ .

$R_T$ 는 36.5 k $\Omega$ 의 표준값이 선택된다.

### 8.2.2.2 UVLO Divider $R_{UV2}$ , $R_{UV1}$

The desired startup voltage and the hysteresis are set by the voltage divider  $R_{UV2}$ ,  $R_{UV1}$ .

원하는 시작 전압과 hysteresis는 전압 분배기  $R_{UV2}$ ,  $R_{UV1}$ 에 의해 설정됩니다.

The UVLO shutdown voltage should be high enough to fully enhance the low-side N-channel MOSFET switch.

UVLO shutdown voltage은 low-side N-channel MOSFET switch를 완전히 향상시킬만큼 높아야 한다.

For this design, the startup voltage is set to 5.5 V which is 0.2 V below 5.7 V.  $V_{HYS}$  is set to 3.7 V. This results 1.8 V of  $V_{IN}$  (SHUTDOWN).

이 설계에서 시동 전압은 5.5V로 설정되며, 이는 5.5V보다 0.2V 낮습니다.  $V_{HYS}$ 는 3.7V로 설정됩니다. 이로 인해 1.8V의  $V_{IN}$  (SHUTDOWN)이 발생합니다.

The values of  $R_{UV2}$ ,  $R_{UV1}$  are calculated as follows:

$R_{UV2}$ ,  $R_{UV1}$ 의 값은 다음과 같이 계산됩니다.

$$R_{UV2} = \frac{V_{HYS}}{I_{HYS}} = \frac{3.7 \text{ V}}{10 \mu\text{A}} = 370 \text{ k}\Omega$$

$$R_{UV1} = \frac{1.2\text{V} \times R_{UV2}}{V_{IN(STARTUP)} - 1.2\text{V}} = \frac{1.2\text{V} \times 370 \text{ k}\Omega}{5.5\text{V} - 1.2\text{V}} = 103 \text{ k}\Omega$$

A standard value of 365 k $\Omega$  is selected for  $R_{UV2}$ .

$R_{UV2}$ 에 대해 365k $\Omega$ 의 표준 값이 선택됩니다.

$R_{UV1}$  is selected to be a standard value of 107 k $\Omega$ .

$R_{UV1}$ 은 107k $\Omega$ 의 표준 값으로 선택됩니다.

### 8.2.2.3 Input Inductor $L_{IN}$

The inductor ripple current is typically set between 20% and 40% of the full load current, as a good compromise between core loss and copper loss of the inductor.

inductor ripple current는 일반적으로 core 손실과 inductor의 구리 손실 사이의 적절한 절충안으로 전체 부하 전류의 20 % ~ 40 % 사이로 설정된다.

Higher ripple current allows a smaller inductor size, but places more of a burden on the output capacitor to smooth the ripple voltage on the output.

ripple current가 높을수록 inductor 크기가 작아지지만 출력 capacitor에 더 많은 부담을 주어 출력의 ripple voltage을 원활하게 한다.

For this example, a ripple ratio (RR) of 0.3, 30% of the input current was chosen.

이 예에서 input current의 0.3, 30 %의 ripple ratio (RR)이 선택되었습니다.

Knowing the switching frequency and the typical output voltage, the inductor value can be calculated as follows:

switching frequency와 일반 output voltage을 알면 inductor 값은 다음과 같이 계산할 수있다.

$$L_{IN} = \frac{V_{IN}}{I_{IN} \times RR} \times \frac{1}{f_{SW}} \times \left(1 - \frac{V_{IN}}{V_{OUT}}\right) = \frac{9\text{V}}{\frac{24\text{W}}{9\text{V}} \times 0.3} \times \frac{1}{250 \text{ kHz}} \times \left(1 - \frac{9\text{V}}{12\text{V}}\right) = 11.3 \mu\text{H}$$

The closest standard value of 10  $\mu\text{H}$  was chosen for  $L_{IN}$ .

$L_{IN}$ 에 대해 가장 가까운 표준 값 10 $\mu\text{H}$ 가 선택되었습니다.

The saturation current rating of the inductor should be greater than the peak inductor current, which is calculated at the minimum input voltage and full load.



inductor의 포화 전류 정격은 최소 입력 전압 및 최대 부하에서 계산된 peak inductor current 보다 커야합니다.

A 2.7 V startup voltage is used to conservatively estimate the peak inductor current.

peak inductor current를 보수적으로 추정하기 위해 2.7V의 시작 전압이 사용된다.

$$I_{PEAK} = I_{IN} + \frac{1}{2} \times \frac{V_{IN}}{L_{IN} \times f_{SW}} \times \left(1 - \frac{V_{IN}}{V_{OUT}}\right) = \frac{12V \times 2A}{2.7V} + \frac{1}{2} \times \frac{2.7V}{10 \mu H \times 250 \text{ kHz}} \times \left(1 - \frac{2.7V}{12V}\right) = 9.3 \text{ A}$$

\*ripple current

흐르는 방향은 일정하지만 크기의 변화가 계속 되풀이 되는 전류

\*ripple voltage

정류 출력 파형 속에 포함되는 리플의 크기. 교류분의 **실효값**으로 나타내는 경우도 있으나 일반적으로 교류분의 피크부터 피크까지의 전압으로 나타낸다. 직류 전압  $V$ , 리플 전압을  $\Delta V_{p-p}$ 로 하면 **리플 백분율**  $r$ 은 다음 식으로 나타내어진다.

$$r = \Delta V_{p-p} / V \times 100 [\%]$$

#### 8.2.2.4 Current Sense Resistor $R_S$

The peak input current limit threshold should be set 20~50% higher than the required peak current at low input voltage and full load, accounting for tolerances.

peak input current limit threshold은 허용 입력을 고려한 낮은 입력 전압 및 최대 부하에서 필요한 peak current보다 20 ~ 50 % 높게 설정해야 합니다.

For this example, 20% margin is chosen.

이 예에서는 여백이 20 %가 선택됩니다.

$$R_S = \frac{V_{CS-TH1}}{I_{PEAK(CL)}} = \frac{75 \text{ mV}}{9.3A \times 1.2} = 6.7 \text{ m}\Omega$$

A closest standard value of 7 m $\Omega$  is selected for  $R_S$ .

$R_S$ 에 가장 가까운 표준값 7m $\Omega$ 이 선택됩니다.

The maximum power loss of  $R_S$  is calculated as follows.

$R_S$ 의 최대 전력 손실은 다음과 같이 계산됩니다.

$$P_{LOSS(RS)} = I^2 R = (9.3A \times 1.2)^2 \times 7m\Omega = 0.87W$$

#### 8.2.2.5 Current Sense Filter $R_{CSFP}$ , $R_{CSFN}$ , $C_{CS}$

The current sense filter is optional.

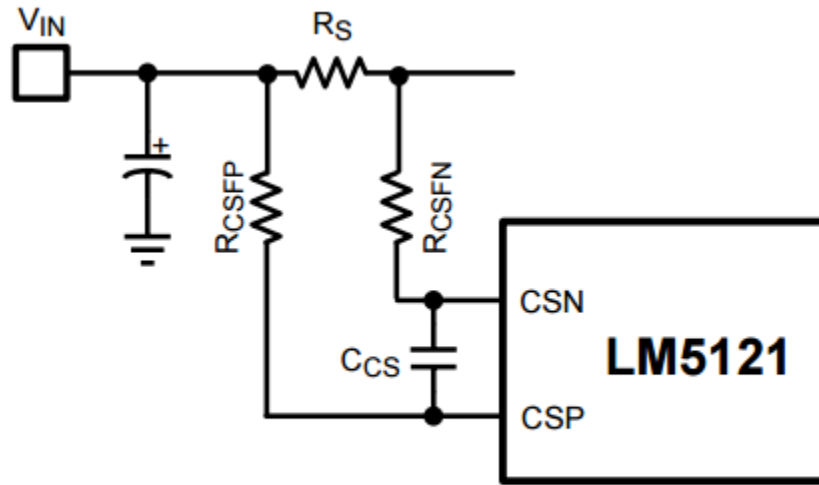
current sense filter는 옵션입니다.

100 pF for  $C_{CS}$  and 100  $\Omega$  for  $R_{CSFP}$  and  $R_{CSFN}$  are normal recommendations.

$C_{CS}$ 의 경우 100pF이고  $R_{CSFP}$  및  $R_{CSFN}$ 의 경우 100 $\Omega$ 은 일반적인 권장 사항입니다.

Because CSP and CSN pins are high impedance,  $C_{CS}$  should be placed physically as close to the device.

CSP 및 CSN 핀은 high impedance이므로  $C_{CS}$ 는 물리적으로 device에 가깝게 배치해야 합니다.



**Figure 40. Current Sense Filter**

#### 8.2.2.6 Slope Compensation Resistor $R_{SLOPE}$

The K value is selected to be 1 at the minimum input voltage.

K 값은 최소 입력 전압에서 1로 선택됩니다.

$R_{SLOPE}$  should be selected such that the sum of sensed inductor current and slope compensation is less than COMP output high voltage.

$R_{SLOPE}$ 는 감지 된 inductor current와 slope compensation의 합이 COMP output high voltage보다 작도록 선택해야 한다.

$$R_{SLOPE} > \frac{8 \times 10^9}{f_{SW}} = \frac{8 \times 10^9}{250 \text{ kHz}} = 32 \text{ k}\Omega$$

$$R_{SLOPE} = \frac{L_{IN} \times 6 \times 10^9}{[K \times V_{OUT} - V_{IN(MIN)}] \times R_S \times 10} = \frac{10 \mu\text{H} \times 6 \times 10^9}{(1 \times 12\text{V} - 3\text{V}) \times 7\text{m}\Omega \times 10} = 95 \text{ k}\Omega$$

A closest standard value of 95.3 k $\Omega$  is selected for  $R_{SLOPE}$

$R_{SLOPE}$ 에 가장 가까운 표준 값 95.3 k $\Omega$ 이 선택됩니다.

#### 8.2.2.7 Output Capacitor $C_{OUT}$

The output capacitors smooth the output voltage ripple and provide a source of charge during transient loading conditions.

output capacitor는 output voltage ripple을 평탄화시키고 과도 부하 조건에서 충전 소스를 제공한다.

Also the output capacitors reduce the output voltage overshoot when the load is suddenly disconnected.

또한 output capacitors는 부하가 갑자기 분리 될 때 output voltage overshoot를 감소시킨다.

The ripple current rating of the output capacitor should be carefully considered.

output capacitor의 ripple current rating은 신중하게 고려해야한다.

In boost regulator, the output is supplied by discontinuous current and the ripple current requirement is usually high.

boost regulator에서 출력은 discontinuous current(불연속 전류)로 공급되며 일반적으로 ripple current requirement

(리플 전류 요구사항)이 높습니다.

In practice, the ripple current requirement can be dramatically reduced by placing high quality ceramic capacitors closer to the high side MOSFET switch than the bulk aluminum capacitors.

실제로 ripple current requirement은 bulk aluminum capacitor보다 high quality ceramic capacitor를 high side MOSFET switch에 가깝게 위치시킴으로써 극적으로 감소 될 수 있다.

The output voltage ripple is dominated by the ESR of the output capacitors.

output voltage ripple은 output capacitor의 ESR에 의해 좌우된다.

Parallel output capacitors are a good choice to minimize effective ESR and split the output ripple current into multiple capacitors.

Parallel output capacitor(병렬 출력 커패시터)는 효과적인 ESR을 최소화하고 output ripple current를 여러 capacitor로 분리하는 데 좋은 선택이다.

In this example, three 330  $\mu$ F aluminum capacitors are used to share the output ripple current and source the required charge.

이 예에서 3 개의 330 $\mu$ F aluminum capacitor를 사용하여 output ripple current를 공유하고 필요한 전하를 소싱(출퍼를 명시하다.)합니다.

The maximum output ripple current can be calculated at the minimum input voltage as follows:

최대 output ripple current 는 다음과 같이 최소 input voltage에서 계산할 수 있습니다.

$$I_{\text{RIPPLE\_MAX(COUT)}} = \frac{I_{\text{OUT}}}{2 \times \frac{V_{\text{IN(MIN)}}}{V_{\text{OUT}}}} = \frac{2.0\text{A}}{2 \times \frac{3\text{V}}{12\text{V}}} = 4\text{A}$$

Assuming 60 mΩ of ESR per output capacitor, the output voltage ripple at the minimum input voltage is calculated as follows:

output capacitor 당 60mΩ의 ESR을 가정 할 때, minimum input voltage에서의 output voltage ripple은 다음과 같이 계산된다.

$$V_{\text{RIPPLE\_MAX(COUT)}} = \frac{I_{\text{OUT}}}{V_{\text{IN(MIN)}}} \times \left( R_{\text{ESR}} + \frac{1}{4 \times C_{\text{OUT}} \times f_{\text{SW}}} \right) = \frac{2.0\text{A}}{\frac{3\text{V}}{12\text{V}}} \times \left( \frac{60\text{m}\Omega}{3} + \frac{1}{4 \times 3 \times 330 \mu\text{F} \times 250 \text{ kHz}} \right) = 0.168\text{V}$$

In practice, four 10 μF ceramic capacitors are additionally placed before the bulk aluminum capacitors to reduce the output voltage ripple and share the output ripple current.

실제적으로 4 개의 10 μF ceramic capacitor가 추가로 배치되어 대량의 aluminum capacitor 앞에 배치되어 output voltage ripple을 줄이고 output ripple current 한다.

#### 8.2.2.8 Input Capacitor $C_{\text{IN}}$

The input capacitors smooth the input voltage ripple.

input capacitor는 input voltage ripple을 원활하게합니다.

Assuming high quality ceramic capacitors are used for the input capacitors, the maximum input voltage ripple which occurs when the input voltage is half of the output voltage can be calculated as follows:

high quality ceramic capacitor가 input capacitor로 사용된다고 가정하면 input voltage이 output voltage의 절반 일 때 발생하는 maximum input voltage ripple은 다음과 같이 계산할 수 있다.

$$V_{\text{RIPPLE\_MAX(CIN)}} = \frac{V_{\text{OUT}}}{32 \times L_{\text{IN}} \times C_{\text{IN}} \times f_{\text{SW}}^2} = \frac{12\text{V}}{32 \times 10 \mu\text{H} \times 4 \times 3.3 \mu\text{F} \times 250 \text{ kHz}^2} = 0.045\text{V}$$

The value of input capacitor is also a function of source impedance, the impedance of source power supply.

input capacitor의 값은 source impedance, source power supply 의 impedance 함수이기도 합니다.

More input capacitor will be required to prevent a chatter condition during power up if the impedance of source power supply is not low.

source power supply 의 impedance가 낮지 않은 경우 전원 공급 중 chatter 상태를 방지하려면 더 많은 input capacitor 가 필요합니다.

#### 8.2.2.9 $V_{\text{IN}}$ Filter $R_{\text{VIN}}$ , $C_{\text{VIN}}$

An R-C filter ( $R_{\text{VIN}}$ ,  $C_{\text{VIN}}$ ) on the  $V_{\text{IN}}$  pin is optional.

$V_{\text{IN}}$  핀의 R-C 필터 ( $R_{\text{VIN}}$ ,  $C_{\text{VIN}}$ )는 옵션이다.

It is not required if the  $C_{IN}$  capacitors are high quality ceramic capacitors and placed physically close to the device.  
 $C_{IN}$  capacitor가 high quality ceramic capacitor이고 물리적으로 디바이스 가까이 배치되는 경우에는 필요하지 않습니다.

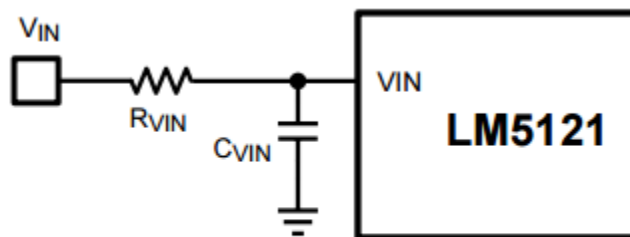
The filter helps to prevent faults caused by high frequency switching noise injection into the VIN pin.  
이 filter는  $V_{IN}$  핀에 high frequency switching noise 주입으로 인한 결함을 방지하는데 도움이 된다.

A 0.47  $\mu$ F ceramic capacitor is used this example.  
0.47 $\mu$ F ceramic capacitor 가 이 예제에 사용된다

Recommended filter values are 3  $\Omega$  for  $R_{VIN}$  and 0.47  $\mu$ F for  $C_{VIN}$ .  
권장 필터 값은  $R_{VIN}$ 의 경우 3  $\Omega$ 이며  $C_{VIN}$ 의 경우 0.47  $\mu$ F입니다.

A larger filter with 2.2  $\mu$  to 4.7  $\mu$ F  $C_{VIN}$  is recommended when the input voltage is lower than 8 V or when the required duty cycle is close to the maximum duty cycle limit.

입력 전압이 8V보다 낮거나 요구 duty cycle이 최대 duty cycle 한계에 가까울 때  $C_{VIN}$ 이 2.2 $\mu$  ~ 4.7 $\mu$ F 인 더 큰 필터가 권장된다.



**Figure 41. VIN Filter**

#### 8.2.2.10 Bootstrap Capacitor $C_{BST}$ and Boost Diode $D_{BST}$

The bootstrap capacitor between the BST and SW pins supplies the gate current to charge the high-side N-channel MOSFET gate during each turn-on cycle and also supplies recovery charge for the bootstrap diode.

BST와 SW 핀 사이의 bootstrap capacitor는 각 turn-on cycle 동안 high-side N-channel MOSFET gate를 충전하는 gate current를 공급하고 bootstrap diode에 대한 복구 전하를 공급한다.

The peak current can be several amperes.  
peak current는 several ampere가 될 수 있습니다.

The recommended value of the bootstrap capacitor is 0.1  $\mu$ F.  
bootstrap capacitor의 권장 값은 0.1 $\mu$ F이다.

$C_{BST}$  should be a good quality, low ESR, ceramic capacitor located at the pins of the device to minimize potentially damaging voltage transients caused by trace inductance.

$C_{BST}$ 는 우수한 inductance로 인한 잠재적인 voltage transient 현상을 최소화하기 위해 디바이스의 핀에 위치한 양질

의 저 ESR ceramic capacitor 여야한다.

The minimum value for the bootstrap capacitor is calculated as follows:

bootstrap capacitor의 최소값은 다음과 같이 계산됩니다.

$$C_{BST} = \frac{Q_G}{\Delta V_{BST}} [F]$$

Where  $Q_G$  is the high-side N-channel MOSFET gate charge and  $\Delta V_{BST}$  is the tolerable voltage droop on  $C_{BST}$ , which is typically less than 5% of VCC or conservatively 0.15 V .

여기서  $Q_G$ 는 high-side N-channel MOSFET gate 전하이며,  $\Delta V_{BST}$ 는  $C_{BST}$ 에서 허용 가능한 전압 저하이며, 일반적으로 VCC의 5 % 미만이거나 보수적 인 0.15V이다.

In this example, the value of the BST capacitor ( $C_{BST}$ ) is 0.1  $\mu F$ .

이 예에서 BST capacitor ( $C_{BST}$ )의 값은 0.1 $\mu F$ 이다.

The voltage rating of DBST should be greater than the peak SW node voltage plus 16 V. A low leakage diode is mandatory for bypass operation.

DBST의 정격 전압은 피크 SW 노드 전압 + 16V를 초과해야 합니다. 바이 패스 동작을 위해서는 누설 다이오드가 낮아야 합니다.

The leakage current of DBST should be low enough for the BST charge pump to maintain a sufficient high-side driver supply voltage at high temperature.

DBST의 누설 전류는 BST 차지 펌프가 고온에서 충분한 하이 사이드 드라이버 전원 전압을 유지할만큼 충분히 낮아야 한다.

A low leakage diode also prevents the possibility of excessive VCC voltage during shutdown, in high output voltage applications.

낮은 누설 다이오드는 또한 높은 출력 전압 애플리케이션에서 셧다운하는 동안 과도한 VCC 전압의 가능성을 방지한다.

If the diode leakage is excessive, a zener clamp or bleed resistor may be required on VCC.

다이오드 누설이 과도하면 VCC에 제너 클램프 또는 블리드 저항이 필요할 수 있다.

High-side driver supply voltage should be greater than the high-side N-channel MOSFET switch gate plateau at the minimum input voltage.

High-side driver supply voltage은 최소 입력 전압에서 high-side N-channel MOSFET switch gate plateau 보다 커야 한다..

### 8.2.2.11 VCC Capacitor $C_{VCC}$

The primary purpose of the VCC capacitor is to supply the peak transient currents of the LO driver and bootstrap diode as well as to provide stability for the VCC regulator.

VCC capacitor의 주요 목적은 VCC capacitor에 안정성을 제공 할뿐만 아니라 LO 드라이버 및 bootstrap diode의 peak transient current를 공급하는 것이다.

The peak driver currents can be several amperes.

peak driver current는 several ampere가 될 수 있습니다.

The value of  $C_{VCC}$  should be at least 10 times greater than the value of  $C_{BST}$ , and should be a good quality, low ESR, ceramic capacitor.

$C_{VCC}$ 의 값은  $C_{BST}$ 의 값보다 적어도 10 배 이상 커야하며 good quality, low ESR, ceramic capacitor 여야합니다.

CVCC should be placed close to the pins of the IC to minimize potentially damaging voltage transients caused by trace inductance.

trace inductance로 인한 voltage transient을 최소화하려면 CVCC를 IC의 핀에 가깝게 배치해야 합니다.

A value of 4.7  $\mu$ F was selected for this design example.

이 설계 예에서는 4.7  $\mu$ F의 값이 선택되었습니다.

### 8.2.2.12 Output Voltage Divider $R_{FB1}$ , $R_{FB2}$

$R_{FB1}$  and  $R_{FB2}$  set the output voltage level. The ratio of these resistors is calculated as follows:

$R_{FB1}$ 과  $R_{FB2}$ 는 output voltage level을 설정합니다. 이들 resistor의 비율은 다음과 같이 계산됩니다.

$$\frac{R_{FB2}}{R_{FB1}} = \frac{V_{OUT}}{1.2V} - 1$$

The ratio between  $R_{COMP}$  and  $R_{FB2}$  determines the mid-band gain,  $A_{FB\_MID}$ .

$R_{COMP}$ 와  $R_{FB2}$  사이의 비율은 중간 대역 이득 인  $A_{FB\_MID}$ 를 결정합니다.

A larger value for  $R_{FB2}$  may require a corresponding larger value for  $R_{COMP}$ .

$R_{FB2}$ 의 값이 클수록  $R_{COMP}$ 에 해당하는 더 큰 값이 필요할 수 있습니다.

$R_{FB2}$  should be large enough to keep the total divider power dissipation small.

$R_{FB2}$ 는 전체 divider power dissipation (분배기 전력 소비)를 작게 유지 할 만큼 충분히 커야한다.

A 49.9 k $\Omega$  in series with 681  $\Omega$  was chosen for high-side feedback resistors in this example, which results in a  $R_{FB1}$  value of 5.62 k $\Omega$  for 12 V output.

이 예에서 high-side feedback resistor으로 681  $\Omega$ 과 직렬로 49.9 k $\Omega$ 가 선택되었으므로 12 V 출력에 대해 5.62 k $\Omega$ 의  $R_{FB1}$  값이 발생합니다.

### 8.2.2.13 Soft-Start Capacitor $C_{SS}$

The soft-start time ( $t_{SS}$ ) is the time required for the output voltage set point to reach the target voltage from the input voltage.

soft-start time ( $t_{SS}$ )은 output voltage 설정점이 input voltage에서 target voltage에 도달하는 데 필요한 시간입니다.

The soft-start time is not only proportional to the soft-start capacitor, but also depends on the input voltage.

soft-start time은 soft-start capacitor에 비례 할뿐만 아니라 input voltage에 따라 달라진다.

With 0.1  $\mu\text{F}$  for  $C_{SS}$ , the soft-start time is calculated as follows:

$C_{SS}$ 의 경우 0.1 $\mu\text{F}$ 에서 soft-start time은 다음과 같이 계산된다.

$$C_{RES(MIN)} = \frac{I_{RES} \times t_{SS(MAX)}}{V_{RES}} = \frac{30 \mu\text{A} \times 6.3 \text{ msec}}{1.2\text{V}} = 0.16 \mu\text{F}$$

A standard value of 0.18  $\mu\text{F}$  is selected for  $C_{RES}$ .

$C_{RES}$ 는 0.18 $\mu\text{F}$ 의 표준 값이 선택됩니다.

### 8.2.2.15 Low-Side Power Switch $Q_L$

Breaking down the various losses is one way to compare the relative efficiencies of different N-channel MOSFET devices.

다양한 손실을 줄이는 것은 다른 N-channel MOSFET device의 상대적 효율을 비교하는 한 가지 방법이다.

Losses in the low-side N-channel MOSFET device can be separated into conduction loss and switching loss.

low-side N-channel MOSFET device의 손실은 conduction loss(전도 손)과 switching loss(스위칭 손실)로 분리 될 수 있다.

Low-side conduction loss is approximated calculated as follows:

Low-side conduction loss(전도 손실)은 다음과 같이 계산됩니다.

$$P_{COND(LS)} = D \times I_{IN}^2 \times R_{DS\_ON(LS)} \times 1.3 = \left(1 - \frac{V_{IN}}{V_{OUT}}\right) \times \left(\frac{I_{OUT} \times V_{OUT}}{V_{IN}}\right)^2 \times R_{DS\_ON(LS)} \times 1.3 [\text{W}]$$

Where D is the duty cycle and the factor of 1.3 accounts for the increase in the N-channel MOSFET device on-resistance due to heating.

여기서 D는 duty cycle이고 1.3의 계수는 가열로 인한 저항에 대한 N-channel MOSFET device 의 on-resistance 증가를 설명한다.



Alternatively, the factor of 1.3 can be eliminated and the high temperature on resistance of the N-channel MOSFET device can be estimated using the  $R_{DS(ON)}$  vs temperature curves in the N-channel MOSFET datasheet.

대안으로, 1.3의 계수는 제거 될 수 있으며 N-channel MOSFET device의 고온 on resistance은 N-channel MOSFET datasheet의  $R_{DS(ON)}$  대 temperature curve(온도 곡선)을 사용하여 추정 할 수 있다.

Switching loss occurs during the brief transition period as the low-side N-channel MOSFET device turns on and off. Switching 손실은 low-side N-channel MOSFET device가 turn on 나 turn off 될 때 짧은 transition 기간 동안 발생한다.

During the transition period both current and voltage are present in the channel of the N-channel MOSFET device. transition 기간 동안 current 과 voltage 모두 N-channel MOSFET device의 channel에 존재한다.

The low-side switching loss is approximated as follows:

low-side switching 손실은 다음과 같이 근사화됩니다.

$$P_{SW(LS)} = 0.5 \times V_{OUT} \times I_{IN} \times (t_R + t_F) \times f_{SW} [W]$$

$t_R$  and  $t_F$  are the rise and fall times of the low-side N-channel MOSFET device.

$t_R$  및  $t_F$ 는 low-side N-channel MOSFET device의 상승 및 하강 시간이다.

The rise and fall times are usually mentioned in the N-channel MOSFET datasheet or can be empirically observed with an oscilloscope.

상승 및 하강 시간은 일반적으로 N-channel MOSFET datasheet에 언급되어 있거나 oscilloscope를 사용하여 경험적으로 관찰 할 수 있습니다.

An additional Schottky diode can be placed in parallel with the low-side N-channel MOSFET switch, with short connections to the source and drain in order to minimize negative voltage spikes at the SW node.

추가적인 Schottky diode는 SW node에서 음의 voltage spike를 최소화하기 위해 source 그리고 drain에 짧은 연결로 low-side N-channel MOSFET switch와 병렬로 배치 할 수 있다.

#### 8.2.2.16 High-Side Power Switch QH and Additional Parallel Schottky Diode

Losses in the high-side N-channel MOSFET device can be separated into conduction loss, dead-time loss and reverse recovery loss.

high-side N-channel MOSFET device의 손실은 전도 손실, dead-time 손실 및 reverse recovery로 분리 될 수 있다.

Switching loss is calculated only for the low-side N-channel MOSFET device.

Switching 손실은 low-side N-channel MOSFET device에 대해서만 계산된다.

Switching loss in the high-side N-channel MOSFET device is negligible because the body diode of the high-side N-channel MOSFET device turns on before and after the high-side N-channel MOSFET switches.

high-side N-channel MOSFET device의 Switching 손실은 무시할 수 있습니다. high-side N-channel MOSFET device의 body diode가 high-side N-channel MOSFET switch 전후에 turn on 하기 때문입니다.

High-side conduction loss is approximated as follows:

High-side conduction 손실은 다음과 같이 근사됩니다.

$$P_{COND(HS)} = (1-D) \times I_{IN}^2 \times R_{DS\_ON(HS)} \times 1.3 = \left( \frac{V_{IN}}{V_{OUT}} \right) \times \left( \frac{I_{OUT} \times V_{OUT}}{V_{IN}} \right)^2 \times R_{DS\_ON(HS)} \times 1.3 [W]$$

Dead-time loss is approximated as follows:

Dead-time은 다음과 같이 근사됩니다.

$$P_{DT(HS)} = V_D \times I_{IN} \times (t_{DLH} + t_{DHL}) \times f_{SW} [W]$$

Where

- $Q_{RR}$  is the reverse recovery charge of the high-side N-channel MOSFET body diode
- $Q_{RR}$ 은 high-side N-channel MOSFET body diode 의 reverse recovery(역회복) charge 이다.

An additional Schottky diode can be placed in parallel with the high-side switch to improve efficiency.

추가적인 Schottky diode를 효율을 향상시키기 위해 high-side switch와 병렬로 배치 할 수 있다.

Usually, the power rating of this parallel Schottky diode can be less than the high-side switch ratings because the diode conducts only during dead-times.

일반적으로 diode는 dead-time 동안 만 conduct되기 때문에 이 Schottky diode의 정격 전력은 high-side switch 정격보다 낮을 수 있다.

The power rating of the parallel diode should be equivalent or higher than high-side switch ratings if bypass operation is required, hiccup mode operation is required or a heavy load exists before the controller begins switching. parallel diode(병렬 다이오드)의 정격 전력은 bypass 동작이 필요하거나 hiccup mode 동작이 필요하거나 controller 가 switching을 시작하기 전에 과부하가 존재할 경우 high-side switch 정격보다 같거나 높아야 합니다.

### 8.2.2.17 Snubber Components

A resistor-capacitor snubber network across the high-side N-channel MOSFET device reduces ringing and spikes at the switching node.

high-side N-channel MOSFET device에 걸친 resistor-capacitor snubber network는 switching node에서 ringing(울림) 및 spike를 줄인다.

Excessive ringing and spikes can cause erratic operation and can couple noise to the output.

과도한 ringing (울림) 및 spike는 잘못된 작동을 유발할 수 있으며 출력에 noise를 결합 할 수 있습니다.

Selecting the values for the snubber is best accomplished through empirical methods.

snubber 값을 선택하는 것은 경험적 방법을 통해 가장 잘 수행됩니다.

First, make sure the lead lengths for the snubber connections are very short.

먼저 snubber 연결의 리드 길이가 매우 짧은 지 확인하십시오.

Start with a resistor value between 5 and 50  $\Omega$ .

저항 값을 5 ~ 50  $\Omega$ 으로 시작하십시오.

Increasing the value of the snubber capacitor results in more damping, but this also increases snubber losses.

snubber capacitor 값을 높이면 감쇠가 증가하지만 snubber 손실도 증가합니다.

Select a minimum value for the snubber capacitor that provides adequate damping of the spikes on the switch waveform at heavy load.

heavy load(과부하) 시 switch waveform(스위치 파형)에서 spike의 적절한 감쇠를 제공하는 snubber capacitor의 최소 값을 선택하십시오.

A snubber may not be necessary with an optimized layout.

최적화 된 layout에서는 snubber가 필요하지 않을 수 있습니다.

Snubber(스너버)

- 반도체 정류소자 등에 있어서, 소자에 공급되는 서지 전압이나 링잉 전압을 흡수하기 위하여 소자에 병렬로 접속된 RC 직렬 분기이다.
  - \* 다이오드 기타의 비직선 소자를 사용하는 수도 있다. 또 소자에 흐르는 전류의 급격한 변화를 방지하기 위해 직렬로 사용하는 작은 인덕턴스도 스너버로 포함시키는 수도 있다. 스너버란 충격 방지구를 이른다.
- 반도체 정류 소자 등에서 소자에 주어지는 서지 전압이나 링잉 전압을 흡수하기 위해 소자에 병렬로 접속된 RC 직렬 분기. 다이오드 기타의 비직선 소자를 사용하는 것도 있다. 또, 소자에 흐르는 전류의 급격한 변화를 방지하기 위해 직렬로 사용하는 작은 인덕턴스도 스너버로서 포함하는 경우도 있다. 스너버란 충격 방지쇠를 말하는 것이다.

서지 전압 : 단시간 안에 격렬하게 변화하는 과도적인 전압을 이른다. 또 그와 같은 전류를 서지 전류라 한다. 낙뢰로 인하여 송전선에 유기된 이상 전압은 그 전형적인 예이다.

링잉 전압 : 전원의 울림

#### 8.2.2.18 Disconnect Switch $Q_D$ Selection

The N-channel MOSFET disconnection switch ( $Q_D$ ) should be selected based on the following criteria:

N 채널 MOSFET 단선 스위치 ( $Q_D$ )는 다음 기준에 따라 선택해야합니다.

- The  $BV_{DSS}$  rating must be greater than the maximum input voltage, plus ringing and transients.
- $BV_{DSS}$  정격은 최대 input voltage과 ringing 및 transients 보다 커야합니다.

- The safe operating area (SOA) and the thermal properties should be considered. If required, limit the rise time of the input power supply or the maximum start-up input voltage.
- 안전한 작동 영역 (safe operating area - SOA) 및 thermal property(열특성)을 고려해야 합니다. 필요한 경우 input power supply의 rise time 또는 최대 start-up input voltage을 제한하십시오.
- Absolute maximum rating of  $V_{GS}$  should be greater than 18 V.
- $V_{GS}$ 의 절대 최대 정격은 18V보다 커야 합니다.
- If the minimum VIN voltage is less than 6.5 V, a logic level MOSFET should be used.
- 최소 VIN 전압이 6.5V 미만이면 logic level MOSFET 을 사용해야 합니다.
- The plateau voltage during inrush current limiting is recommended to be less than  $V_{GS-DET}$ . If the  $V_{PLATEAU}$  is greater than  $V_{GS-DET}$ , boost switching might start before finishing the inrush limiting.
- inrush current limiting 중의 plateau voltage(고원 전압)은  $V_{GS-DET}$  보다 낮을 것을 권장합니다.  $V_{PLATEAU}$ 가  $V_{GS-DET}$ 보다 크면 inrush limiting을 완료하기 전에 boost switching이 시작될 수 있습니다.

#### 8.2.2.19 Freewheeling Diode DF Selection

If QD turns off quickly by the circuit breaker function, the inductor current continues flowing through a freewheeling diode (DF).

회로 차단기 기능으로 QD가 빨리 꺼지면 인덕터 전류가 프리 휠링 다이오드 (DF)를 통해 계속 흐릅니다.

DF should have enough capability to handle  $150 \text{ mV}/R_S$  of peak current during inductor current decay and the voltage rating must be greater than the maximum input voltage, plus ringing and transients.

DF는 인덕터 전류 감소 동안 피크 전류  $150 \text{ mV} / R_S$ 를 처리 할 수 있는 충분한 성능을 가져야 하며 전압 정격은 최대 입력 전압과 링잉 및 과도 전류보다 커야 합니다.

The inductor current decay time is calculated from Equation 42.

inductor current decay time (인덕터 전류 감소 시간)은 식 42로부터 계산된다.

$$t_{DF} = \frac{L_{IN} \times 0.15}{R_S \times (V_{OUT} - V_{IN})} \quad [\text{sec}]$$

#### 8.2.2.20 Loop Compensation Components $C_{COMP}$ , $R_{COMP}$ , $C_{HF}$

$R_{COMP}$ ,  $C_{COMP}$  and  $C_{HF}$  configure the error amplifier gain and phase characteristics to produce a stable voltage loop.

$R_{COMP}$ ,  $C_{COMP}$  및  $C_{HF}$ 는 error amplifier gain 및 phase characteristic을 구성하여 안정적인 voltage loop를 생성합니다.

For a quick start, follow the 4 steps listed below:

빠른 시작을 위해 아래 나열된 4 단계를 따르십시오.

1. Select  $f_{CROSS}$  ( $f_{CROSS}$  선택)

Select the cross over frequency ( $f_{CROSS}$ ) at one fourth of the RHP zero or one tenth of the switching frequency whichever is lower.

RHP의 1/4 또는 switching frequency의 1/10 중 낮은 쪽에서 cross over frequency ( $f_{CROSS}$ )를 선택하십시오.

$$\frac{f_{SW}}{10} = 25 \text{ kHz}$$

$$\frac{f_{Z\_RHP}}{4} = \frac{R_{LOAD} \times (D')^2}{4 \times 2\pi \times L_{IN\_EQ}} = \frac{\frac{V_{OUT}}{I_{OUT}} \times \left(\frac{V_{IN}}{V_{OUT}}\right)^2}{4 \times 2\pi \times L_{IN\_EQ}} = 13.4 \text{ kHz}$$

A 13.4 kHz crossover frequency is selected. RHP zero at minimum input voltage should be considered if the input voltage range is wide.

13.4 kHz crossover frequency가 선택됩니다. input voltage 범위가 넓은 경우 최소 input voltage에서 RHP zero를 고려해야한다.

2. Determine required  $R_{COMP}$  (필수  $R_{COMP}$  결정)

Knowing  $f_{CROSS}$ ,  $R_{COMP}$  is calculated as follows:

$f_{CROSS}$ 를 알면  $R_{COMP}$ 는 다음과 같이 계산됩니다.

$$R_{COMP} = f_{CROSS} \times \pi \times R_S \times R_{FB2} \times 10 \times C_{OUT} \times \frac{V_{OUT}}{V_{IN}} = 200 \text{ k}\Omega$$

A standard value of 200 k $\Omega$  is selected for  $R_{COMP}$

$R_{COMP}$ 에 대해 200 k $\Omega$ 의 표준 값이 선택됩니다.

3. Determine  $C_{COMP}$  to cancel load pole. Place the error amplifier zero at twice the load pole frequency.

Knowing  $R_{COMP}$ ,  $C_{COMP}$  is calculated as follows:

로드 극을 취소하기 위해  $C_{COMP}$ 를 결정하십시오. error amplifier zero을 load pole frequency의 두 배로 놓습니다.  $R_{COMP}$ 를 알면  $C_{COMP}$ 는 다음과 같이 계산됩니다.

$$C_{COMP} = \frac{R_{LOAD} \times C_{OUT}}{4 \times R_{COMP}} = 7.6 \text{ nF}$$

A standard value of 8.2 nF is selected for  $C_{COMP}$ .

$C_{COMP}$ 에 대해 8.2 nF의 표준 값이 선택됩니다.

4. Determine  $C_{HF}$  to cancel the ESR zero.

$C_{HF}$ 를 결정하여 ESR를 취소하십시오.

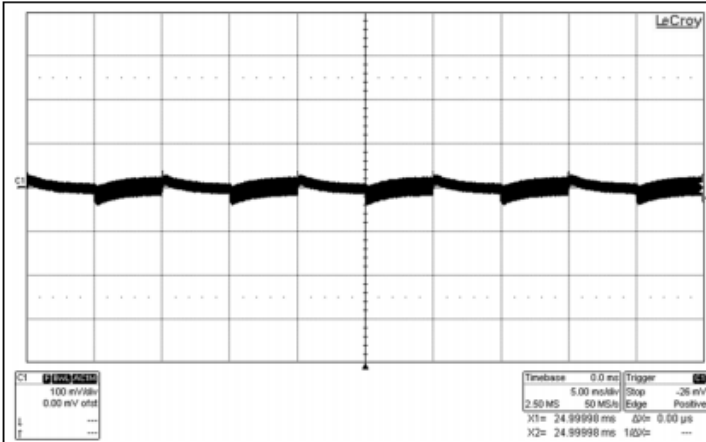
Knowing  $R_{COMP}$ ,  $R_{ESR}$  and  $C_{COMP}$ ,  $C_{HF}$  is calculated as follows  
 $R_{COMP}$ ,  $R_{ESR}$  및  $C_{COMP}$ ,  $C_{HF}$ 를 알면 다음과 같이 계산됩니다.

$$C_{HF} = \frac{R_{ESR} \times C_{OUT} \times C_{COMP}}{R_{COMP} \times C_{COMP} - R_{ESR} \times C_{OUT}} = 103 \text{ pF}$$

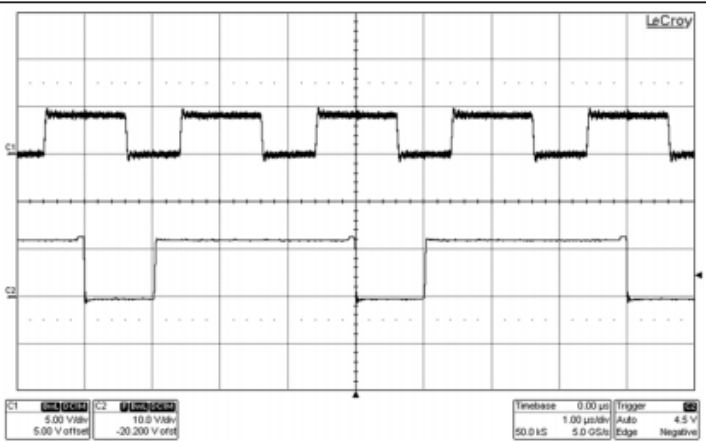
A standard value of 100 pF is selected for  $C_{HF}$

$C_{HF}$ 에 100pF의 표준 값이 선택됩니다.

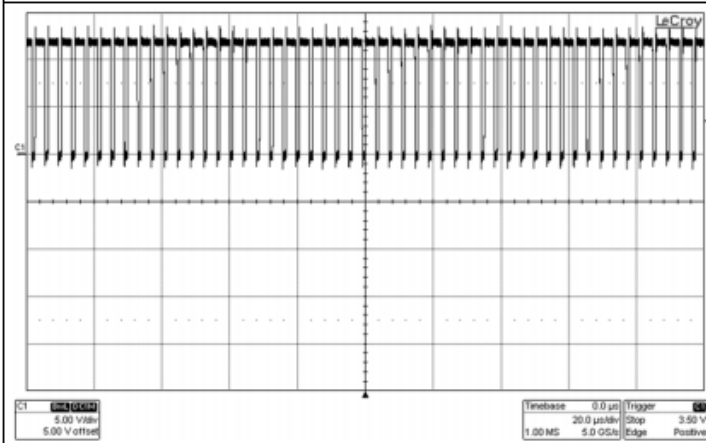
8.2.3 Application Curves



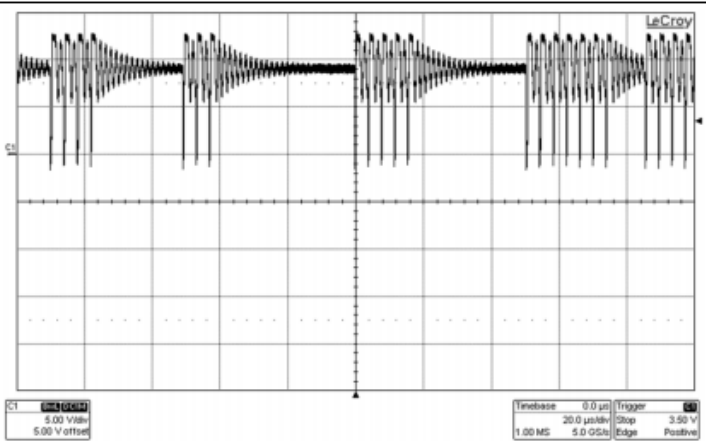
C1:  $V_{out}$ ,  $V_{SUPPLY} = 9\text{ V}$ , 1 A to 2 A and 2 A to 1 A load transient  
**Figure 42. Load Transient**



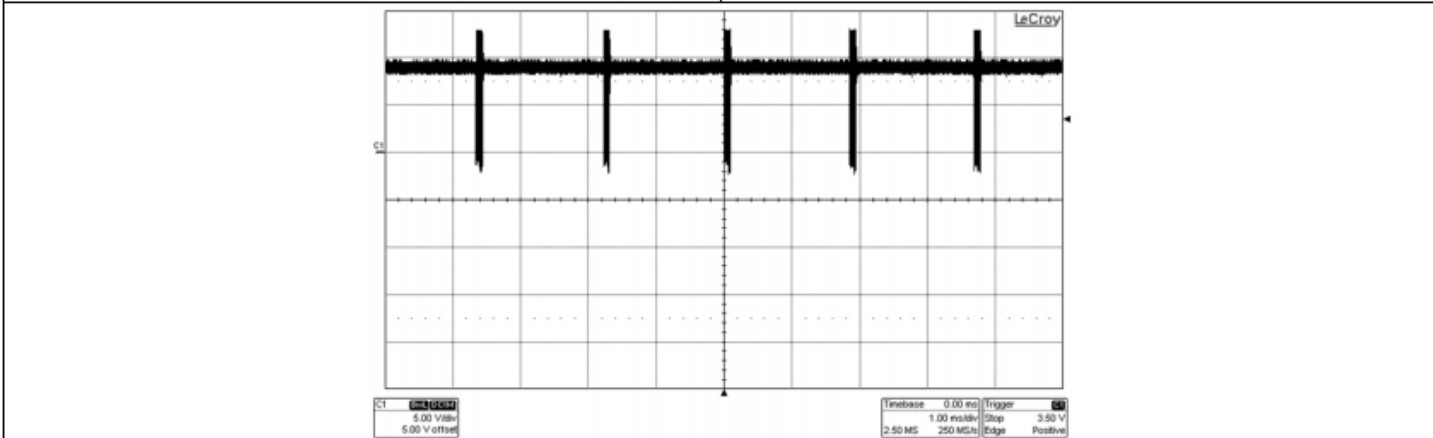
C1:  $F_{SYNC}$ , C2: SW,  $V_{SUPPLY} = 9\text{ V}$ ,  $F_{SYNC} = 500\text{ kHz}$   
**Figure 43. Clock Synchronization**



C1: SW,  $V_{SUPPLY} = 9\text{ V}$ ,  $I_{LOAD} = 0\text{ A}$   
**Figure 44. Forced PWM**



C1: SW,  $V_{SUPPLY} = 9\text{ V}$ ,  $I_{LOAD} = 0\text{ A}$   
**Figure 45. Pulse Skip**



C1: SW,  $V_{SUPPLY} = 9\text{ V}$ ,  $I_{LOAD} = 0\text{ A}$   
**Figure 46. Skip Cycle**

## 9 Power Supply Recommendations

LM5121 is a power management device. The power supply for the device is any DC voltage source within the specified input range.

LM5121은 power management device(전원 관리 장치)입니다. Device(장치)의 power supply (전원 공급 장치)는 지정된 입력 범위 내의 모든 DC voltage source입니다.

## 10 Layout

### 10.1 Layout Guidelines

In a boost regulator, the primary switching loop consists of the output capacitor and N-channel MOSFET power switches.

boost regulator 에서 primary switching loop 는 output capacitor와 N-channel MOSFET power switch로 구성된다.

Minimizing the area of this loop reduces the stray inductance and minimizes noise.

이 loop의 영역을 최소화하면 stray inductance(표류 인덕턴스)가 감소하고 noise가 최소화됩니다.

Especially, placing high quality ceramic output capacitors as close to this loop earlier than bulk aluminum output capacitors minimizes output voltage ripple and ripple current of the aluminum capacitors.

특히 bulk aluminum output capacitor보다 먼저 이 loop에 가깝게 high quality ceramic output capacitor를 배치하면 aluminum capacitor의 output voltage ripple 및 ripple current를 최소화 할 수 있습니다.

In order to prevent a  $dv/dt$  induced turn-on of high-side switch, HO and SW should be connected to the gate and source of the high-side synchronous N-channel MOSFET switch through short and low inductance paths.

high-side switch의  $dv/dt$  induced turn-on을 방지하기 위해, HO 및 SW는 short and low inductance path(짧고 낮은 인덕턴스 경로)를 통해 high-side synchronous(동기) N-channel MOSFET switch 의 gate 와 source에 연결되어야 한다.

In FPWM mode, the  $dv/dt$  induced turn-on can occur on the low-side switch.

FPWM mode에서  $dv/dt$  induced turn-on(유도된 turn-on)은 low-side switch에서 발생할 수 있습니다.

LO and PGND should be connected to the gate and source of the low-side N-channel MOSFET through short and low inductance paths.

LO 및 PGND는 short and low inductance path(짧고 낮은 인덕턴스 경로)를 통해 low-side N-channel MOSFET의 gate 및 source에 연결되어야 한다.

All of the power ground connections should be connected to a single point.

power ground connection은 모두 single point (단일 지점)에 연결해야 합니다.

Also, all of the noise sensitive low power ground connections should be connected together near the AGND pin and



a single connection should be made to the single point PGND.

또한 모든 noise에 민감한 low power(저전력) ground connection은 AGND 핀 가까이에 함께 연결되어야 하며 단일 연결은 single point PGND에 연결되어야 합니다.

CSP and CSN are high impedance pins and noise sensitive.

CSP 및 CSN은 high impedance pin 및 noise에 민감합니다.

CSP and CSN traces should be routed together with kelvin connections to the current sense resistor as short as possible.

CSP 및 CSN trace는 kelvin connection(열에 민감한 연결)과 함께 가능한 한 짧게 current sense resistor(전류 감지 저항)에 연결해야 합니다.

If needed, place 100-pF ceramic filter capacitor as close to the device. MODE pin is also high impedance and noise sensitive.

필요한 경우 100-pF ceramic filter capacitor를 device에 가깝게 배치하십시오. MODE pin은 high impedance 및 noise에 민감하다.

If an external pull-up or pull-down resistor is used at MODE pin, the resistor should be placed as close the device.

MODE 핀에서 외부 pull-up 또는 pull-down resistor를 사용하는 경우 저항을 device 가까이에 배치해야 한다.

VCC, VIN and BST capacitor must be as physically close as possible to the device.

VCC, VIN 및 BST capacitor는 가능한 한 물리적으로 device에 가까이 있어야 한다.

The LM5121 has an exposed thermal pad to aid power dissipation.

LM5121에는 전력 소비를 돕기 위해 노출 된 thermal pad (열 패드)가 있습니다.

Adding several vias under the exposed pad helps conduct heat away from the device.

노출 된 패드 아래에 여러 개의 via(두 개의 금속을 사용하는 CMOS의 구조에서 두 금속선을 접속시키는 매개체)를 추가하면 장치에서 열을 전도하는 데 도움이 됩니다.

The junction to ambient thermal resistance varies with application.

주변 온도에 대한 접합부는 application 에 따라 다릅니다.

The most significant variables are the area of copper in the PC board, the number of vias under the exposed pad and the amount of forced air cooling.

가장 중요한 변수는 PC 보드의 구리 면적, 노출 패드 아래의 via 수 및 강제 air cooling의 양입니다.

The integrity of the solder connection from the device exposed pad to the PC board is critical.

device 노출 패드에서 PC 보드로의 solder connection(납땜 연결부)의 무결성이 중요합니다.

Excessive voids greatly decrease the thermal dissipation capacity.

과도한 공백은 열 발산 용량을 크게 줄입니다.

The highest power dissipating components are the two power switches.

가장 높은 전력 소모 구성 요소는 2 개의 전원 스위치입니다.

Selecting N-channel MOSFET switches with exposed pads aids the power dissipation of these devices.

노출 된 패드가 있는 N-channel MOSFET switch를 선택하면 이러한 소자의 전력 소모를 줄일 수 있다.

10.2 Layout Example

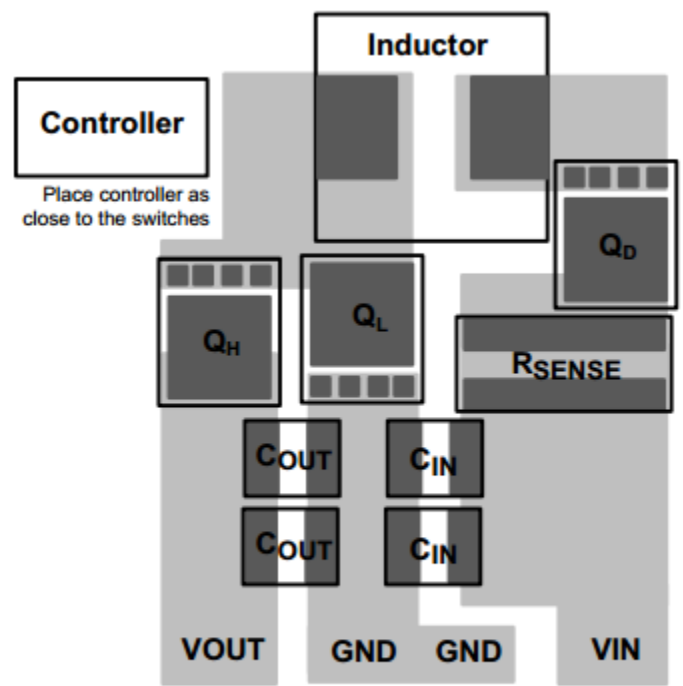


Figure 47. Power Path Layout

11 Device and Documentation Support

11.1 Related Links

The table below lists quick access links. Categories include technical documents, support and community resources, tools and software, and quick access to sample or buy.

아래 표에는 빠른 액세스 링크가 나와 있습니다. 카테고리에는 기술 문서, 지원 및 커뮤니티 리소스, 도구 및 소프트웨어, 샘플 또는 구매에 대한 빠른 액세스가 포함됩니다.

Table 2. Related Links

PARTS	PRODUCT FOLDER	SAMPLE & BUY	TECHNICAL DOCUMENTS	TOOLS & SOFTWARE	SUPPORT & COMMUNITY
LM5121	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>
LM5121-Q1	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>	<a href="#">Click here</a>

## 11.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. In the upper right corner, click on Alert me to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

문서 업데이트 알림을 받으려면 ti.com의 장치 제품 폴더로 이동하십시오. 오른쪽 위 모서리에서 Alert me를 클릭하여 등록하고 변경된 제품 정보를 주간 요약으로 받습니다. 변경 사항에 대한 자세한 내용은 수정된 문서에 포함된 개정 내역을 검토하십시오.

## 11.3 Community Resources

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's Terms of Use.

다음 링크는 TI 커뮤니티 리소스에 연결됩니다. 링크된 콘텐츠는 각 기고자가 "있는 그대로" 제공됩니다. 이들은 TI 사양을 구성하지 않으며 반드시 TI의 견해를 반영하지 않습니다. TI의 이용 약관 참조.

TI E2E™ Online Community TI's Engineer-to-Engineer (E2E) Community. Created to foster collaboration among engineers. At e2e.ti.com, you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

TI E2E™ 온라인 커뮤니티 TI의 엔지니어 - 엔지니어 (E2E) 커뮤니티. 엔지니어 간의 협업을 촉진하기 위해 만들어졌습니다. e2e.ti.com에서 질문을 하고, 지식을 공유하며, 아이디어를 탐구하고, 동료 엔지니어들과 함께 문제를 해결할 수 있습니다.

Design Support TI's Design Support Quickly find helpful E2E forums along with design support tools and contact information for technical support.

설계 지원 TI의 설계 지원 설계 지원 도구 및 기술 지원 연락처 정보와 함께 유용한 E2E 포럼을 신속하게 찾을 수 있습니다.

## 11.4 Trademarks

E2E is a trademark of Texas Instruments.

E2E는 Texas Instruments의 상표입니다.

All other trademarks are the property of their respective owners.

다른 모든 상표는 해당 소유자의 재산입니다.

## 11.5 Electrostatic Discharge Caution

These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in

conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

이 소자는 내장 된 ESD 보호 기능이 제한적이다. MOS 게이트에 대한 정전기 손상을 방지하기 위해 리드를 함께 단락 시키거나 스토리지 또는 취급 중에 전도성 폼에 장치를 배치해야 합니다.

## 11.6 Glossary

SLYZ022 — TI Glossary.

This glossary lists and explains terms, acronyms, and definitions

SLYZ022 - TI 용어집.

이 용어집은 용어, 두문자어 및 정의를 나열하고 설명합니다.

## 12 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

다음 페이지는 기계, 포장 및 주문 정보를 포함합니다. 이 정보는 지정된 장치에서 사용할 수 있는 최신 데이터입니다. 이 데이터는 이 문서의 사전 통보 및 개정없이 변경 될 수 있습니다. 이 데이터 시트의 브라우저 기반 버전은 왼쪽 탐색을 참조하십시오.