

## Section F5: Darlington Circuit

To provide improved performance and input/output characteristics, single transistors may be combined to form compound devices.

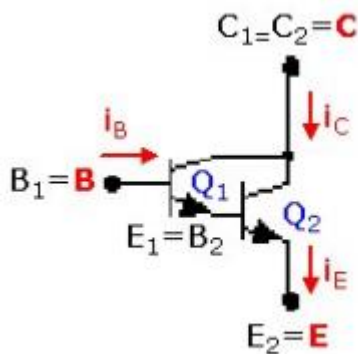
개선된 성능 및 입 / 출력 특성을 제공하기 위해, single transistor가 결합되어 compound device를 형성할 수 있다.

A commonly used compound device is known as the Darlington configuration and is shown to the right (a modified version of Figure 8.16 in your text).

일반적으로 사용되는 compound device는 Darlington 구성으로 알려져 있으며 오른쪽(아래)에 표시되어 있습니다 (텍스트에서 그림 8.16의 수정된 버전).

In this representation, two npn BJTs are cascaded and are behaviorally equivalent to a single npn transistor.

이 표현에서 두 개의 npn BJT가 cascade되며 single npn transistor와 동작이 동일합니다.



This single compound device possesses desirable characteristics such as high input impedance, low output impedance and high current gain;

이 단일 복합 소자는 high input impedance, low output impedance 및 high current gain (높은 전류 이득)과 같은 바람직한 특성을 가지고 있습니다.

but does have the disadvantages of an almost doubled  $V_{BE}$  (overall  $V_{BE}$  for the pair is 1.2V to 1.4V instead of the 0.6V to 0.7V for single silicon BJTs) and the fact that any leakage current from the first transistor is amplified by the second transistor.

거의 두 배의  $V_{BE}$  (쌍을 위한 전체  $V_{BE}$ 는 single silicon BJT의 경우 0.6V ~ 0.7V 대신 1.2V ~ 1.4V 이다)와 first transistor로부터의 leakage current(누설 전류)가 second transistor에 의해 증폭된다는 단점이 있다.

A Darlington pair may also be created using two pnp devices, particularly in discrete circuit design,

or through the use of an npn and a pnp.

Darlington pair는 두 개의 pnp device를 사용하여 생성 할 수 있습니다. 특히 discrete circuit design에서 또는 npn 및 pnp를 사용하여 생성 할 수 있습니다.

The resulting compound device may be considered a single transistor and, in the following discussion, will be used in either the CE or EF (CC) configuration.

생성된 compound device는 single transistor로 간주 될 수 있으며, 이하의 설명에서는 CE 또는 EF (CC) 구성에서 사용될 것이다.

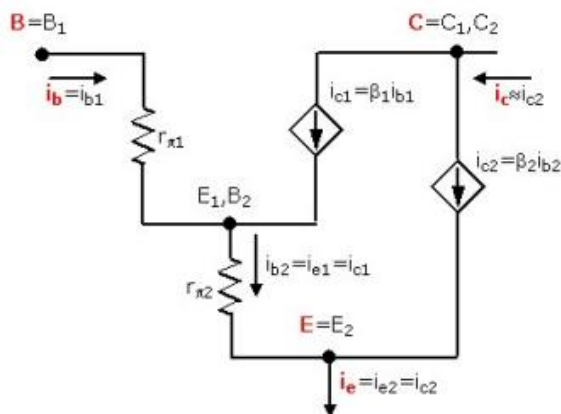
Assuming  $r_{o1}$  and  $r_{o2}$  are very large so that they may be neglected, and that  $\beta_1$  and  $\beta_2$  are both much greater than one (i.e.,  $\beta_1 \approx \beta_1 + 1$  and  $\beta_2 \approx \beta_2 + 1$ ), the ac small signal model of the npn version of the Darlington pair is shown to the right.

$r_{o1}$  및  $r_{o2}$ 가 매우 커서 이들이 무시 될 수 있고,  $\beta_1$  및  $\beta_2$ 가 모두 1보다 훨씬 큰 것으로 (즉,  $\beta_1 \approx \beta_1 + 1$  및  $\beta_2 \approx \beta_2 + 1$ ) 가정하면, Darlington 쌍의 npn version의 ac small signal model이 오른 쪽(아래)에 표시됩니다.

By making the assumption that emitter currents are approximately equal to collector currents (i.e.,  $\alpha_1 = \alpha_2 \approx 1$ ):

emitter current가 collector current와 거의 같다고 가정하면 (즉,  $\alpha_1 = \alpha_2 \approx 1$ ) :

$$i_e = i_{e2} = \beta_2 i_{b2} = \beta_2 i_{e1} = \beta_2 \beta_1 i_{b1},$$



we can see that the combination looks like a single high  $\beta$  ( $\beta = \beta_1 \beta_2$ ) transistor.

그 조합은 하나의 높은  $\beta$  ( $\beta = \beta_1 \beta_2$ ) 트랜지스터처럼 보입니다.

Note that although the effective collector current  $i_c$  calculated by adding  $i_{c1}$  and  $i_{c2}$ , the multiplier of  $\beta_2$  makes  $i_{c2}$  the dominant contributor to the sum.

$i_{c1}$ 과  $i_{c2}$ 를 더함으로써 계산된 effective collector current  $i_c$ 는  $\beta_2$ 의 승수로  $i_{c2}$ 가 합계의 주요 원인이 됩니다.

Also note that the Q-point for the first transistor may be different from the second transistor so, in general,  $r_{\pi 1} \neq r_{\pi 2}$ .

또한, first transistor에 대한 Q-point는 second transistor와 다를 수 있으므로, 일반적으로,  $r_{\pi 1} \neq r_{\pi 2}$ 이다.

### Darlington EF (CC) Amplifier

Figure 8.17, reproduced to the left below, illustrates the Darlington pair used in an EF (CC) amplifier configuration.

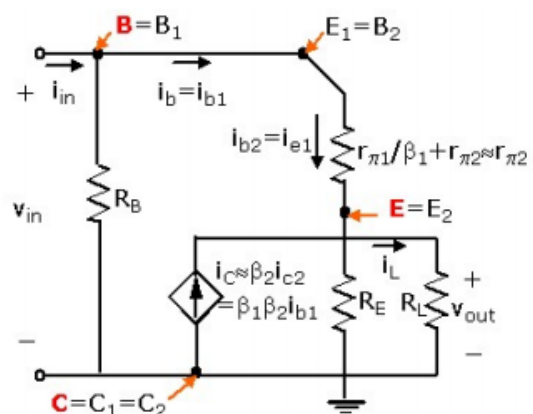
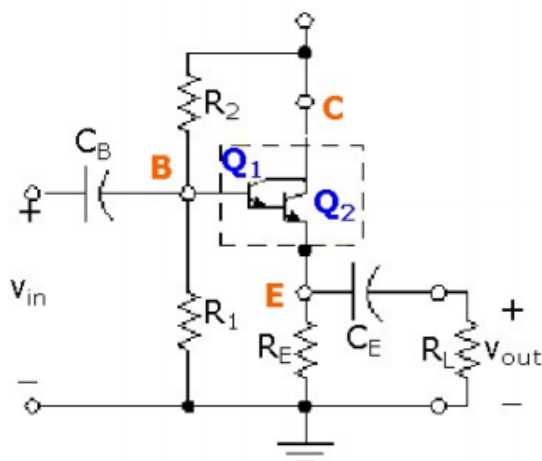
그림 8.17은 EF (CC) 증폭기 구성에서 사용되는 Darlington 쌍을 보여줍니다.

Figure 8.18, corrected and presented to the right below, shows the small signal model for this EF (CC) amplifier, using ideal capacitors, with the approximations that  $i_C = i_{C2}$  (since the output is taken at the emitter and the contribution of Q2 dominates the total collector current) and that the impedance from Q1, when reflected to the emitter circuit of Q2, is negligible; i.e.

다음의 그림 8.18은 이상 capacitor를 사용한 EF (CC) 증폭기의 small signal model을  $i_C = i_{C2}$  (출력이 emitter에서 취해지고 Q2의 기여도가 전체 collector current를 지배하기 때문에) 근사하고 Q2의 emitter 회로에 반사 할 때 Q1에서의 impedance를 보여주고 무시할 수 있다. 즉

->해석 이상....

$$r_{\pi 1} / \beta_1 + r_{\pi 2} \approx r_{\pi 2} = \beta_2 r_{e2} .$$



From the small signal circuit in Figure 8.18 (above right), we can see that the load on the second transistor (at  $E_2$ ) is  $R_L || R_E$ .

그림 8.18 (오른쪽 위)의 작은 신호 회로로부터, 두 번째 transistor ( $E_2$  에서)의 전자 부하가  $R_L || R_E$  임을 알 수 있습니다.

The equivalent load on the first transistor (using impedance reflection at  $E_1$ ) is  $(R_L || R_E) + r_{\pi 2} \approx \beta_2 (R_L || R_E)$ , which is also the input resistance of the second transistor.

$E_1$ 에서 impedance 반사를 사용하는 첫 번째 transistor의 등가 부하는  $(R_L || R_E) + r_{\pi 2} \approx \beta_2 (R_L || R_E)$ 이며, 이는 또한 두 번째 transistor의 입력 저항이다.

Your author states that, in practice, the first transistor can be of lower power rating than the second.

귀하의 저자는 실제로, 첫 번째 transistor는 두 번째보다 낮은 전력 등급 일 수 있다고 말합니다.

This is due to the  $\beta_1$  multiplication factor of currents through the second transistor.

이것은 두 번째 transistor를 통과하는 전류의  $\beta_1$  multiplication factor에 기인한다.

Using the impedance reflection technique to reflect all resistances to the base circuit of  $Q_1$ , we can define the input resistance of the Darlington EF (CC) amplifier as:

impedance reflection technique (임피던스 반사 기술)을 사용하여 모든 resistance을  $Q_1$ 의 기본 회로에 반영하면 Darlington EF (CC) 증폭기의 input resistance을 다음과 같이 정의 할 수 있다.

$$R_{in} = R_B || [\beta_1 r_{\pi 2} + \beta_1 \beta_2 (R_E || R_L)] = R_B || [\beta_1 \beta_2 (r_{e2} + (R_E || R_L))] \quad \text{(Equation 8.40, Corrected)}$$

Just for information, if it happens that  $r_{\pi 1}$  cannot be neglected, the complete expression for the input resistance is:

정보만을 위해  $r_{\pi 1}$ 을 무시할 수 없는 경우 input resistance에 대한 완전한 식은 다음과 같습니다.

$$R_{in} = R_B || [r_{\pi 1} + \beta_1 r_{\pi 2} + \beta_1 \beta_2 (R_E || R_L)] = R_B || [\beta_1 r_{e1} + \beta_1 \beta_2 (r_{e2} + (R_E || R_L))].$$

Using our standard definition for current gain as  $i_L / i_{in}$ , we can derive the required currents by current division at the input and output:

current 이득에 대한 표준 정의를  $i_L / i_{in}$ 으로 사용하면 입력 및 출력에서 전류 분배로 필요한 전류를 도출 할 수 있습니다.

$$\begin{aligned}
r_{e2} &= \frac{V_T}{I_{C2}} \\
r_{\pi2} &= \beta_2 r_{e2} \\
r_{e1} &= \frac{V_T}{I_{C1}} = \frac{V_T}{I_{B2}} = \frac{V_T}{I_{C2} / \beta_2} = \frac{\beta_2 V_T}{I_{C2}} = \beta_2 r_{e2} \\
r_{\pi1} &= \beta_1 r_{e1} = \beta_1 \beta_2 r_{e2} = \beta_1 r_{\pi2}
\end{aligned}
\quad . \quad (\text{Equation 8.43, Modified})$$

We may now define the input resistance as the equivalent resistance seen at the base of  $Q_1$ :  
우리는 이제 input resistance을  $Q_1$ 의 base에서 볼 수 있는 equivalent resistance(등가 저항)으로 정의 할 수 있습니다.

$$R_{in} = R_B || [r_{\pi1} + \beta_1 r_{\pi2}] = R_B || 2r_{\pi2} = R_B || 2\beta_1 \beta_2 r_{e2} . \quad (\text{Eqns 8.42 \& 8.44})$$

To calculate the current gain, we need expressions for  $i_L$  and  $i_{in}$ . Using current division, we get  
현재 이득을 계산하려면  $i_L$  및  $i_{in}$ 에 대한 표현이 필요합니다. current division를 사용하면 우리는

$$\begin{aligned}
i_L &= \frac{R_C i_C}{R_C + R_L}; \text{ where } i_C = -(\beta_1 i_{b1} + \beta_2 i_{b2}) = -(\beta_1 i_{b1} + \beta_1 \beta_2 i_{b1}) \cong -\beta_1 \beta_2 i_{b1} \\
i_{b1} &= \frac{R_B i_{in}}{R_B + r_{\pi1} + \beta_1 r_{\pi2}} = \frac{R_B i_{in}}{R_B + 2\beta_1 \beta_2 r_{e2}}; \text{ so } i_{in} = \frac{(R_B + 2\beta_1 \beta_2 r_{e2}) i_{b1}}{R_B}
\end{aligned}$$

를 얻을 수 있다.

Taking the ratio of output (load) current to input current and dividing by  $\beta_1 \beta_2$ , we get an expression for the current gain of the Darlington pair CE amplifier as

input current에 대한 output (load) current의 비율을 취하고 이를  $\beta_1 \beta_2$ 로 나눔으로써, 우리는 Darlington pair CE amplifier(쌍 CE 증폭기)의 current 이득에 대한 식을 얻는다.

$$A_i = \frac{-R_B R_C}{(R_B / \beta_1 \beta_2 + 2r_{e2})(R_C + R_L)} . \quad (\text{Equation 8.46})$$

The voltage gain may be found by taking the ratio of output (load) voltage to input voltage, or by using the gain impedance formula:

전압 이득은 입력 전압에 대한 출력 (부하) 전압의 비율을 취하거나 이득 임피던스 공식을 사용하여 구할 수 있습니다.

$$A_v = \frac{-R_C \parallel R_L}{2r_{e2}}.$$

(Equation 8.47)

Using a Darlington pair in the CE configuration still allows for a large voltage gain, but the major improvements are in the input resistance and current gain.

CE 구성에서 Darlington 쌍을 사용하면 여전히 큰 전압 이득이 가능하지만 주요 향상은 입력 저항 및 전류 이득에 있다.

Refer to Section D2 for a comparison of single transistor CE characteristics.

단일 트랜지스터 CE 특성의 비교는 섹션 D2를 참조하십시오.

As we have seen, the Darlington pair may be considered a single transistor when used in amplifier circuits - in fact, some manufacturers package this compound transistor circuit into a single package with only three external leads (base, collector and emitter).

However, although we have been concentrating on the single transistor characteristics of the compound transistor, there are some important differences.

그러나 compound transistor에 대한 single transistor 특성에 중점을 두고 있지만 몇 가지 중요한 차이점이 있습니다.

In addition to the previously mentioned increase in the total  $V_{BE}$  drop, primary among the potential difficulties is the achievable speed of operation.

앞서 언급 한 총  $V_{BE}$  drop의 증가에 더하여 잠재적인 어려움 가운데 가장 주요한 것은 작동 속도입니다.

Changing the voltage across any junction requires a finite amount of time, since charges must be moved and electrons and holes move at a finite speed within a material.

어떤 접합점을 가로 질러 전압을 변화시키는 것은 전하가 이동되어야 하고 전자와 정공이 물질 내에서 유한 속도로 이동하기 때문에 한정된 시간이 필요하다.

Since the Darlington transistor pair has two base emitter junctions in series, this combination operates more slowly than a single transistor.

Darlington 트랜지스터 쌍에는 두 개의 기본 emitter 접합이 직렬로 있기 때문에 이 조합은 single transistor보다 느리게 작동합니다.

To increase the speed of operation, a resistor may be placed between the emitter of the first transistor and the base of the second transistor.

동작 속도를 증가시키기 위해, resistor은 첫번째 transistor의 emitter와 두번째 transistor의 base 사이에 배치 될 수 있다.

사실 위에 설명을 잘 이해 못해서 검색해서 찾아봤어요.

### 달링턴 회로[Dalinton circuit]

같은 극성의 트랜지스터 두 개를 접속하여 구성한 회로로 큰 전류 증폭률을 얻을 수 있는 것이 특징이다.

### 달링턴 접속[Darlington connection]

2개 이상의 트랜지스터를 적당히 직결하여 사용하는 복합 회로의 일종으로, pnp 또는 npn형 트랜지스터 2개를 조합시켜서 1개의 등가한 트랜지스터로 하는 접속 방법이다. 그림은 2개의 pnp형 트랜지스터를 이미터 접지한 달링턴 접속의 회로이며, 이것을 1개의 등가한 트랜지스터로 대체하면 전류 증폭률은 2개 트랜지스터의 그것의 곱으로 되어서 매우 커진다. 이 회로는 직결형 컬렉터 접지 회로라고도 생각되며, 특성도 개선되므로 고감도의 직류 증폭기나 고입력 저항 증폭기, 전력 증폭기 등에 사용된다.

