

TPS4306x Low Quiescent Current Synchronous Boost DC-DC Controller With Wide VIN Range

TPS4306x 넓은 VIN범위의 낮은 대기전류 동기식부스트 DC-DC컨트롤러

1 Features 기능

- **58-V Maximum Output Voltage**

최대 출력 전압 : 58V

- **4.5 to 38 V (40 V Absolute Max) VIN Range**

4.5V~38V(절대최대 40V) VIN범위

- **TPS43060: 7.5-V Gate Drive Optimized for Standard Threshold MOSFETs**

TPS43060 : 표준 임계값 MOSFETs에 최적화 된 7.5V게이트 드라이브

- **TPS43061: 5.5-V Gate Drive Optimized for Low QgNexFET™ Power MOSFETs**

TPS43061:저가형으로 최적화된 5.5V 게이트 드라이브

- **Current-Mode Control With Internal Slope Compensation**

내부 슬로프 보상이 있는 전류 모드 제어

- **Adjustable Frequency from 50 kHz to 1 MHz**

50 kHz ~ 1 MHz의 가변 주파수

- **Synchronization Capability to External Clock**

외부 클럭 동기화 기능

- **Adjustable Soft-Start Time**

조정가능한 소프트 스타트 시간

- **Inductor DCR or Resistor Current Sensing**

인덕터 DCR 또는 레지스터 전류 감지

- **Output Voltage Power-Good Indicator**

출력전압 전원양호 표시(지표)

- **±0.8% Feedback Reference Voltage**

± 0.8 % 피드백 기준 전압

- **5-μA Shutdown Supply Current**

5μA 섯다운공급 전류

이부분은Quiescent Current vs Shutdown Current for Load Switch Power Consumption데이터시트참고

- **600-μA Operating Quiescent Current**

600μA 동작 대기 전류

- **Integrated Bootstrap Diode (TPS43061)**

통합 부트스트랩 다이오드(TPS43061)

- **Cycle-by-Cycle Current Limit and Thermal Shutdown**

사이클 별 전류 제한과 온도 섯다운(온도가너무높거나낮으면강제로종료)과열됐을때보호

- **Adjustable Undervoltage Lockout (UVLO) and Output Overvoltage Protection**

조정 가능한 저전압 차단(UVLO)과 출력 과전압 보호

- **Small 16-Pin WQFN (3 mm × 3 mm) Package WithPowerPAD™**

소형 16 핀 WQFN (3mm × 3mm) 패키지PowerPAD ™ 사용

- **-40°C to 150°C Operating TJ Range**

-40 ° C ~ 150 ° C 작동 TJ 범위

Applications

- Thunderbolt Port for PCs

PCs용 Thunderbolt포트

- Automotive Power Systems

자동전원 시스템

- Synchronous Flyback

동기식 플라이 백

- GaN RF Power Amplifiers

GaN RF 전력 증폭기

- Tablet Computer Accessories

태블릿 컴퓨터 부속품

- Battery-Powered Systems

배터리 구동 시스템

- 5-V, 12-V, and 24-V DC Bus Power Systems

5V, 12V 및 24V DC BUS 전원 시스템

Description

The TPS43060 and TPS43061 are low I_q currentmode synchronous boost controllers with wide-input voltage range from 4.5 to 38 V (40 V absolute max) and boosted output range up to 58 V. Synchronous rectification enables high-efficiency for high-current applications, and lossless inductor DCR sensing further improves efficiency. The resulting low-power losses combined with a 3-mm × 3-mm WQFN-16 package with PowerPAD™ supports high power density and high-reliability boost converter solution over extended (–40°C to 150°C) temperature range.

TPS43060과 TPS43061은 넓은 입력전압 범위가 4.5V~38V(절대최대전압은 40V)이고 부스트출력범위가 최대 58V를 갖는 낮은 IQ 전류 모드 동기식 부스트 컨트롤러이다. 동기식 정류는 고전류 애플리케이션을 위한 고효율을 구현하며 무손실 인덕터 DCR 감지는 효율을 더욱 향상시킨다. 결과적으로 PowerPAD™를 갖춘 3mm × 3mm WQFN-16 패키지와 결합된 저전력 손실은 높은 전력 밀도 및 확장된 (–40 °C ~ 150 °C) 온도 범위에서 고신뢰성 부스트 컨버터 솔루션을 지원한다.

최대 58V의 부스트(증폭)된 : 순간적으로 고전압이 딱 들어오면(부스트(증폭))

전류 모드 동기식 부스트 컨트롤러이다 => 전류 모드는 전류를 제어한다는 뜻이고 동기식 부스트는 기준전압이 올라가면 같이 올라가고 내려가면 같이 내려간다.

부스트 컨버터 (스텝 업 컨버터)는 입력 (전원)에서 출력 (부하)까지 전압을 승압하는 (전류를 스텝 다운하는 동안) DC / DC 전력 컨버터이다. 적어도 2개의 반도체 (다이오드와 트랜지스터)와 적어도 하나의 에너지 저장 요소인 커패시터, 인덕터 또는 두 가지를 조합한 스위치 모드 전원 공급 장치 (SMPS) 클래스입니다. 전압 리플을 줄이기 위해 콘덴서로 만든 필터 (때로는 인덕터와 함께)가 일반적으로 컨버터의 출력 (부하측 필터)과 입력 (공급측 필터)에 추가된다.

The TPS43060 includes a 7.5-V gate drive supply, which is suitable to drive a broad range of MOSFETs. The TPS43061 has a 5.5-V gate drive supply and driver strength optimized for low Q_g NexFET power MOSFETs. Also, TPS43061 provides an integrated bootstrap diode for the high-side gate driver to reduce the external parts count.

TPS43060에는 광범위한 MOSFET을 구동하는 데 적합한 7.5V게이트 드라이브 전원이 포함되어 있다. TPS43061에는 낮은 Q_g NexFET전력 MOSFET에 최적화 된 5.5V게이트 드라이브 전원과 드라이버 강도를 제공한다. 또한 TPS43061은 외부 부품 수를 줄이기 위해 하이사이드게이트 드라이버에 통합 부트스트랩 다이오드를 제공한다.

게이트 드라이버는 전력 증폭기 제어기로부터 저전력 입력 받아 IC를 과 같은 같은 고전력 트랜지스터의 게이트를위한고전류 구동 입력을 생성 IGBT 또는 파워 MOSFET .게이트 드라이버는 온칩 또는 개별 모듈로 제공 될 수 있습니다. 본질적으로, 게이트 드라이버는 구성 레벨 시프터 와 함께 증폭기 .

RT/CLK(1번핀)

Resistor timing and external clock. An external resistor from this pin to the AGND pin programs the switching frequency between 50 kHz and 1 MHz. Driving the pin with an external clock between 300 kHz to 1 MHz synchronizes the switching frequency to the external clock.

저항타이밍과 외부클록. 이핀에서 AGND핀에 이르는 외부 저항은 50kHz와 1MHz 사이의 스위칭 주파수를 프로그래밍한다. 300kHz ~ 1MHz 사이의 외부 클록으로 핀을 구동하면 스위칭 주파수가 외부 클록에 동기화된다.

SS(2번핀)

Soft-start programming pin. A capacitor between the SS pin and AGND pin sets soft-start time.

소프트 스타트 프로그래밍 핀. SS 핀과 AGND 핀 사이의 커패시터는 소프트 스타트 시간을 설정한다.

COMP(3번핀)

Output of the internal trans conductance error amplifier. The feedback loop compensation network is connected from this pin to AGND.

내부 트랜스 컨덕턴스 오차 증폭기의 출력. 피드백 루프 보상 네트워크는 이 핀에서 AGND에 연결된다

FB(4번핀)

Error amplifier input and feedback pin for voltage regulation. Connect this pin to the center tap of a resistor divider to set the output voltage.

전압 조절을위한 오류 증폭기 입력 및 피드백 핀. 이 핀을 저항 분배기의 중앙 탭에 연결하여 출력 전압을 설정하십시오.

ISNS-(5번핀)

Inductor current sense comparator inverting input pin. This pin is normally connected to the inductor side of the current sense resistor.

인덕터 전류 감지 비교기 반전 입력핀. 이 핀은 일반적으로 전류 감지 저항의 인덕터 측에 연결된다.

ISNS+(6번핀)

Inductor current sense comparator non-inverting input pin. This pin is normally connected to the VIN side of the current sense resistor.

인덕터 전류 감지 비교기 비 반전 입력 핀. 이 핀은 일반적으로 전류 감지 저항의 VIN쪽에 연결된다.

VIN(7번핀)

The input supply pin to the IC. Connect VIN to a supply voltage between 4.5 and 38 V. It is acceptable for the voltage on the VIN pin to be different from the boost power stage input, ISNS+, and ISNS- pins

IC에 대한 입력 전원 핀. VIN을 4.5V와 38V 사이의 전원 전압에 연결해야한다. VIN 핀의 전압은 부스트 파워 스테이지 입력, ISNS + 과 ISNS- 핀과 다르게 허용된다

power stage :입력으로 들어온 신호를 큰 전류증폭을 시키는 기능을 하는 반도체가 필요한데 이것이 바로 POWER 단 IC입니다.

LDRV(8번핀)

Low-side gate driver output. Connect this pin to the gate of the low-side N-channel MOSFET. When VIN bias is removed, an internal 200-k Ω resistor pulls LDRV to PGND.

로우사이드게이트 드라이브 출력. 이 핀을 저압 N 채널 MOSFET의 게이트에 연결하십시오. VIN 바이어스가 제거되면 내부 200k Ω 저항은 LDRV를 PGND로 끌어 낸다.

PGND(9번핀)

Power ground of the IC. Connect this pin to the source of the low-side MOSFET. PGND should be connected toAGND via a single point on the PCB.

IC의 전원 접지.이 핀을 로우 사이드 MOSFET의 source에 연결하십시오.PGND는 PCB상의 단일 지점을 통해 AGND에 연결되어야한다.

VCC(10번핀)

Output of an internal LDO and power supply for internal control circuits and gate drivers. VCC is typically 7.5 V forthe TPS43060 and 5.5 V for the TPS43061. Connect a low-ESR ceramic capacitor from this pin to PGND. TI recommends a capacitance range from 0.47 to 10 μ F.

내부제어 회로와 게이트 드라이버의 내부 LDO와 전원 출력. VCC는 일반적으로 TPS43060의 경우 7.5V이고 TPS43060의 경우 5.5V이다. 이핀에서 PGND에 낮은 ESR세라믹 커패시터를 연결한다. TI는 0.47 μ F에서 10 μ F의 커패시턴스 범위를 권장한다.

BOOT(11번핀)

Bootstrap capacitor node for high-side MOSFET gate driver. Connect the bootstrap capacitor from this pin to the SWpin. For the TPS43060, also connect a bootstrap diode from VCC to BOOT.

하이사이드 MOSFET게이트 드라이버의 부트스트랩 커패시터노드. 부트스트랩 커패시터를이핀에서 SW핀에 연결한다. TPS43060의 경우 VCC에서 BOOT까지 부트 스트랩 다이오드를 연결한다.

SW(12번핀)

Switching node of the boost converter. Connect this pin to the junction of the drain of the low-side MOSFET, the source of high-side synchronous MOSFET, and the inductor.

부스트 컨버터의 스위칭노드. 이 핀을 로우사이드 MOSFET의드레인의 접합부와 하이사이드 동기MOSFET의 소스,인덕터에 연결한다.

HDRV(13번핀)

High-side gate driver output. Connect this pin to the gate of the high-side synchronous rectifier MOSFET. When VINbias is removed, this pin is connected to SW through an internal 200-k Ω resistor.

하이사이드게이트 드라이버 출력. 이 핀을 하이사이드 동기 정류기 MOSFET의 게이트에 연결한다. VIN바이어스가 제거되면 이 핀은 내부 200k Ω 저항을 통해 SW에 연결된다.

동기 정류기: 진동형 정류기의 일종으로, 저압 직류를 고압 직류로 변성하는 장치이다. 진동자에 인버터용 접점 외에 정류용 접점을 갖추어 변압기의 고압측 교류를 동시에 정류시키는 것이다.

PGOOD(14번핀)

Power good indicator. This pin is an open-drain output. TI recommends a 10-k Ω pullup resistor between PGOOD andVCC or an external logic supply pin.

전원 양호 지표. 이 핀은 오픈 드레인 출력이다.TI는 PGOOD와 VCC 또는 외부 로직 공급 핀 사이에 10k Ω 풀업 저항을 권장한다.

EN(15번핀)

Enable pin with internal pullup current source. Floating this pin will enable the IC. Pull below 1.2 V to enter lowcurrent standby mode. Pull below 0.4 V to enter shutdown mode. The EN pin can be used to implement adjustableUVLO using two resistors.

내부 풀업 전류 소스의 핀을 활성화한다. 이 핀을 플로팅하면 IC가 동작한다. 저전류 대기모드로 들어가려면 1.2V 아래로 내린다. 셧다운모드로 들어가면 0.4V이하로 내린다. EN핀은 두개의 저항을 사용하여 조정가능한 UVLO를 구현하는데 사용한다.

UVLO :Undervoltage Lockout저전압 차단

AGND(16번핀)

Analog signal ground of the IC. AGND should be connected to PGND at a single point on the PCB.

IC의 아날로그 신호접지. AGND는 PCB상의 단일 지점에서 PGND에 연결되어야한다.

PowerPAD(17번핀)

The PowerPAD should be connected to AGND. If possible, use thermal vias to connect to an internal ground planefor improved power dissipation.

PowerPAD는 AGND에 연결해야합니다.가능한 경우온도 통하여전력 손실을 개선하기위해 내부 그라운드 플레인(면)에 연결하여 사용한다.

Specifications(설명서설계도)

Absolute Maximum Ratings 절대최대정격

over operating free-air temperature (unless otherwise noted)

작동 대기 온도 이상 (별도의 언급이 없는 한)

over operating free-air temperature (unless otherwise noted)

		MIN	MAX	UNIT
Voltage	Input: VIN, EN, ISNS+, ISNS-	-0.3	40	V
	DC voltage: SW	-0.6	60	V
	Transient voltage (10 ns max): SW	-2	60	V
	FB, RT/CLK, COMP, SS	-0.3	3.6	V
	BOOT, HDRV/ voltage with respect to ground		65	V
	BOOT, HDRV/ voltage with respect to SW pin		8	V
	VCC, PGOOD, LDRV	-0.3	8	V
Operating junction temperature		-40	150	°C

Handling Ratings등급처리

7.2 Handling Ratings

			MIN	MAX	UNIT
T _{stg}	Storage temperature range		-65	150	°C
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins ⁽¹⁾	-2000	2000	V
		Charged device model (CDM), per JEDEC specification JESD22-C101, all pins ⁽²⁾	-500	500	

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

(2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

Storage temperature range 보관온도범위

Electrostaticdischarge 정전기 방출

JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process.

JEDEC 문서 JEP157에 따르면 250-V CDM을 사용하면 표준 ESD 제어 프로세스로 안전하게 제조 할 수 있습니다.

Recommended Operating Conditions권장작동조건

over operating free-air temperature range (unless otherwise noted)

작동대기온도범위이상 (별도의언급이없는한)

7.3 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
V _{IN}	Input voltage range	4.5		38	V
V _{OUT}	Output voltage range	V _{IN}		58	V
V _{EN}	EN voltage range	0		38	V
V _{CLK}	External switching frequency logic input range	0		3.6	V
T _J	Operating junction temperature	-40		150	°C

Operating junction temperature

동작 접합온도

Thermal Characteristics온도특성

over operating free-air temperature range (unless otherwise noted)

작동 대기 온도 범위 이상 (별도의 언급이없는 한)

7.4 Thermal Characteristics

over operating free-air temperature range (unless otherwise noted)

THERMAL METRIC ⁽¹⁾		WQFN (16-PINS)	UNIT
$R_{\theta JA}$	Junction-to-ambient thermal resistance	65.7	°C/W
$R_{\theta JC(top)}$	Junction-to-case (top) thermal resistance	42.3	
$R_{\theta JB}$	Junction-to-board thermal resistance	18	
Ψ_{JT}	Junction-to-top characterization parameter	0.9	
Ψ_{JB}	Junction-to-board characterization parameter	17.9	
$R_{\theta JC(bot)}$	Junction-to-case (bottom) thermal resistance	22.7	

(1) For more information about traditional and new thermal metrics, see the *IC Package Thermal Metrics* application report, [SPRA953](#).

여기서 온도저항이란 온도 때문에 발생하는 추가저항이다

Junction-to-ambient thermal resistance 접합-대기 간 온도저항

Junction-to-case (top) thermal resistance 접합-케이스(top) 온도저항

Junction-to-board thermal resistance 접합-보드 온도저항

Junction-to-top characterization parameter 접합-top 특성화 매개변수 (이부분의 온도에다가 0.9를 함)

Junction-to-case (bottom) thermal resistance 접합-케이스(bottom) 온도저항

For more information about traditional and new thermal metrics, see the *IC Package Thermal Metrics* application report, [SPRA953](#)

기존 및 새로운 온도 메트릭에 대한 자세한 내용은 IC 패키지 온도메트릭 애플리케이션 보고서 [SPRA953](#)을 참조하십시오.

메트릭:곱해지는계수값

8 Detailed Description

8.1 Overview

The TPS4306x is a high-performance, wide-input range synchronous boost controller that accepts a 4.5 to 38 V (40-V absolute max) input and support output voltages up to 58 V. The devices have gate drivers for both the low-side N-channel MOSFET and the high-side synchronous rectifier N-channel MOSFET. Voltage regulation is achieved employing constant frequency current mode pulse-duration modulation (PWM) control. The switching frequency is set either by an external timing resistor or by synchronizing to an external clock signal. The switching frequency is programmable from 50 kHz to 1 MHz in the resistor programmed mode or can be synchronized to an external clock between 300 kHz to 1 MHz.

TPS4306x는 4.5V ~ 38V (40V 절대 최대) 입력을 수용하고 최대 58V의 출력 전압을 지원하는 고성능, 넓은 입력 범위 동기식부스트컨트롤러이다. 이 소자는 이 소자는 로우 사이드 N 채널 MOSFET과 하이 사이드 동기 정류기 N 채널 MOSFET이두개를위한게이트 드라이버를 갖추고있다.전압레귤레이션은 고정 주파수 전류 모드 펄스 지속 변조 (PWM) 제어를 사용하여 달성된다.스위칭 주파수는 레지스터 프로그래밍 모드에서 50kHz ~ 1MHz까지 프로그래밍 가능하거나 300kHz ~ 1MHz 사이의 외부 클럭으로 동기화 할 수있다.

The PWM control circuitry turns on the low-side MOSFET at the beginning of each oscillator clock cycle, as the error amplifier compares the output voltage feedback signal at the FB pin to the internal 1.22-V reference voltage. The low-side MOSFET is turned-off when the inductor current reaches a threshold level set by the error amplifier output. After the low-side MOSFET is turned off, the high-side synchronous MOSFET is turned on until the beginning of the next oscillator clock cycle or until the inductor current reaches the reverse current sense threshold. The input voltage is applied across the inductor and stores the energy as inductor current ramps up during the portion of the switching cycle when the low-side MOSFET is on. Meanwhile, the output capacitor supplies load current. When the low-side MOSFET is turned off by the PWM controller, the inductor transfers stored energy with the synchronous MOSFET to replenish the output capacitor and supply the load current. This operation repeats every switching cycle.

오류 증폭기가 FB 핀의 출력 전압 피드백 신호를 내부 1.22V 레퍼런스 전압과 비교하기 때문에 PWM 제어 회로는 각 오실레이터클럭 사이클의 시작 부분에서 로우 사이드 MOSFET을 켜다.로우 사이드 MOSFET은 인덕터 전류가 오차 증폭기 출력에 의해 설정된 임계 레벨에 도달 할 때 턴 오프된다.로우 사이드 MOSFET이 턴 오프 된 후 하이 사이드 동기 MOSFET은 다음 오실레이터클럭 사이클이 시작될 때까지 또는 인덕터 전류가 역전 류 감지 임계 값에 도달 할 때까지 켜진다. 입력 전압은 인덕터양단에인가되고, 로우 사이드 MOSFET이 켜져있을 때 스위칭 사이클의 일부분 동안 인덕터 전류가 상승 할 때 에너지를 저장한다.그동안에출력커패시터는 부하 전류를 공급한다. 로우 사이드 MOSFET이 PWM컨트롤러에 의해 꺼지면 인덕터는동기식 MOSFET과 함께 저장된 에너지를 전달하여 출력 커패시터를 보충하고 부하 전류를 공급한다. 이 동작은 스위칭주기마다 반복된다.

The devices feature internal slope compensation to avoid subharmonic oscillation that is intrinsic to peak current mode control at duty cycles higher than 50%. They also feature adjustable soft-start time, optional lossless inductor DCR current sensing, an output power good indicator, cycle-by-cycle current limit, and overtemperature protection.

이 소자는 50 % 이상의 듀티 사이클에서 피크 전류 모드 제어에 고유 한 고조파 발진을 피하기 위해 내부 슬로프 보상 기능을 갖추고있다.또한조절가능한소프트스타트 시간, 선택적인 무손실인덕터 DCR 전류 감지, 출력 전력 양호 표시기, 사이클 별 전류 제한 및 과열 보호 기능이있다.

8.3.1 Switching Frequency

The switch frequency is set by a resistor (R_T) connected to the RT/CLK pin of the TPS4306x. Figure 17 shows the relationship between the timing resistance (R_T) and frequency. The resistor value required for a desired frequency can be calculated using Equation 1.

스위치 주파수는 TPS4306x의 RT / CLK 핀에 연결된 저항 (R_T)에 의해 설정된다. 그림 17은 타이밍 저항 (R_T)과 주파수 사이의 관계를 보여준다. 원하는 주파수에 필요한 저항 값은 식 1을 사용하여 계산할 수 있다.

$$R_T(k\Omega) = \frac{57500}{f_{sw}(kHz)}$$

The device switching frequency can be synchronized to an external clock that is applied to the RT/CLK pin. The external clock should be in the range of 300 kHz to 1 MHz. The required logic levels of the external clock are shown in the specification table. The pulse duration of the external clock should be greater than 20 ns to ensure proper synchronization. A resistor between 57.5 and 1150 k Ω must always be connected from the RT/CLK pin to ground when the converter is synchronized to an external clock. Do not leave this pin open.

디바이스스위칭 주파수는 RT / CLK 핀에 적용되는 외부 클럭과 동기화 될 수있다.외부클럭은 300 kHz ~ 1 MHz의 범위 내에 있어야한다.외부클럭의 필수 로직 레벨은 사양 표에 나와 있습니다.외부클럭의 펄스 지속 시간은 적절한 동기화를 위해 20 ns보다 커야한다.컨버터가 외부 클럭과 동기화 될 때 57.5 ~ 1150 k Ω 사이의 저항은 반드시 RT / CLK 핀에서 그라운드로 연결되어야한다.이 핀을 열어 두지 마라

8.3.2 Low-Dropout Regulator저전압 강하 레귤레이터(조절기)

The TPS4306x contains a low-dropout regulator that provides bias supply for the controller and the gate driver. The output of the LDO of TPS4306x is regulated to 7.5 and 5.5 V, respectively. When the input voltage is below the VCC regulation level, the VCC output tracks VIN with a small dropout voltage. The output current of the VCC regulator should not exceed 50 mA. The value of the VCC capacitance depends on the total system design and its startup characteristics. The recommended range of values for the VCC capacitor is from 0.47 to 10 μ F.

TPS4306x에는 컨트롤러 및 게이트 드라이버에 바이어스 전원을 제공하는 저전압 강하 레귤레이터가 내장되어있다.TPS4306x의 LDO 출력은 각각 7.5V 및 5.5V로 레귤레이트된다.입력 전압이 VCC 레귤레이션 레벨보다 낮으면 VCC 출력은 작은 전압 강하로 VIN을 트랙한다(따라간다?).VCC 레귤레이터의 출력 전류는 50mA를 넘지 않아야한다.VCC 커패시턴스의 값은 전체 시스템 설계 및 시동 특성에 달려있다.VCC 커패시터의 권장 값 범위는 0.47 μ F ~ 10 μ F이다.

8.3.3 Input Undervoltage (UV) 입력저전압

A UV detection circuit prevents misoperation of the device at input voltages below 3.9 V (typical). When the input voltage is below the VIN UV threshold, the internal PWM control circuitry and gate drivers are turned off. The threshold is set below the minimum operating voltage of 4.5 V to ensure that a transient VIN dip does not cause the device to reset. For input voltages between the UV threshold and 4.5 V, the device attempts to operate, but the electrical specifications are not ensured. The EN pin can be used to achieve adjustable UVLO if the desired start-up threshold is higher than 3.9 V. Details are provided in the following section.

UV 검출 회로는 3.9V (일반) 이하의 입력 전압에서 소자의 오작동을 방지한다. 입력 전압이 VIN UV 임계값보다 낮으면 내부 PWM 제어 회로 및 게이트 드라이버가 꺼진다.임계 값은 4.5 V의 최소 작동 전압보다 낮게 설정되어 일시적인 VIN 전압강하로 인해 장치가 리셋되지않는다.UV 임계 값과 4.5V 사이의 입력 전압의 경우 장치는 작동을 시도하지만 전기 사양은 보장되지 않는다.원하는 시동 임계 값이 3.9V보다 높으면 EN 핀을 사용하여 조정 가능한 UVLO를 달성 할 수있다.자세한 내용은 다음 절에서 제공된다.

8.3.4 Enable and Adjustable UVLO UVLO 활성화 및 조정 가능

The EN pin voltage must be greater than 1.21 V (typical) to enable TPS4306x. The device enters a shutdown mode when the EN voltage is less than 0.4 V. In shutdown mode, the input supply current for the device is less than 5 μ A. The EN pin has an internal 1.8- μ A pullup current source that provides the default enabled condition when the EN pin floats. When the EN pin voltage is higher than the shutdown threshold but less than 1.21 V, the devices are in standby mode.

TPS4306x를 사용하려면 EN 핀 전압이 1.21V (일반)보다 커야한다. EN 전압이 0.4V 미만일 때 디바이스는 셧다운 모드로 들어간다. 셧다운 모드에서 소자의 입력 공급 전류는 5 μ A 미만이다. EN 핀은 내부 1.8- μ A 풀업 전류 소스를 가지고있어 EN 핀이플로트 될 때 기본 활성화 상태가 된다. EN 핀 전압이 셧다운 임계 값보다 크고 1.21V보다 낮으면 장치는 대기 모드에있다.

Adjustable input UVLO can be accomplished using the EN pin. As shown in Figure 18, a resistor divider from the VIN pin to AGND sets the UVLO level. When EN pin voltage crosses the 1.21 V (typical) threshold voltage, an additional 3.2- μ A hysteresis current is sourced out of the EN pin. When the EN pin voltage falls below 1.14 V (typical), the hysteresis current is removed. The addition of hysteresis current at the EN threshold facilitates adjustable input voltage hysteresis. RUVLO_H and RUVLO_L are calculated using Equation 2 and Equation 3, respectively.

조정 가능한 입력 UVLO는 EN 핀을 사용하여 수행 할 수있다. 그림 18에서 보듯이 VIN 핀에서 AGND까지의 저항 분배기가 UVLO 레벨을 설정한다. EN 핀 전압이 1.21V (일반) 임계 전압을 초과하면 추가 3.2 μ A의 히스테리시스 전류가 EN 핀에서 공급된다. EN 핀 전압이 1.14V (일반) 아래로 떨어지면 히스테리시스 전류가 제거됩니다. EN 임계 값에서 히스테리시스 전류를 추가하면 조정 가능한 입력 전압 히스테리시스가 용이해진다. RUVLO_H 및 RUVLO_L은 각각 식 2 및 식 3을 사용하여 계산됩니다.

8.3.5 Voltage Reference and Setting Output Voltage 전압기준 및 출력전압설정

An internal voltage reference provides a precise 1.22-V voltage reference at the error amplifier non-inverting input. To set the output voltage, select the FB pin resistor RSH and RSL according to Equation 4.

내부 전압 기준은 오류 증폭기 비 반전 입력에서 정확한 1.22V 전압 기준을 제공한다. 출력 전압을 설정하려면 식 4에 따라 FB 핀 저항 RSH와 RSL을 선택한다.

$$V_{OUT} = 1.22V \times \left(\frac{R_{SH}}{R_{SL}} + 1 \right)$$

8.3.6 Minimum On-Time and Pulse Skipping

The TPS4306x also features a minimum on-time of 100 ns for the low-side gate driver. This minimum on-time determines the minimum duty cycle of the PWM for any set switching frequency. When the voltage regulation loop requires a minimum on-time pulse duration less than 100 ns, the controller enters pulse-skipping mode. In this mode, the devices hold the power switch off for multiple switching cycles to prevent the output voltage from rising above the desired regulated voltage. This operation typically occurs in light load conditions when the DCDC converter operates in discontinuous conduction mode (DCM). Pulse skipping increases the output ripple as shown in Figure 27.

TPS4306x는 또한 로우 사이드 게이트 드라이버에 대해 최소 100ns의 온 타임을 제공한다. 이 최소 온 타임은 설정된 스위칭 주파수에 대한 PWM의 최소 듀티 사이클을 결정한다. 전압 조절 루프가 최소 온 타임 펄스 지속 시간이 100ns 미만이 필요한 경우 컨트롤러는 펄스 스킵핑 모드로 들어간다. 이 모드에서는 출력 전압이 원하는 정격 전압 이상으로 올라가지 않도록 여러 스위칭 사이클 동안 전원 스위치를 오프 상태로 유지한다. 이 동작은 일반적으로 DCDC 컨버터가 불연속 전도 모드 (DCM)에서 작동 할 때 가벼운 부하 조건에서 발생한다. 펄스스킵은 그림 27과 같이 출력 리플을 증가시킨다.

8.3.7 Zero-Cross Detection and Duty Cycle

The TPS4306x features zero-cross detection, which turns off the high-side driver when the sensed current falls below the reverse current sense threshold (3.8 mV typical), then the converter runs in DCM. The duty cycle is dependent on the mode in which the converter is operating. The duty cycle in DCM varies widely with changes of the load. In continuous conduction mode (CCM), where the inductor maintains a minimum dc current, the duty cycle is related primarily to the input and output voltages as computed in Equation 5.

TPS4306x는 감지 전류가 역전 류 감지 임계 값 (일반적으로 3.8mV) 아래로 떨어지면 하이 사이드 드라이버를 끄고 DCM에서 컨버터가 실행되는 제로 크로스 (zero-cross) 감지 기능을 갖추고 있다. 듀티 사이클은 컨버터가 작동 중인 모드에 따라 다르다. CCM의 듀티 사이클은 부하 변화에 따라 크게 달라진다. 인덕터가 최소 DC 전류를 유지하는 연속 전도 모드 (CCM)에서 듀티 사이클은 주로 식 5에서 계산된 입력 및 출력 전압과 관련된다.

$$D = \frac{V_{OUT} - V_{IN}}{V_{OUT}}$$

When the converter operates in DCM, the duty cycle is a function of the load, input and output voltages, inductance, and switching frequency in Equation 6.

컨버터가 DCM에서 동작 할 때, 듀티 사이클은 수학 식 6에서 부하, 입력 및 출력 전압, 인덕턴스 및 스위칭 주파수의 함수이다.

$$D = \frac{2 \times V_{OUT} \times I_{OUT} \times L \times f_{SW}}{V_{IN}^2}$$

Equation 5 and Equation 6 provide an estimation of the duty cycle. A more accurate duty cycle can be calculated by including the voltage drops of the external MOSFETs, sense resistor, and DCR of the inductor. 방정식 5와 방정식 6은 듀티 사이클의 추정치를 제공합니다. 보다 정확한 듀티 사이클은 외부 MOSFET, 감지 저항 및 인덕터의 DCR의 전압 강하를 포함하여 계산할 수 있다.

8.3.8 Minimum Off-Time and Maximum Duty Cycle

The low-side driver LDRV of TPS4306x has a minimum off-time of 250 ns or 5% of the switching cycle period, whichever is longer. Figure 19 shows maximum duty cycle versus switching frequency. The maximum duty cycle limits the maximum achievable step-up ratio in a boost converter. When the converter operates in CCM, the stepup ratio of the boost converter can be calculated using Equation 7.

TPS4306x의 로우 사이드 드라이버 LDRV는 250 ns의 최소 오프 타임 또는 스위칭 사이클 기간의 5 % 중 더 긴 기간을 갖는다. 그림 19는 스위칭 주파수 대 최대 듀티 사이클을 보여준다. 최대 듀티 사이클은 부스트 컨버터에서 달성 할 수 있는 최대 스텝 - 업 비율을 제한한다. 컨버터가 CCM에서 동작 할 때, 부스트 컨버터의 스텝 업 비율은 식 7을 사용하여 계산 될 수 있다.

$$\frac{V_{OUT}}{V_{IN}} = \frac{1}{1-D}$$

For instance, if the maximum duty cycle is 90%, the achievable maximum output voltage to input voltage ratio is limited to:

예를 들어 최대 듀티 사이클이 90 % 인 경우 달성 할 수 있는 최대 출력 전압 대 입력 전압 비는 다음으로 제한된다

$$\frac{V_{OUT}}{V_{IN}} = \frac{1}{1-90\%} = 10$$

8.3.9 Soft-Start

The TPS4306x has a built-in soft-start circuit, which significantly reduces the start-up current spike and output voltage overshoot. When the IC is enabled, an internal bias current source (5 μ A typical) charges the capacitor (CSS) on the SS pin. When the SS pin voltage is less than the internal 1.22-V reference, the device regulates the FB pin voltage to the SS pin voltage rather than the internal 1.22-V reference voltage. When the SS pin voltage exceeds the reference voltage, the device regulates the FB pin voltage to 1.22 V. The soft-start time of the output voltage can be calculated using Equation 9.

TPS4306x에는 소프트 스타트 회로가 내장되어있어 스타트 업 전류 스파이크 및 출력 전압 오버 슈트를 크게 줄인다. IC가 활성화되면 내부 바이어스 전류 소스 (일반적으로 5 μ A)가 SS 핀상의 커패시터 (CSS)를 충전한다. SS 핀 전압이 내부 1.22V 레퍼런스보다 낮 으면이 소자는 FB 핀 전압을 내부 1.22V 레퍼런스 전압이 아닌 SS 핀 전압으로 레귤레이트한다. SS 핀 전압이 기준 전압을 초과하면 소자는 FB 핀 전압을 1.22V로 레귤레이트한다. 출력 전압의 소프트 스타트 시간은 식 9를 사용하여 계산할 수 있다.

$$t_{ss} = C_{ss} \frac{1.22V}{5\mu A}$$

8.3.10 Power Good

The TPS4306x PGOOD pin indicates when the output voltage is within predetermined limits of the desired regulated output voltage by monitoring the FB pin voltage. The PGOOD pin is driven by the open-drain signal of an internal MOSFET. When the output voltage of the power converter is not within $\pm 10\%$ of the output voltage set point, the PGOOD MOSFET turns on and pulls the PGOOD pin low. Otherwise, the PGOOD MOSFET stays off and the PGOOD pin can be pulled up by an external resistor to a voltage supply up to 8 V.

TPS4306x PGOOD 핀은 FB 핀 전압을 모니터링하여 출력 전압이 원하는 레귤레이트 된 출력 전압의 미리 정해진 제한 범위에 있을 때를 나타낸다. PGOOD 핀은 내부 MOSFET의 오픈 드레인 신호에 의해 구동된다. 전력 컨버터의 출력전압이 출력 전압 설정 점의 $\pm 10\%$ 이내가 아닌 경우 PGOOD MOSFET은 켜지고 PGOOD 핀을 낮춘다. 그렇지 않으면 PGOOD MOSFET은 꺼진 채로 유지되고 PGOOD 핀은 풀업 저항에 의해 최대 8V의 전압 공급으로 끌어 올 수 있다.

The PGOOD signal is also pulled low if the EN voltage or VIN voltage is below their respective voltage thresholds.

EN 전압 또는 VIN 전압이 각각의 전압 임계 값보다 낮으면 PGOOD 신호도 로우가 된다.

8.3.11 Overvoltage Protection (OVP) 과전압보호

The TPS4306x integrates an OVP circuit that turns off the low-side MOSFET when the output voltage reaches the OVP threshold, which is internally fixed to 107% of the output voltage set point. The low-side MOSFET resumes normal PWM control when the output voltage drops below 105% of the output voltage set point. The OVP circuit protects the power MOSFETs and minimizes the output voltage overshoot during transients or fault conditions.

TPS4306x는 출력 전압이 출력 전압 설정 점의 107 %로 내부적으로 고정 된 OVP 임계 값에 도달 할 때 로우 사이드 MOSFET을 끄는 OVP 회로를 내장하고있다.로우 사이드 MOSFET은 출력 전압이 출력 전압 설정 점의 105 % 아래로 떨어지면 정상 PWM 제어를 재개한다.OVP 회로는 전력 MOSFET을 보호하고 오류 조건 또는 과도상태 동안 출력 전압 오버슈트를 최소화 한다.

8.3.12 OVP and Current Sense Resistor Selection OVP 및 전류 감지 저항 선택

The TPS4306x provides cycle-by-cycle current limit protection that turns off the low-side MOSFET when the inductor current reaches the current limit threshold. The cycle-by-cycle current limit circuitry is reset at the beginning of the next switching cycle. During an overcurrent event, the output voltage begins to droop as a function of the load on the output.

TPS4306x는 사이클 별 전류 제한 보호 기능을 제공하여 인덕터 전류가 전류 제한 임계 값에 도달 할 때 로우 사이드 MOSFET을 끈다. 사이클 별 전류 제한 회로는 다음 스위칭 사이클 시작시리셋된다. 과전류가 발생하는 동안 출력 전압은 출력 부하의 함수로서 낮아지기 시작한다.

A slope compensation ramp is added to the current sense ramp to prevent oscillations at high duty cycle. The slope compensation reduces the overcurrent limit threshold (maximum current sense threshold) with increasing duty cycle as detailed in Figure 20.

높은듀티 사이클에서 저조파 발진을 방지하기 위해 전류 감지 램프에 슬로프 보상 램프가 추가된다. 슬로프 보상은 그림 20에서 자세히 설명 된 것처럼 듀티 사이클이 증가함에 따라 과전류 제한 임계 값 (최대 전류 감지 임계 값)을 감소시킨다.

The maximum current sense threshold V_{CSmax} sets the maximum peak inductor current, which is the sum of maximum average inductor (input) current, I_{ave_max} , and half the peak-to-peak inductor ripple, ΔI_L . Choose the sense resistor value based on the desired maximum input current and the ripple current, which can be calculated using Equation 10.

최대 전류 감지 임계 값 V_{CSmax} 는 최대 평균 인덕터 (입력) 전류 I_{ave_max} 와 피크 - 투 - 피크 인덕터리플의 절반 인 ΔI_L 의 합인 최대 피크 인덕터 전류를 설정합니다. 원하는 최대 입력 전류와 리플 전류에 따라 감지 저항 값을 선택하십시오.이 값은 식 10을 사용하여 계산할 수 있습니다.

$$R_{SENSE} = \frac{V_{CSmax}}{I_{ave_max} + \frac{\Delta I_L}{2}}$$

peak-to-peak :정현파 정상상태인 전압이나 전류에서 최고점과 최저점의 차이

8.3.13 Gate Drivers

The TPS4306x contains powerful high-side and low-side gate drivers supplied by the VCC bias regulator. The nominal VCC voltage of the TPS43060 and TPS43061 is 7.5 V and 5.5 V, respectively. The TPS43061 gate drivers operate from a 5.5-V VCC supply, with drive strength optimized for low QgNexFETs. It also features an integrated bootstrap diode for the high-side gate driver to reduce the external part count. The TPS43060 gate drivers operate from a 7.5-V VCC supply, which is suitable to drive a wide range of standard MOSFETs. The TPS43060 requires an external bootstrap diode from VCC to BOOT to charge the bootstrap capacitor. It also requires a 2-Ω resistor connected in series with the VCC pin to limit the peak current drawn through the internal circuitry when the external bootstrap diode is conducting. See the Electrical Characteristics for typical rise and fall times and the output resistance of the gate drivers.

TPS4306x에는 VCC 바이어스 조절기가 제공하는 강력한 하이 사이드 및 로우 사이드 게이트 드라이버가 포함되어 있다. TPS43060 및 TPS43061의 공칭 VCC 전압은 각각 7.5V 및 5.5V이다. TPS43061 게이트 드라이버는 낮은 QgNexFET에 최적화 된 드라이브 강도를 갖춘 5.5V VCC가 공급 되면 동작한다. 또한 외부 부품 수를 줄이기 위해 하이 사이드 게이트드라이버를위한 통합 부트 스트랩 다이오드가 특징을 가지고 있다, TPS43060 게이트 드라이버는 광범위한 표준 MOSFET을 구동하는데 적합하며 7.5V VCC저원을 공급되면 작동한다. TPS43060은 부트 스트랩커패시터를 충전하기 위해 VCC에서 BOOT까지 외부 부트 스트랩 다이오드가 필요하다. 또한 외부 부트 스트랩 다이오드가 동작 할 때 내부 회로를 통해 끌어온 최대 전류를 제한하기 위해 VCC 핀과 직렬로 연결된 2-Ω 저항이 필요하다. 일반적인 상승 및 하강 시간과 게이트 드라이버의 출력 저항에 대해서는 전기적 특성을 참조하십시오.

The LDRV and HDRV outputs are controlled with an adaptive dead-time control that ensures both the outputs are never high at the same time. This minimizes any cross conduction and protects the power converter. The typical dead-time from LDRV fall to HDRV rise is 65 ns.

LDRV 및 HDRV 출력은 적응형 데드 타임 제어로 제어되므로 두 출력이 동시에 높지 않을 수 있다. 이는 모든 교차 전도를 최소화하고 전력 컨버터를 보호한다. LDRV에서 HDRV 상승으로의 일반적인 데드 타임은 65ns입니다.

The Q_g versus V_{GS} and the V_{GS} versus $R_{DS(on)}$ curves for a given MOSFET should be used to determine which gate drive voltage is appropriate. For example, the CSD86330Q3D synchronous power block has sufficient gate drive voltage for low $R_{DS(on)}$ with the 5.5-V gate drive of the TPS43061. However, the CSD18537NQ5A MOSFET has better $R_{DS(on)}$ performance with the 7.5-V gate drive of the TPS43060.

주어진 MOSFET에 대한 Q_g 대 V_{GS} 및 V_{GS} 대 $R_{DS(on)}$ 곡선을 사용하여 어느 게이트 구동 전압이 적절한지를 결정해야 한다. 예를 들어, CSD86330Q3D 동기 전원 블록은 TPS43061의 5.5V 게이트 드라이브로 낮은 $R_{DS(on)}$ 을 위한 충분한 게이트 구동 전압을 갖는다. 그러나 CSD18537NQ5A MOSFET은 TPS43060의 7.5V 게이트 드라이브보다 우수한 $R_{DS(on)}$ 성능을 제공한다.

The designer needs to make important considerations if the stronger gate drivers of the TPS43060 are used with low Q_g and low-voltage threshold MOSFETs. The stronger gate driver causes the low-side MOSFET to turn on very quickly resulting in large voltage undershoot below PGND at the SW node. The BOOT capacitor then temporarily has a voltage across it exceeding the 8-V absolute maximum ratings. The external BOOT Schottky diode with fast-switching speeds allows the BOOT capacitor to receive some charge during this short time period. At light loads when the high-side MOSFET is not switching, there is no load on the BOOT capacitor. The BOOT capacitor can then charge to a voltage exceeding the absolute maximum ratings. To limit the voltage across the BOOT-SW pins, the RC time constant for charging the BOOT capacitor should be increased to avoid charging while the SW node is below ground and/or the SW voltage undershoot should be reduced. Do this by following these recommendations:

설계자는 TPS43060의보다 강력한 게이트 드라이버가 낮은 Q_g 및 저전압 임계값 MOSFET과 함께 사용되는 경우 중요한 고려 사항을 작성해야 한다. 더 강한 게이트 드라이버는 로우 사이드 MOSFET이 매우 빠르게 켜지도록하여 SW 노드에서 PGND보다 큰 전압 언더슈트를 발생시킨다. 그런 다음 BOOT 커패시터는 전압이 일시적으로 8V 절대 최대 정격을 초과하는 전압을 갖는다. 빠른 스위칭 속도를 갖는 외부 BOOT 쇼트키 다이오드는 이 짧은 시간 동안 BOOT 커패시터에 약간의 충전을 허용한다. 가벼운 부하에서 하이 사이드 MOSFET이 스위칭되지 않을 때, BOOT 커패시터에는 부하가 없다. 그러면 BOOT 커패시터는 절대 최대 정격을 초과하는 전압까지 충전할 수 있다. BOOT-SW 핀의 전압을 제한하려면 SW 노드가 접지보다 낮거나 / 또는 SW 전압 언더슈트가 감소되는 동안 충전을 피하기 위해 BOOT 커패시터 충전을 위한 RC 시간상수를 증가시켜야 한다. 다음 권장 사항을 따르면 됩니다.

- Resistor in series with the external Schottky diode to increase RC time constant for charging the BOOT capacitor

외부 쇼트 키 다이오드와 직렬로 연결된 저항으로 BOOT 커패시터충전시 RC 시간상수가 증가한다.

- Resistor in series with the LDRV signal to slow down the low-side MOSFET switching speed and reduce SW ringing

LDRV 신호와 직렬로 연결된 저항으로 로우 사이드 MOSFET 스위칭 속도를 줄이고 SW 신호음을 줄인다.

- RC snubber across the high-side MOSFET to reduce SW ringing

SW 신호음을 줄이기 위해 하이 사이드 MOSFET을 통과하는 RC 완충기

- Proper layout techniques as recommended in Layout to reduce SW ringing

레이아웃에서 SW 신호음을 줄이기 위해 권장하는 적절한 레이아웃 기법

Figure 21 shows these components. A typical value for either series resistor is 4.7 Ω .

그림 21은 이러한 구성 요소를 보여줍니다. 두 직렬 저항의 일반적인 값은 4.7 Ω 입니다.

8.3.14 Thermal Shutdown

An internal thermal shutdown turns off the TPS4306x when the junction temperature exceeds the thermal shutdown threshold (165°C typical). The device restarts when the junction temperature drops by 15°C.

접합 온도가 온도셋다운 임계 값 (일반적으로 165 ° C)을 초과하면 내부 온도셋다운으로 TPS4306x가 꺼진다. 접합 온도가 15 ° C 떨어지면 디바이스가 재시작된다.

8.4 Device Functional Modes

8.4.1 Typical Operation ($V_{IN} < V_{OUT}$)

The TPS4306x is designed to operate with a minimum input voltage of 4.5 V. It will turn on when the V_{IN} voltage exceeds the typical 4.1-V UVLO threshold and the EN voltage exceeds the typical 1.21-V enable voltage threshold. If EN is left floating, an internal current source pulls the voltage above the EN threshold. In a boost topology, the input is passed to the output through the inductor and high-side FET body diode. As a result, while the TPS4306x is disabled, the output voltage will track the input voltage. When both thresholds are exceeded, the VCC LDO output comes into regulation. Switching is enabled and the SS current source begins charging the external soft-start capacitor for a controlled soft-start of the output voltage with a time period determined by the value of the external SS capacitor. If either pin's voltage drops below its respective threshold, the TPS4306x is shutdown.

TPS4306x는 최소 4.5V의 입력 전압으로 작동하도록 설계되었습니다. V_{IN} 전압이 일반적인 4.1V UVLO 임계 값을 초과하고 EN 전압이 일반적인 1.21V 활성화 전압 임계 값을 초과 할 때 켜진다. EN을 플로팅상태로두면 내부 전류 소스가 전압을 EN 임계 값 이상으로 끌어 당깁니다. 부스트 토폴로지(위상)에서는 입력이 인덕터 및 하이 사이드 FET 바디 다이오드를 통해 출력으로 전달된다. 결과적으로, TPS4306x가 비활성화 되어있는 동안, 출력 전압은 입력 전압을 추적 할 것이다. 두 임계 값을 초과하면 VCC LDO 출력이 조절된다. 스위칭이 활성화되고 SS 전류 소스는 외부 SS 커패시터의 값에 의해 결정된 시간 간격으로 출력 전압의 제어 된 소프트 스타트를 위해 외부 소프트 스타트 커패시터를 충전하기 시작한다. 어느 한 핀의 전압이 각 임계 값 아래로 떨어지면 TPS4306x는 셧다운된다.

8.4.2 Pass Through ($V_{IN} > V_{OUT}$)

If there is an operation condition where the input voltage exceeds the output voltage set by the external FB resistor divider, the TPS4306x stops switching. The input voltage is directly connected to the output voltage through the inductor and body diode of the external high-side MOSFET. The output voltage then follows the input voltage with a voltage drop determined mainly by the forward voltage of the high-side MOSFET body diode. If there is an output load while in this mode, pay attention to power dissipation in the high-side MOSFET body diode. The TPS4306x begins switching again after the input voltage drops below the output voltage set by the external FB resistor divider.

입력 전압이 외부 FB 저항 분배기에서 설정 한 출력 전압을 초과하는 작동 조건이있는 경우 TPS4306x는 스위칭을 중지합니다. 입력 전압은 외부 하이 사이드 MOSFET의 인덕터 및 바디 다이오드를 통해 출력 전압에 직접 연결된다. 출력 전압은 주로 하이 사이드 MOSFET 바디 다이오드의 순방향 전압에 의해 결정되는 전압 강하에 따라 입력 전압을 따른다. 이 모드에서 출력 부하가있는 경우 하이 사이드 MOSFET 바디 다이오드의 전력 손실에주의해야 한다. TPS4306x는 입력 전압이 외부 FB 저항 분배기에 의해 설정된 출력 전압 아래로 떨어지면 다시 스위칭을 시작합니다.

8.4.3 Split-Rail Operation 분할 레일작동

The TPS4306x can also operate in a split-rail topology where a separate voltage is provided to bias the VIN pin of the IC to 4.5 V or greater. The power for the boost power stage can then be powered from a separate input lower than the 4.5-V minimum VIN voltage. When operating in this mode, the boost power stage voltage must be greater than 2.5 V to bias the ISNS pins or the current limit accuracy may degrade. If used in split rail, the TPS4306x is enabled and disabled in the same VIN and EN conditions as described in Typical Operation ($V_{IN} < V_{OUT}$).

TPS4306x는 분할 레일 토폴로지에서 작동 할 수 IC의 VIN 핀을 4.5V 이상으로 바이어스하기위한 별도의 전압이 공급됩니다. 그런 다음 부스트 전력 단계의 전력은 4.5V 최소 VIN 전압보다 낮은 별도의 입력으로 전력을 공급받을 수있다. 이 모드에서 작동할 때 부스트 파워 스테이지 전압은 ISNS핀을 바이어스 하기 위해 2.5V보다 커야만 한다. 그렇지 않으면 전류 제한 정확도가 떨어질수 있다. 스플릿 레일에서 사용되는 경우, TPS4306x는 일반 동작 ($V_{IN} < V_{OUT}$)에서 설명한 것과 동일한 VIN 및 EN 조건에서 활성화 및 비활성화 된다.

9 Application and Implementation 응용 및 구현

NOTE : Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

참고 : 다음 애플리케이션 섹션의 정보는 TI 구성 요소 사양의 일부가 아니며 TI는 그 정확성이나 완전성을 보증하지 않습니다. TI 고객은 자신의 목적을위한 구성 요소의 적합성을 결정할 책임이 있습니다. 고객은 시스템 기능을 확인하기 위해 설계 구현을 검증하고 테스트해야 합니다.

9.1 Application Information

The TPS4306x device is a 4.5- to 38-V input, 58-V maximum output, step-up controller with integrated MOSFET drivers to create a synchronous boost power supply. This device is typically used to convert a lower DC voltage to a higher DC voltage. The maximum current is limited using an external resistor between the ISNS+ and ISNS- pins or the thermal performance of the external MOSFETs. Example applications are: 5, 12, and 24 V industrial, automotive and communications power systems, or battery-powered systems. Use the following design procedure to select component values for the TPS4306x device. This procedure illustrates the design of a high frequency switching regulator using ceramic output capacitors. Calculations can be done with the excel spreadsheet (SLVC471) located on the product page for TPS43060 and TPS43061. Alternately, use the WEBENCH® software to generate a complete design. The WEBENCH software uses an iterative design procedure and accesses a comprehensive database of components when generating a design. This section presents a simplified discussion of the design process.

TPS4306x 디바이스는 동기식부스트 전원 공급 장치를 만들기 위해 MOSFET 드라이버가 내장 된 4.5V ~ 38V 입력, 최대 58V 출력, 스텝 업 컨트롤러이다. 이 장치는 일반적으로 낮은 DC 전압을 높은 DC 전압으로 변환하는 데 사용된다. 최대 전류는 ISNS +와 ISNS- 핀 사이의 외부 저항 또는 외부 MOSFET의 열 성능을 사용하여 제한된다. 애플리케이션예 : 5, 12 및 24 V 산업용, 자동차 및 통신 전원 시스템 또는 배터리 구동 시스템. 다음 설계 절차를 사용하여 TPS4306x 디바이스의 구성 요소 값을 선택하십시오. 이 절차는 세라믹 출력 커패시터를 사용하는 고주파 스위칭레귤레이터의 설계를 보여준다. 계산은 TPS43060 및 TPS43061의 제품 페이지에있는 Excel 스프레드 시트 (SLVC471)를 사용하여 수행 할 수 있습니다. 또는 WEBENCH® 소프트웨어를 사용하여 완전한 디자인을 생성하십시오. WEBENCH 소프트웨어는 반복 설계 절차를 사용하고 설계를 생성 할 때 포괄적 인 구성 요소 데이터베이스에 액세스합니다. 이 섹션에서는 설계 프로세스에 대해 간단하게 설명합니다.

9.2.1.1 Design Requirements 디자인 요구사항

The following section provides a step-by-step design guide of a high-frequency, high-power-density synchronous boost converter with the TPS43061 controller combined with a NexFET power block. This design procedure is also applicable to the TPS43060. The designer must know a few parameters to start the design process. These requirements are typically determined at the system level. For this example, start with the following known parameters.

다음 섹션에서는 TPS43061 컨트롤러가 NexFET 전력 블록과 결합 된 고주파, 고전력 밀도 동기식부스트 컨버터의 단계별 설계 가이드를 제공합니다. 이 설계 절차는 TPS43060에도 적용됩니다. 설계자는 설계 프로세스를 시작하기 위해 몇 가지 매개 변수를 알아야합니다. 이러한 요구 사항은 일반적으로 시스템 수준에서 결정됩니다. 이 예제의 경우 다음과 같은 알려진 매개 변수로 시작하십시오.

9.2.1.2 Detailed Design Procedure

9.2.1.2.1 Selecting the Switching Frequency

The first step is to determine the switching frequency of the power converter. Be sure to consider the tradeoffs when selecting a higher or lower switching frequency. Typically, the designer uses the highest switching frequency possible because this results in the smallest solution size. A higher switching frequency allows for lower-value inductors and smaller-output capacitors compared to a power converter that switches at a lower frequency. A lower switching frequency produces a larger solution size, but typically has better efficiency. Setting the frequency for the minimum tolerable efficiency produces the optimum solution size for the application.

첫번째 단계는 전력 컨버터의 스위칭 주파수를 결정하는 것이다. 더 높거나 낮은 스위칭 주파수를 선택할 때의 절충사항을 고려해야한다. 일반적으로 설계자는 가능한 높은 스위칭 주파수를 사용하므로 최소의 솔루션 크기를 가지고 있다. 스위칭 주파수가 높을수록 낮은 주파수에서 스위칭하는 전력 컨버터에 비해 낮은 값의 인덕터 및 출력이 작은 커패시터를 쓸 수 있다. 스위칭 주파수가 낮을수록 솔루션 크기는 커지지만 일반적으로 효율이 더 좋다. 허용 가능한 최소 효율을 위해 주파수를 설정하면 응용프로그램을 위한 최적의 솔루션 크기가 생성된다.

The switching frequency can also be limited by the minimum on-time and off-time of the controller based on the input voltage and the output voltage of the application. To determine the maximum allowable switching frequency, first estimate the CCM duty cycle using Equation 11 with the minimum and maximum input voltages. Equation 12 and Equation 13 should then be used to calculate the upper limit of switching frequency for the regulator. Choose the lower value result from these two equations. Switching frequencies higher than the calculated values result in either pulse skipping if the minimum on-time restricts the duty cycle or insufficient boost output voltage if the PWM duty cycle is limited by the minimum off-time.

스위칭 주파수는 입력전압과 애플리케이션의 출력 전압을 기반으로 컨트롤러의 최소 온타임 및 오프타임에 의해 제한될 수 있다. 최대 허용 스위칭 주파수를 결정하려면 최소 및 최대 입력전압으로 식11을 사용하여 CCM 듀티 사이클을 먼저 계산한다. 레귤레이터의 스위칭 주파수의 상한을 계산하는데 식12와 식13을 사용한다. 이 두방정식에서 더 낮은 값의 결과를 선택한다. 계산된 값보다 높은 주파수를 스위칭하면 PWM 듀티 사이클이 최소 오프 타임으로 제한되는 경우 최소 온 타임이 듀티 사이클을 제한하거나 불충분 부스트 출력 전압을 제한하면 펄스 스킵핑이 발생한다.

$$D = \frac{V_{OUT} - V_{IN}}{V_{OUT}}$$

$$f_{SW\text{ontime}} = \frac{D_{min}}{t_{on\min}} = \frac{20\%}{100ns} = 2MHz$$

$$f_{SW\text{offtime}} = \frac{(1 - D_{max})}{t_{off\min}} = \frac{(1 - 60\%)}{250ns} = 1.6MHz$$

The typical minimum on-time and off-time of the device are 100 ns and 250 ns, respectively. For this

design, the duty cycle is estimated at 20% and 60% with the maximum input voltage and minimum input voltage, respectively. When operating at switching frequencies less than 200 kHz, the minimum off-time starts to increase and is equal to 5% of the switching period. 1.6 MHz is the estimated allowed maximum switching frequency based on Equation 12 and Equation 13. When operating near the estimated maximum duty cycle, more accurate estimations of the duty cycle should be made by including the voltage drops of the external MOSFETs, sense resistor, and DCR of the inductor.

소자의 일반적인 최소 온 타임과 오프 타임은 각각 100ns와 250ns이다. 이 설계에서 듀티 사이클은 최대 입력 전압과 최소 입력 전압을 각각 20 %와 60 %로 추정한다. 200 kHz 미만의 스위칭 주파수에서 작동 할 때, 최소 오프 타임은 증가하기 시작하여 스위칭 기간의 5 %와 동일합니다. 1.6 MHz는 식 12 및 식 13 을 기반으로 추정 된 허용 최대 스위칭 주파수입니다. 예상 최대 듀티 사이클 근처에서 작동 할 때 감지 저항 및 인덕터의 DCR, 외부 MOSFET의 전압 강하를 포함시켜 듀티 사이클을보다 정확하게 추정해야한다.

A switching frequency of 750 kHz was chosen as a compromise between efficiency and small solution size. To determine the timing resistance for a given switching frequency, use either Equation 14 or the curve in Figure 17. The switching frequency is set by resistor R5, shown in the schematic in Synchronous Boost Converter Typical Application Using TPS43061. For 750-kHz operation, the closest standard value resistor is 76.8 kΩ.

750kHz의 스위칭 주파수가 효율과 작은 솔루션 크기 사이의 절충안으로 선택되었습니다. 주어진 스위칭 주파수에 대한 타이밍 저항을 결정하려면 식 14 또는 그림 17의 곡선을 사용하십시오. 스위칭 주파수는 TPS43061을 사용하여 동기화 부스트 컨버터 표준 응용 프로그램의 설계도에 표시된 저항 R5에 의해 설정됩니다. 750-kHz 작동의 경우, 가장 가까운 표준 값 레지스터는 76.8 kΩ입니다.

$$R_T(k\Omega) = \frac{57500}{f_{SW}(kHz)} = \frac{57500}{750(kHz)} = 76.7k\Omega$$

9.2.1.2.2 Inductor Selection

The selection of the inductor affects the steady-state operation as well as transient behavior and loop stability. These factors make it an important component in a switching power-supply design. The three most important inductor specifications to consider are inductor value, DC resistance (DCR), and saturation current rating. Let the parameter KIND represent the ratio of inductor peak-to-peak ripple current to the average inductor current. In a boost topology, the average inductor current is equal to the input current. The current delivered to the output is the input current modulated at the duty cycle of the PWM. The inductor ripple current contributes to the output current ripple that must be filtered by the output capacitor. Therefore, choosing high inductor ripple currents impacts the selection of the output capacitor. The value of KIND in the design using low-ESR output capacitors, such as ceramics, can be relatively higher than that in the design using higher-ESR output capacitors. Higher values of KIND lead to DCM operation at moderate to light loads.

인덕터 선택은 정상 상태 동작과 과도 현상 및 루프 안정성에 영향을 미친다. 이러한 요인들은 스위칭 전

원 공급 장치 설계에서 중요한 요소가된다. 고려해야 할 세 가지 가장 중요한 인덕터 사양은 인덕터 값, DC 저항 (DCR) 및 포화 전류 등급입니다.파라미터 KIND를 평균 인덕터 전류에 대한 인덕터의최대최소리플 전류의 비율로 나타낸다. 부스트토폴로지에서 평균 인덕터 전류는 입력전류와 동일하다. 출력으로 전달되는 전류는 PWM의 듀티 사이클에서 변조된 입력 전류이다. 인덕터의리플전류는 출력 커패시터에 의해 필터링되어야하는 출력전류 리플에 기여한다. 따라서 높은 인덕터리플 전류를 선택하면 출력 커패시터의 선택에 영향을 준다. 세라믹과 같은 낮은 ESR 출력 커패시터를 사용하는 설계에서 KIND의 값은 높은 ESR 출력 커패시터를 사용하는 설계보다 상대적으로 높을 수있다.KIND 값이 클수록 가벼운 부하에서 DCM 작동이 가능합니다.

To calculate the minimum value of the output inductor, use Equation 16 or Equation 17. In a boost topology, maximum current ripple occurs at 50% duty cycle. Use Equation 16 if the design will operate with 50% duty cycle. If not, use Equation 17. In Equation 17, use the input voltage value that is nearest to 50% duty-cycle operation

출력인덕터의 최소값을 계산하려면 식 16 또는 식 17을 사용하십시오.부스트 토폴로지에서 최대 전류 리플은 50 % 듀티 사이클에서 발생합니다. 디자인이 50 % 듀티 사이클로 작동하려면 식 16을 사용하십시오. 그렇지 않은 경우 식 17을 사용하십시오. 식 17에서 50 % 듀티 사이클 동작에 가장 가까운 입력 전압 값을 사용한다.

For this design example, Equation 15 produces the estimated maximum input current (IIN) of 5 A. In reality, IIN will be higher because the simplified equations do not include the efficiency losses of the power supply. Using KIND = 0.3 with Equation 16, the minimum inductor value is calculated to be 3.33 μH. The nearest standard value of 3.3 μH is chosen. It is important that the RMS current and saturation current ratings of the inductor are not exceeded. The RMS and peak inductor current can be found from Equation 18 and Equation 19, respectively. The calculated RMS inductor current is 5 A, and the peak inductor current is 5.73 A. The chosen inductor is a Vishay IHLP2525CZER3R3M1, which has an RMS current rating of 6 A, a saturation current rating of 10 A, and 30-mΩ DCR.

이 설계를 예로 들자면 방정식15는 5A의 예상 최대 입력 전류(IIN)를 생성한다. 실제로 단순화된 방정식에 전원공급의 효율손실이 포함되지 않기 때문에 IIN 은 더 높아진다. 식 16에 KIND = 0.3을 사용하면 최소 인덕터 값은 3.33μH로 계산됩니다.3.3μH의 가장 가까운 표준 값이 선택된다.인덕터의 RMS전류와 포화전류 등급을 초과하지 않는 것이 중요하다. RMS와 피크 인덕터 전류는 각각 식 18과 식 19에서 찾을 수있다.계산 된 RMS 인덕터 전류는 5A이고 피크 인덕터 전류는 5.73A입니다.선택한인덕터는 Vishay IHLP2525CZER3R3M1이며 RMS 전류 정격이 6A, 포화 전류 정격이 10A, 30mΩ DCR이다.

$$I_{IN} = \frac{I_{OUT}}{(1 - D_{max})} = \frac{2A}{(1 - 60\%)} = 5A \quad (15)$$

$$L \geq \frac{V_{OUT}}{I_{IN} \times K_{IND}} \times \frac{1}{4 \times f_{SW}} = \frac{15V}{5A \times 0.3} \times \frac{1}{4 \times 750kHz} = 3.33\mu H \quad (16)$$

$$L \geq \frac{V_{IN}}{I_{IN} \times K_{IND}} \times \frac{D}{f_{SW}} \quad (17)$$

$$I_{Lrms} = \sqrt{\left(\frac{I_{OUT}}{(1 - D_{max})}\right)^2 + \left(\frac{V_{IN} \min \times D_{max}}{\sqrt{12} \times L \times f_{SW}}\right)^2} = \sqrt{\left(\frac{2A}{(1 - 60\%)}\right)^2 + \left(\frac{6V \times 60\%}{\sqrt{12} \times 3.3\mu H \times 750kHz}\right)^2} = 5A \quad (18)$$

$$I_{Lpeak} = \frac{I_{OUT}}{1 - D_{max}} + \frac{V_{IN} \min \times D_{max}}{2 \times L \times f_{SW}} = \frac{2A}{1 - 60\%} + \frac{6V \times 60\%}{2 \times 3.3\mu H \times 750kHz} = 5.73A \quad (19)$$

Selecting higher ripple currents increases the output voltage ripple of the regulator, but allows for a lower

inductance value.

높은리플 전류를 선택하면 레귤레이터의 출력 전압 리플이 증가하지만 인덕턴스 값은 낮아질 수 있다.

The current flowing through the inductor is the inductor ripple current plus the average input current. During power-up, load faults, or transient load conditions, the inductor current can increase above the peak inductor current calculated previously. The prior equations also do not include the efficiency of the regulator. For this reason, a more conservative design approach is to choose an inductor with a saturation current rating greater than the typical switch current limit set by the current sense resistor or the inductor DC resistance if lossless DCR sensing is used.

인덕터를 통해 흐르는 전류는 인덕터리플 전류 + 평균입력 전류이다. 파워업,로드 폴트 또는 과도 부하 조건에서 인덕터전류는 이전에 계산된 피크 인덕터 전류를 이상으로증가할수 있다. 이전의 방정식은 또한 레귤레이터의 효율을 포함하지 않는다. 이러한 이유로 더 신중한 설계 방식은 무손실 DCR 감지가 사용되는 경우 전류 감지 저항 또는 인덕터의 DC 저항에 의해 설정된 일반적인 스위치 전류 제한보다 큰 포화 전류 정격을 가진 인덕터를 선택 하는 것입니다.

9.2.1.2.3 Selecting the Current Sense Resistor

The external current sense resistor sets the cycle-by-cycle peak current limit. The peak current limit should be set to assure the maximum load current can be supported at the minimum input voltage. The typical overcurrent threshold voltage (VCS) with respect to duty cycle is shown in Figure 20. In this design example, the typical current limit threshold voltage at the 60% maximum duty cycle is 68 mV.

외부 전류 감지 저항은 사이클 별 피크 전류 제한을 설정한다.피크 전류 제한은 최소 입력 전압에서 최대 부하 전류를 지원하도록 설정해야 한다.듀티 사이클과 관련된 전형적인 과전류 임계 전압 (VCS)이 그림 20에 나와있다. 이 설계 예제에서 60%최대 듀티 사이클에서 일반적인 전류 제한 임계 전압은 68mV이다.

When selecting the current limit for the design, TI recommends a 20% margin from the calculated peak current limit in Equation 19 to allow for load and line transients and the efficiency loss of the design. Calculate the recommended current sense resistance with Figure 20. In this example, the minimum resistance is calculated at 9.89 mΩ and two 20-mΩ resistors in parallel are used. The sense resistors must be rated for the power dissipation calculated in Equation 22. Using the maximum current limit threshold of 82 mV according to the electrical specification table, the maximum power loss in the current sense resistor is 0.672 W. Two 0.5-W rated sense resistors are used in parallel in this design.

설계에 대한 전류 제한을 선택할 때, TI는 부하 및 라인 과도 특성과 설계의 효율 손실을 허용하기 위해 식 19에서 계산 된 최대 전류 한계로부터 20 %의 마진을 권장한다.그림 20에서 권장 전류 감지 저항을 계산한다.이 예에서 최소 저항은 9.89mΩ으로 계산되고 두 개의 20mΩ 저항은 병렬로 사용된다.감지 저항은 식 22에서 계산 된 전력 손실에 대해 정격이되어야한다.전기사양표에 따라 82mV의 최대 전류임계값을 사용하면 전류 감지 저항의 최대 전력 손실은 0.672W가된다. 두 개의 0.5W 정격감지저항이이 설계에서 병렬로 사용된다.

$$V_{CSmaxtyp} = 68mV$$

$$R_{CS} = \frac{V_{CSmaxtyp}}{1.2 \times I_{Lpeak}} = \frac{68mV}{1.2 \times 5.73A} = 9.89m\Omega$$

$$P_{RCS} = \frac{(V_{CSmaxmax})^2}{R_{CS}} = \frac{(82mV)^2}{10m\Omega} = 0.672W$$

The 10-Ω series resistors, R13 and R15, with the 100-pF capacitor C12 filter high-frequency switching noise from the ISNS pins.

100pF의 콘덴서 C12을 갖춘 10Ω의 직렬 저항 R13 및 R15는 ISNS 핀에서의 고주파 스위칭 잡음을 필터링합니다.

9.2.1.2.4 Output Capacitor Selection

In a boost topology, the current supplied to the output capacitor is discontinuous and proper selection of the output capacitor is important for filtering the high di/dt path of the supply. The designer must account for two primary considerations for selecting the value of the output capacitor. The output capacitor determines the output voltage ripple and how the supply responds to a large change in load current. The output capacitance must be selected based on the more stringent of these two criteria.

부스트 토폴로지에서는 출력 커패시터에 공급되는 전류가 불 연속적이어서 출력 커패시터를 적절하게 선택하는 것이 전원의 높은 di / dt 경로를 필터링하는 데 중요하다. 설계자는 출력 커패시터의 값을 선택하기 위한 두 가지 주요 고려 사항을 고려해야 한다. 출력 커패시터는 출력 전압 리플 및 부하 전류의 큰 변화에 대한 공급의 반응을 결정한다. 출력 커패시턴스는 이 두 가지 기준 중 더 엄격한 것을 기준으로 선택해야 한다.

The first criterion is the desired response to a large change in load current. A PWM controller cannot immediately respond to a fast increase or decrease in the load current. The response time is determined by the loop bandwidth. The output capacitor must supply the increased load current or absorb the excess inductor current until the controller responds. Equation 23 estimates the minimum output capacitance needed for the desired ΔVOUT for a given ΔIOUT. The loop bandwidth (fBW) is typically limited by the right-half-plane zero (RHPZ) of the boost topology. The maximum recommended bandwidth can be calculated from Equation 41 and Equation 42. See the compensation section for more information. In this example, to limit the voltage deviation to 600 mV from a 1-A load step with a 14.5-kHz maximum bandwidth, a minimum of 18.3-μF output capacitance is needed. This value does not take into account the ESR of the output capacitor, which can typically be ignored when using ceramic capacitors.

첫 번째 기준은 부하 전류의 큰 변화에 대한 원하는 응답이다. PWM 컨트롤러는 부하 전류의 빠른 증가 또는 감소에 즉시 응답 할 수 없다. 응답 시간은 루프 대역폭에 의해 결정된다. 출력 커패시터는 컨트롤러가 응답 할 때까지 증가 된 부하 전류를 공급하거나 초과 인덕터 전류를 없애야 한다. 식 23은 주어진 ΔIOUT에 대해 원하는 ΔVOUT에 필요한 최소 출력 커패시턴스를 추정한다. 루프 대역폭 (FBW)은 일반적으로 부스트 토폴로지의 오른쪽 절반 평면 제로 (RHPZ)에 의해 제한된다. 최대 권장 대역폭은 수식 41과 수식 42에서 계산할 수 있다. 자세한 내용은 보상 섹션을 참조해라. 이 예제에서 14.5kHz의 최대 대역폭으로 1-A 부하 단계에서 전압 편차를 600mV로 제한하려면 최소 18.3μF 출력 커패시턴스가 필요하다. 이 값은 세라믹 커패시터를 사용할 때 일반적으로 무시할 수 있는 출력 커패시터의 ESR을 고려하지 않는다.

The output capacitor absorbs the ripple current through the synchronous switch to limit the output voltage ripple. Equation 24 calculates the minimum output capacitance needed to meet the output voltage ripple specification. In this example, a minimum of 21.3 μF is needed. Again, this value does not take into account the ESR of the output capacitor.

출력커패시터는 동기식 스위치를 통과하는 리플 전류를 흡수하여 출력 전압 리플을 제한한다. 식 24는 출력 전압 리플 사양을 충족시키는 데 필요한 최소 출력 커패시턴스를 계산한다. 이 예제에서 최소 21.3 μF 가 필요하다. 또 이 값은 출력 커패시터의 ESR을 고려하지 않는다.

$$C_{OUT} > \frac{\Delta I_{TRAN}}{2\pi \times f_{BW} \times \Delta V_{TRAN}} = \frac{1A}{2\pi \times 14.5kHz \times 0.6V} = 18.3\mu F \quad (23)$$

$$C_{OUT} > \frac{D_{max} \times I_{OUT}}{f_{SW} \times V_{RIPPLE}} = \frac{60\% \times 5A}{750kHz \times 0.075V} = 21.3\mu F \quad (24)$$

The most stringent criterion for the output capacitor is 21.3 μF required to limit the output voltage ripple. When using ceramic capacitors for switching power supplies, TI recommends high-quality type X5R or X7R. They have a high capacitance-to-volume ratio and are fairly stable over temperature. Capacitance deratings for aging, temperature, and dc bias increase the minimum value required. The voltage rating must be greater than the output voltage with some tolerance for output voltage ripple and overshoot in transient conditions. For this example, $4 \times 10\text{-}\mu\text{F}$, 25-V ceramic capacitors with 5 m Ω of ESR are used. The estimated derated capacitance is 22 μF , approximately equal to the calculated minimum.

출력커패시터에 대한 가장 엄격한 기준은 출력 전압 리플을 제한하는 데 필요한 21.3 μF 이다. 스위칭 전원 공급 장치에 세라믹 커패시터를 사용할 경우 TI는 고품질 X5R 또는 X7R 유형을 권장한다. 그들은 높은 커패시턴스 대 용량 비율이 높고 온도에 대해 매우 안정되어 있다. 노화, 온도 및 DC 바이어스에 대한 커패시턴스 감소는 필요한 최소값을 증가시킨다. 정격 전압은 출력 전압 리플 및 과도 상태에서의 오버슈트에 대해 약간의 허용 오차를 갖는 출력 전압보다 커야한다. 이 예에서는 5m Ω 의 ESR을 갖는 $4 \times 10\text{-}\mu\text{F}$, 25V 세라믹 커패시터가 사용된다. 추정되는 감쇄된 커패시턴스는 22 μF 이고 계산된 최소값과 거의 일치한다.

9.2.1.2.5 MOSFET Selection – NexFET Power Block

The TPS43061 5.5-V gate drive is optimized for low QgNexFET power devices. NexFET power blocks with both the high-side and low-side MOSFETs integrated are ideal for high-power-density designs. This design example uses the CSD86330Q3D. Two primary considerations when selecting the power MOSFETs are the average gate drive current required and the estimated MOSFET power losses.

TPS43061 5.5V 게이트 드라이브는 낮은 QgNexFET 전력 디바이스에 최적화되어 있다. 하이 사이드 및 로우 사이드 MOSFET이 모두 통합된 NexFET 전력 블록은 고전력 밀도 설계에 이상적이다. 이 디자인 예는 CSD86330Q3D를 사용한다. 전력 MOSFET을 선택할 때 두 가지 주요 고려 사항은 평균 게이트 구동 전류와 예상 MOSFET 전력 손실이다.

The average gate drive current must be less than the 50-mA (minimum) VCC supply current limit. This current is calculated using Equation 25. With the selected power block and 5.5-V VCC, the low-side FET has a total gate charge of 11 nC and the high-side FET has a total gate charge of 5 nC. The required gate drive current is 12 mA.

평균게이트 드라이브 전류는 50mA (최소) VCC 공급 전류 제한보다 작아야합니다.이 전류는 식 25를 사용하여 계산됩니다.선택된 전력 블록과 5.5V VCC에서 로우 사이드 FET는 총 게이트 전하가 11nC이고 하이 사이드 FET는 총 게이트 전하가 5nC이다.필요한게이트 구동 전류는 12 mA입니다.

$$I_{GD} = (Q_{GHS} + Q_{GLS}) \times f_{SW} = (5nC + 11nC) \times 750kHz = 12mA \quad (25)$$

The target efficiency of the design dictates the acceptable power loss in the MOSFETs. The two largest components of power loss in the low-side FET are switching and conduction losses. Both losses are highest at the minimum input voltage when low-side FET current is maximum. The conduction power loss in the low-side FET can be calculated with Equation 26. Switching losses occur during the turn-off and turn-on time of the MOSFET. During these transitions, the low-side FET experiences both the input current and output voltage. The switching loss can be estimated with Equation 27. The low-side FET of the CSD86330Q3D has RDS(on)LS = 4.2 mΩ, gate-to-drain charge Qgd = 1.6 nC, output capacitance COSS = 680 pF, series gate resistance RG = 1.2 Ω, and gate-to-source voltage threshold VGS(th) = 1.1 V. The conduction power losses are estimated at 0.042 W and the switching losses are estimated at 0.070 W.

설계의 목표 효율은 MOSFET에서 허용 가능한 전력 손실을 규정한다.로우 사이드 FET에서 전력 손실의 두 가지 가장 큰 구성 요소는 스위칭 및 전도 손실이다. 두 손실은 로우 사이드 FET 전류가 최대 일 때 최소 입력 전압에서 가장 높다. 식 (26)을 이용하여 로우 사이드 FET의 전도 전력 손실을 계산할 수있다. MOSFET의 턴 - 오프 및 턴 - 온 시간 동안 스위칭 손실이 발생한다. 이러한 전환 동안 로우 사이드 FET 는 입력 전류와 출력 전압을 모두 경험한다.스위칭 손실은 식 27을 사용하여 추정 할 수 있습니다. CSD86330Q3D의 로우 사이드 FET는 RDS (on) LS = 4.2mΩ, 게이트 - 드레인 전하 Qgd = 1.6nC, 출력 커패시턴스 COSS = 680pF, 직렬 게이트 저항 RG = 1.2Ω 및 게이트 - 소스 간 전압 임계 값 VGS (th) = 1.1V이다. 전도 전력 손실은 0.042 W로 추정되며 스위칭 손실은 0.070 W로 추정됩니다.

$$P_{CONDLS} = D_{max} \times I_{Lrms}^2 \times R_{dsonLS} = 60\% \times 5.0A^2 \times 4.2m\Omega = 0.042W \quad (26)$$

$$P_{SW} = \frac{f_{SW}}{2} \times \left(C_{OSS} \times V_{OUT}^2 + V_{OUT} \times \frac{I_{OUT}}{1 - D_{max}} \times \frac{Q_{gd} \times R_G}{V_{CC} - V_{GS(th)}} \right) \\ = \frac{750kHz}{2} \times \left(680pF \times 15V^2 + 15V \times \frac{2A}{1 - 60\%} \times \frac{1.6nC \times 1.2\Omega}{5.5V - 1.1V} \right) = 0.070W \quad (27)$$

Two power losses in the high-side FET to consider are the dead time body diode loss and the FET conduction loss. The conduction loss is highest at the minimum PWM duty cycle. The conduction power loss in the high-side FET can be calculated with Equation 28. Dead time losses are caused by conduction in the body diode of the high-side FET during the delay time between the LDRV and HDRV signals. The dead time loss varies mainly with switching frequency. The dead time losses are estimated with Equation 29. The high-side FET of the CSD86330Q3D has $R_{DS(ON)HS} = 8 \text{ m}\Omega$ and body diode forward voltage drop $V_{SD} = 0.75 \text{ V}$. The conduction power losses are estimated at 0.080 W and the dead time losses are estimated at 0.366 W . For designs targeting highest efficiency, dead time losses can be reduced by adding a Schottky diode in parallel with the high-side FET to reduce the diode forward voltage drop during the dead time.

고려해야 하이 사이드 FET는 2 개의 전력 손실이 데드 타임 바디 다이오드의 손실과 FET의 전도 손실이다. 전도손실은 최소 PWM듀티 사이클에서 가장 높다. 하이사이드 FET에서의 전도전력 손실은 식28을 사용하여 계산할수있다. 데드 타임 손실은 LDRV와 HDRV 신호 사이의 지연 시간 동안 하이 사이드 FET의 바디 다이오드의 전도로 인해 발생한다.데드 타임 손실은 주로 스위칭 주파수에 따라 다르다.데드 타임 손실은 식 29를 사용하여 추정한다.CSD86330Q3D의 하이 사이드 FET는 $R_{DS(ON) HS} = 8\text{m}\Omega$ 이고 바디 다이오드 순방향 전압 강하 $V_{SD} = 0.75\text{V}$ 를 갖는다. 전도 전력 손실은 0.080W 로, 데드 타임 손실은 0.366W 로 추정된다. 높은 효율을 목표로하는 설계의 경우 데드 타임 동안 다이오드 순방향 전압 강하를 줄이기 위해 하이 사이드 FET와 병렬로 쇼트 키 다이오드를 추가함으로써 데드 타임 손실을 줄일 수있다.

여기서 데드타임은모스펫안에 다이오드에서 드레인과게이트에 전압이 들어와야 소스로빠져나간다돌중에 하나라도안들어오면소스쪽으로 빠져나가지 않는데 이때 비활성화된 시간을 데드타임이라 부른다.

$$P_{CONDHS} = (1 - D_{max}) \times I_{L,rms}^2 \times R_{DS(on)HS} = (1 - 60\%) \times 5.0 \text{ A}^2 \times 8 \text{ m}\Omega = 0.080 \text{ W} \quad (28)$$

$$P_{DT} = V_{SD} \times I_{L,rms} \times (t_{non-overlap1} + t_{non-overlap2}) \times f_{SW} \\ = 0.75 \text{ V} \times 5 \text{ A} \times (65 \text{ ns} + 65 \text{ ns}) \times 750 \text{ kHz} = 0.366 \text{ W} \quad (29)$$

9.2.1.2.6 Bootstrap Capacitor Selection

A capacitor must be connected between the BOOT and SW pins for proper operation. This capacitor provides the instantaneous charge and gate drive voltage needed to turn on the high-side FET. TI recommends a ceramic with X5R or better grade dielectric. Use Equation 30 to calculate the minimum bootstrap capacitance to limit the BOOT capacitor ripple voltage to 250 mV . In this example with the selected high-side FET, the minimum calculated capacitance is $0.042 \text{ }\mu\text{F}$ and a $0.1\text{-}\mu\text{F}$ capacitor is used. The capacitor should have a 10-V or higher voltage rating.

커패시터는 적절한 동작을 위해서 BOOT와 SW핀 사이에 연결되어야 한다. 이 커패시터는하이사이드FET를 켜기 위해 필요한 순간 충전 및 게이트 구동 전압을 제공한다. TI는 X5R 이상의 등급을 가진 세라믹을 권장한다. 식 30을 사용하여 최소 부트 스트랩커패시턴스를 계산하여 BOOT 커패시터리플 전압을 250mV 로 제한한다.선택된 하이 사이드 FET를 사용한이 예제에서 계산 된 최소 커패시턴스는 $0.042\mu\text{F}$ 이고 $0.1\mu\text{F}$ 커패시터가 사용된다.컨덴서의 정격 전압은 10V 이상이어야 한다.

$$C_{BOOT} = \frac{Q_{GHS}}{\Delta V_{BOOT}} = \frac{5nC}{250mV} = 0.042\mu F$$

9.2.1.2.7 VCC Capacitor

An X5R or better grade ceramic bypass capacitor is required for the internal VCC regulator at the VCC pin with a recommended range of 0.47 to 10 μF . This example uses a capacitance of 4.7 μF . The capacitor should have a 10-V or higher voltage rating.

VCC 핀의 내부 VCC 레귤레이터에는 X5R 등급 이상의 세라믹 바이패스 커패시터가 필요하며 권장 범위는 0.47 ~ 10 μF 이다. 이 예제에서는 4.7 μF 의 커패시턴스를 사용합니다. 커패시터의 정격 전압은 10V 이상이어야 한다.

9.2.1.2.8 Input Capacitor

The TPS4306x requires a high-quality 0.1 μF or higher ceramic-type X5R or X7R bypass capacitor at the VIN pin for proper decoupling. Based on the application requirements, additional bulk capacitance may be needed to meet input voltage ripple and/or transient requirements. The minimum capacitance for a specified input voltage ripple is calculated using Equation 31. The voltage rating of the input capacitor must be greater than the maximum input voltage. The capacitor must also have a ripple current rating greater than the RMS current calculated with Equation 32. If ceramic input capacitors are used, they should be a high-quality ceramic, type X5R or X7R.

TPS4306x는 적절한 디커플링을 위해 VIN 핀에 고품질 0.1 μF 이상의 세라믹 타입 X5R 또는 X7R 바이 패스 커패시터가 필요하다. 애플리케이션 요구 사항에 따라 입력 전압 리플 및 / 또는 과도 요구 사항을 충족하려면 추가 정전용량(충전용량)이 큰 커패시턴스가 필요할 수 있습니다. 지정된 입력 전압 리플의 최소 커패시턴스는 식 31을 사용하여 계산된다. 입력 커패시터의 정격 전압은 최대 입력 전압보다 커야 한다. 또한 커패시터는 식 32로 계산 한 RMS 전류보다 큰 리플 전류 정격이 필요하다. 세라믹 입력 커패시터를 사용하는 경우 고품질 세라믹 인 X5R 또는 X7R을 사용해야 한다.

For this example design, the capacitors must be rated for at least 12 V to support the maximum input voltage. Designing for a 45-mV input voltage ripple (0.5% the nominal input voltage), the minimum input capacitance is 10.8 μF . The input capacitor must also be rated for 0.42 A RMS current. The capacitors selected are 2 \times 10- μF , 25-V ceramic capacitors with 5 m Ω of ESR. The estimated voltage derated total capacitance is 15 μF .

이 설계예시에서 커패시터는 최대 입력 전압을 지원하기 위해 정격이 최소 12V이어야 한다. 45mV 입력 전압 리플(공칭 입력 전압의 0.5%)을 위해 설계된 최소 입력 커패시턴스는 10.8 μF 이다. 또한 입력 커패시터의 정격은 RMS 전류가 0.42A이어야 한다. 추정된 전압이 감쇄된 전체 커패시턴스는 15 μF 이다.

$$C_{IN} > \frac{I_{RIPPLE}}{4 \times f_{SW} \times V_{INRIPPLE}} = \frac{1.46A}{4 \times 750kHz \times 0.045V} = 10.8\mu F \quad (31)$$

$$I_{CINrms} = \frac{I_{RIPPLE}}{\sqrt{12}} = \frac{1.46A}{\sqrt{12}} = 0.42A \quad (32)$$

9.2.1.2.9 Output Voltage and Feedback Resistors Selection

The voltage divider of R8 and R9 sets the output voltage. To balance power dissipation and noise sensitivity, R9 should be selected between 10 and 100 kΩ. For the example design, 11 kΩ was selected for R9. Using Equation 33, R8 is calculated as 124.2 kΩ. The nearest standard 1% resistor 124 kΩ is used.

R8과 R9의 전압 분배기는 출력 전압을 설정한다. 잡음 감도와 전력손실의 균형을 맞추기 위해 R9는 10kΩ ~ 100kΩ 사이에서 선택해야한다. 예제 설계에서는 R9에 11kΩ가 선택되었다. 식 33을 사용하면 R8은 124.2 kΩ으로 계산된다.가장 가까운 표준 1 % 저항 124 kΩ이 사용된다..

$$R_{HS} = R_{LS} \times \frac{V_{OUT} - V_{FB}}{V_{FB}} = 11.0k\Omega \times \frac{15V - 1.22V}{1.22V} = 124.2k\Omega$$

where

- $R_{LS} = R9$
- $R_{HS} = R8$

9.2.1.2.10 Setting the Soft-Start Time

The soft-start capacitor determines the amount of time allowed for the output voltage to reach its nominal programmed value during power-up. This is especially useful if a load requires a controlled voltage slew rate. A controlled start-up time is necessary with large output capacitance to limit the current into the capacitor during start-up. Large input currents charging the output capacitors during start-up could trigger the current limit. Excessive current draw from the input power supply may also cause the input voltage rail to sag. The soft-start capacitor can be sized to limit in-rush current or output voltage overshoot during startup. Use Equation 34 to calculate the required capacitor for a desired soft-start time. In this example application for a desired soft-start time of 20 ms, a 0.082-μF capacitance is calculated, and the nearest standard value of 0.1-μF capacitor is chosen.

소프트 스타트커패시터는파워업중에 출력전압이 공칭 프로그래밍된 값에 도달하는데 허용되는 시간을 결정한다. 이 기능은 부하에 제어 된 전압 슬루율이 필요한 경우에 특히 유용하다. 스타트 업 중에 커패시터로 흐르는 전류를 제한하기 위해 커다란 출력 커패시턴스가있는 제어 된 스타트 업 시간이 필요하다.시동 중에 출력 커패시터를 충전하는 큰 입력 전류는 전류 제한을 트리거 할 수있다.입력 전원 공급 장치에서 과도한 전류가 흐르면 입력 전압 레일이 처지 게 될 수도 있습니다. 소프트스타트커패시터는 시동 중에 돌입 전류 또는 출력 전압 오버 샷을 제한 할 수있는 크기로 만들 수있다. 방정식 34를 사용하여 원하는 소프트 스타트 시간에 필요한 커패시터를 계산한다.20ms의 원하는 소프트 스타트 시간에 대한이 예제 애플리케이션에서 0.082μF 커패시턴스가 계산되고 0.1μF 커패시터의 가장 가까운 표준 값이 선택된다.

$$C_{SS} = \frac{t_{SS} \times I_{SS}}{V_{REF}} = \frac{20ms \times 5\mu A}{1.22V} = 0.082\mu F$$

9.2.1.2.11 UVLO Set Point

The UVLO can be adjusted using an external voltage divider connected to the EN pin of the TPS4306x. The UVLO has two thresholds, one for power-up when the input voltage is rising and one for power-down or brown outs when the input voltage is falling. The necessary voltage divider resistors are calculated with Equation 35 and Equation 36. If the application does not require an adjustable UVLO, the EN pin can be left floating or tied to the VIN pin

UVLO는 TPS4306x의 EN 핀에 연결된 외부 전압 분배기를 사용하여 조정할 수 있다. UVLO는 입력 전압이 상승 할 때 파워 업을위한 것이고, 입력 전압이 떨어지는 경우 파워 다운 또는 브라운 아웃을위한 것 인 두 개의 임계 값을 갖는다. 필요한 전압 분배 저항은 수학 식 35 및 수학 식 36으로 계산된다. 애플리케이션이 가변 UVLO를 필요로 하지 않으면 EN 핀을 플로팅 상태로 두거나 VIN 핀에 연결할 수 있다

For the example design, the supply should start switching when the input voltage increases to 5.34 V (VSTART). After start-up, it should continue to operate until the input voltage falls to 4.3 V (VSTOP). To produce the desired start and stop voltages, this example uses resistor divider values R3 = 221 kΩ between VIN and EN and a R4 = 59 kΩ between EN and GND.

이 예제 설계는 입력 전압이 5.34V (VSTART)에 올라가면 전원이 스위칭을 시작해야 합니다. 시동 후에는 입력 전압이 4.3V (VSTOP)로 떨어질 때까지 계속 작동해야 한다. 원하는 시작 및 정지 전압을 생성하기 위해 이 예에서는 VIN과 EN 사이의 저항 분배기 값 R3=221kΩ과 EN과 GND 사이의 R4=59kΩ을 사용한다.

$$R_{UVLO_H} = \frac{V_{START} \times \left(\frac{V_{EN_DIS}}{V_{EN_ON}} \right) - V_{STOP}}{I_{EN_pus} \times \left(1 - \frac{V_{EN_DIS}}{V_{EN_ON}} \right) + I_{EN_hys}} = \frac{5.34V \times \left(\frac{1.14V}{1.21V} \right) - 4.3V}{1.8\mu A \times \left(1 - \frac{1.14V}{1.21V} \right) + 3.2\mu A} = 221.26k\Omega \quad (35)$$

$$R_{UVLO_L} = \frac{R_{UVLO_H} \times V_{EN_DIS}}{V_{STOP} - V_{EN_DIS} + R_{UVLO_H} \times (I_{EN_pup} + I_{EN_hys})} = \frac{221k\Omega \times 1.14V}{4.3V - 1.14V + 221k\Omega \times (1.8\mu A + 3.2\mu A)} = 59k\Omega \quad (36)$$

9.2.1.2.12 Power Good Resistor Selection

The PGOOD pin is an open-drain output requiring a pullup resistor connected to a voltage supply of no more than 8 V. TI recommends a value between 10 and 100 kΩ. If the Power Good indicator feature is not needed, this pin can be grounded or left floating.

PGOOD 핀은 8V 이하의 전압 공급 장치에 연결된 풀업 저항을 필요로 하는 오픈 드레인 출력이다. TI는 10kΩ ~ 100kΩ 사이의 값을 권장합니다. Power Good 표시기 기능이 필요하지 않은 경우 이 핀을 접지하거나 부동 상태로 둘 수 있습니다.

9.2.1.2.13 Control Loop Compensation

There are several methods to design compensation for DC-DC regulators. The method presented here is easy to calculate and ignores the effects of the slope compensation internal to the device. Because the slope compensation is ignored, the actual crossover frequency will be lower than the crossover frequency used in the calculations. This method assumes the crossover frequency is between the modulator pole and ESR zero of the output capacitor. In this simplified model, the DC gain (A_{dc}), modulator pole (f_{Pmod}), and the ESR zero (f_{Zmod}) are calculated with Equation 37 to Equation 39. Use the derated value of C_{OUT} , which is 22 μF in this example. In a boost topology, the maximum crossover frequency is typically limited by the RHPZ. The RHPZ can be estimated with Equation 40. The compensation design should be done at the minimum input voltage when the RHPZ is at the lowest frequency. The crossover frequency should also be limited to less than 1/5 of the switching frequency. Equation 41 and Equation 42 are used to calculate the maximum recommended crossover frequency. For this example design, $A_{dc} = 11.3$ V/V, $f_{Pmod} = 0.97$ kHz, $f_{Zmod} = 1.45$ MHz, $f_{RHPZ} = 57.9$ kHz, $f_{co1} = 14.5$ kHz, and $f_{co2} = 150$ kHz. The target f_{co} is 14.5 kHz.

DC-DC 레귤레이터에 대한 보상을 설계하는 몇 가지 방법이 있다. 여기에 제시된 방법은 계산하기 쉽고 장치 내부의 슬로프 보상 효과를 무시합니다. 슬로프 보상이 무시되므로 실제 크로스 오버 주파수는 계산에 사용된 크로스 오버 주파수보다 낮다. 이 방법은 크로스 오버 주파수가 변조기 폴과 출력 커패시터의 ESR 제로 사이에 있다고 가정한다. 이 단순화된 모델에서 DC 이득 (A_{dc}), 변조기 극 (f_{Pmod}) 및 ESR 제로 (f_{Zmod})는 식 37에서 식 39로 계산된다. 이 예에서 22 μF 인 C_{OUT} 의 감소 값을 사용한다. 부스트 토폴로지에서는 최대 크로스 오버 주파수는 일반적으로 RHPZ에 의해 제한된다. RHPZ는 식 40을 사용하여 추정할 수 있다. 보상 설계는 RHPZ가 최저 주파수 일 때 최소 입력 전압에서 수행되어야 한다. 또한 크로스 오버 주파수는 스위칭 주파수의 1/5 이하로 제한되어야 한다. 방정식 41과 방정식 42는 최대 권장 크로스 오버 주파수를 계산하는 데 사용된다. 이 예제 설계의 경우 $A_{dc} = 11.3$ V / V, $f_{Mod} = 0.97$ kHz, $f_{Zmod} = 1.45$ MHz, $f_{HPZ} = 57.9$ kHz, $f_{co1} = 14.5$ kHz, $f_{co2} = 150$ kHz이다. 목표 f_{co} 는 14.5 kHz이다.

$$A_{dc} = \frac{3}{40} \times \frac{V_{IN \min}}{2 \times R_{SENSE} \times I_{OUT}} = \frac{3}{40} \times \frac{6V}{2 \times 10m\Omega \times 2A} = 11.3 \frac{V}{V} \quad (37)$$

$$f_{Pmod} = \frac{1}{2\pi \times \frac{V_{OUT}}{I_{OUT}} \times C_{OUT}} = \frac{1}{2\pi \times \frac{15V}{2A} \times 22\mu F} = 0.97kHz \quad (38)$$

$$f_{Zmod} = \frac{1}{2\pi \times ESR \times C_{OUT}} = \frac{1}{2\pi \times 5m\Omega \times 22\mu F} = 1.45MHz \quad (39)$$

$$f_{RHPZ} = \frac{\frac{V_{OUT}}{I_{OUT}}}{2\pi \times L} \times \left(\frac{V_{IN}}{V_{OUT}} \right)^2 = \frac{\frac{15V}{2A}}{2\pi \times 3.3\mu H} \times \left(\frac{6V}{15V} \right)^2 = 57.9kHz \quad (40)$$

$$f_{co1} < \frac{f_{RHPZ}}{4} = \frac{57.9kHz}{4} = 14.5kHz \quad (41)$$

$$f_{co2} < \frac{f_{SW}}{5} = \frac{750kHz}{5} = 150kHz \quad (42)$$

The compensation components can now be calculated. A resistor in series with a capacitor creates a compensating zero. A capacitor in parallel to these two components can be added to form a compensating pole. Use Equation 43 to determine the compensation resistor (R7). R7 is calculated to be 7.45 kΩ and a standard 1% value of 7.5 kΩ is selected. Use Equation 44 to set the compensation zero to 1/10 the target crossover frequency. C9 is calculated at 0.0147 μF and a standard value of 0.015 μF is used.

이제 보상 구성 요소를 계산할 수 있다. 커패시터와 직렬로 연결된 저항은 보상 제로를 생성한다. 이 두 구성 요소에 병렬로 커패시터를 추가하여 보상 극을 형성 할 수 있습니다. 식43을 사용하여 보상 저항 (R7) 을 결정하십시오. R7은 7.45 kΩ으로 계산되고 7.5 kΩ의 표준 1 % 값이 선택된다. 식44를 사용하여 보상 제로를 목표 크로스 오버 주파수의 1/10로 설정해야한다. C9는 0.0147 μF에서 계산되고 0.015 μF의 표준 값이 사용된다.

$$R7 = R_{COMP} = \frac{40}{3} \times \frac{2\pi \times C_{OUT} \times R_{SENSE} \times V_{OUT} \times f_{co} \times (R_{SH} + R_{SL})}{R_{SL} \times V_{IN} \min \times G_{ea}}$$

$$= \frac{40}{3} \times \frac{2\pi \times 22\mu F \times 10m\Omega \times 15V \times 14.5kHz \times (124k\Omega + 11k\Omega)}{11k\Omega \times 6V \times 1100 \frac{\mu A}{V}} = 7.45k\Omega \quad (43)$$

$$C9 = C_{COMP} = \frac{1}{2\pi \times \frac{f_{co}}{10} \times R_{COMP}} = \frac{1}{2\pi \times \frac{14.5kHz}{10} \times 7.50k\Omega} = 0.0147\mu F \quad (44)$$

A compensation pole can be implemented, if desired, with capacitor C8 in parallel with the series combination of R7 and C9. Use the larger value calculated from Equation 45 and Equation 46. The selected value of C8 is 150 pF for this example.

필요한 경우 보정 극을 R7과 C9의 직렬 조합과 병렬로 커패시터 C8을 사용하여 구현할 수 있다. 식 45와 식 46에서 계산 된 큰 값을 사용한다. 이 예제에서 C8의 선택된 값은 150pF이다.

$$C_{HF} = \frac{C_{OUT} \times ESR}{R_{COMP}} = \frac{22\mu F \times 5m\Omega}{7.50k\Omega} = 14.7pF \quad (45)$$

$$C_{HF} = \frac{1}{20\pi \times f_{co} \times R_{COMP}} = \frac{1}{20\pi \times 14.5kHz \times 7.50k\Omega} = 150pF \quad (46)$$

9.2.1.2.14 DCM, Pulse-Skip Mode, and No-Load Input Current

The reverse current sensing of the TPS4306x allows the power supply to operate in DCM at light loads for higher efficiency. The supply enters DCM when the inductor current ramps to 0 at the end of a PWM cycle and the reverse current sense turns off the high-side FET for the remainder of the cycle. In DCM, the duty cycle is a function of the load, input and output voltages, inductance, and switching frequency as computed in Equation 47. The load current at which the inductor current falls to 0 and the converter enters DCM can be calculated using Equation 48. Additionally, after the converter enters DCM, decreasing the load further reduces the duty cycle. If the DCM on-time reaches the minimum on-time of the TPS4306x, the converter begins pulse skipping to maintain output voltage regulation. Pulse skipping can increase the output voltage ripple.

TPS4306x의 역전류 감지 기능은 가벼운 부하에서 높은 효율을 위해 DCM에서 전원 공급 장치를 작동할 수 있게 한다. PWM 사이클이 끝날 때 인덕터 전류가 0으로 상승하고 역전류 감지 기능이 나머지 사이클 동안 하이 사이드 FET를 턴 오프하면 전원은 DCM으로 들어간다. DCM에서 듀티 사이클은 식 47에서 계산된 부하, 입력 및 출력 전압, 인덕턴스 및 스위칭 주파수의 함수이다. 인덕터 전류가 0으로 떨어지고 컨버터가 DCM으로 들어가는 부하 전류는 식 48을 사용하여 계산할 수 있다. 또한 컨버터가 DCM에 들어가면 부하를 줄이면 듀티 사이클이 더 감소한다. DCM 온 타임이 TPS4306x의 최소 온 타임에 도달하면 컨버터는 출력 전압 레귤레이션을 유지하기 위해 펄스 스킵을 시작한다. 펄스 스킵은 출력 전압 리플을 증가시킬 수 있습니다.

In this example with the 9-V nominal input voltage, the estimated load current where the converter enters DCM operation is 0.44 A. The measured boundary is 0.36 A. In most designs, the converter enters DCM at lower load currents because Equation 48 does not account for the efficiency losses. The design example power supply enters pulse-skip mode when the output current is lower than 12 mA and the input current draw is 1.3 mA with no load.

9V 공칭 입력 전압을 사용한 이 예제에서, 컨버터가 DCM 동작에 들어가는 예상 부하 전류는 0.44A이다. 측정된 경계는 0.36 A이다. 대부분의 설계는 식 48이 효율 손실을 고려하지 않기 때문에 컨버터는 낮은 부하 전류에서 DCM으로 들어간다. 출력 전류가 12mA 미만이고 입력 전류가 무부하에서 1.3mA 인 경우 설계 예제의 전원 공급 장치가 펄스 스킵모드로 들어간다.

$$D = \frac{\sqrt{2 \times (V_{OUT} - V_{IN}) \times L \times I_{OUT} \times f_{SW}}}{V_{IN}} \quad (47)$$

$$I_{OUT}^{crit} = \frac{(V_{OUT} - V_{IN}) \times V_{IN}^2}{2 \times V_{OUT}^2 \times f_{SW} \times L} = \frac{(15V - 9V) \times 9V^2}{2 \times 15V^2 \times 750kHz \times 3.3\mu H} = 0.44A \quad (48)$$

9.2.2.1 Design Requirements

The design requirements and procedure of TPS43061 is also applicable to the TPS43060; however, several differences should be noted. Unlike the TPS43061, which has a 5.5-V gate drive supply and is optimized for low Q_g NexFETs, the TPS43060 has a 7.5-V gate drive supply and is suitable to drive standard threshold MOSFETs. The TPS43060 requires an external bootstrap diode (D1 as shown in Figure 34) from VCC to BOOT to charge the bootstrap capacitor, and the external diode should have a breakdown voltage rating greater than the output voltage. In addition, the TPS43060 also requires a 2- Ω resistor (R19 shown in Figure 34) connected in series with the VCC pin to limit the peak current drawn through the internal circuitry when the external bootstrap diode is conducting.

TPS43061의 설계 요구 사항 및 절차는 TPS43060에도 적용됩니다. 그러나 몇 가지 차이점을 알아야 한다. 5.5V 게이트 드라이브 전원을 가지며 낮은 Q_g NexFET에 최적화 된 TPS43061과 달리 TPS43060은 7.5V 게이트 드라이브 전원을 가지며 표준 임계 값 MOSFET을 구동하는 데 적합하다. TPS43060은 부트 스트랩 커패시터를 충전하기 위해 VCC에서 BOOT까지 외부 부트 스트랩 다이오드 (그림 34와 같은 D1)가 필요하며 외부 다이오드는 출력 전압보다 높은 항복 전압 정격을 가져야 한다. 또한 TPS43060은 외부 부트 스트랩 다이오드가 동작할 때 내부 회로를 통해 끌어온 최대 전류를 제한하기 위해 VCC 핀과 직렬로 연결된 2 Ω 저항 (그림 34의 R19)이 필요하다.

See Synchronous Boost Converter Typical Application Using TPS43061 for more application details.

자세한 애플리케이션 세부 사항은 TPS43061을 사용한 동기식 부스트 컨버터의 일반적인 애플리케이션을 참조한다.

9.2.2.2 Detailed Design Procedure 세부 설계 절차

See Synchronous Boost Converter Typical Application Using TPS43061 for more application details.

자세한 애플리케이션 세부 사항은 TPS43061을 사용한 동기식 부스트 컨버터의 일반적인 애플리케이션을 참조한다.

10 Power Supply Recommendations

The device is designed to operate from an input voltage supply range between 4.5 and 38 V. This input supply should be well regulated. It is important to remember a boost topology requires an input current greater than the output current. The power supply must then be capable of supporting a current approximately equal to $I_{OUT} \times V_{OUT} / (V_{IN})$. If the input supply is located more than a few inches from the TPS4306x converter, additional bulk capacitance may be required in addition to the ceramic bypass capacitors. An electrolytic capacitor with a value of 100 μF is a typical choice.

이 소자는 4.5V ~ 38V의 입력 전압 범위에서 동작하도록 설계되었다. 이 입력 전원은 잘 조절해야 한다. 부스트 토폴로지는 출력 전류보다 큰 입력 전류가 필요하다는 것을 기억하는 것이 중요하다. 전원 공급 장치는 $I_{OUT} \times V_{OUT} / (V_{IN})$ 과 거의 같은 전류를 지원할 수 있어야 한다. 입력 전원이 TPS4306x 컨버터로부터 몇 인치 이상 떨어져 있으면 세라믹 바이 패스 커패시터에 추가로 벌크커패시턴스가 필요할 수 있다, 값이 100 μF 인 전해 커패시터가 일반적으로 선택된다.

11 Layout

11.1 Layout Guidelines

Layout is a critical portion of a good power converter design. Several signal paths that conduct fast changing currents or voltages can interact with stray inductance or parasitic capacitance to generate noise or degrade performance. Guidelines are as follows, and the EVM layouts can be used as a reference.

레이아웃은 우수한 전력 변환기 설계의 중요한 부분이다. 빠르게 변화하는 전류 또는 전압을 전달하는 여러 신호 경로는 표류 인덕턴스 또는 기생 커패시턴스와 상호 작용하여 잡음을 발생 시키거나 성능을 저하시킬 수 있다. 지침은 다음과 같으며 EVM 레이아웃을 참조로 사용할 수 있다.

- The high-speed switching current path includes the high-side FET, low-side FET, and output capacitors. This is a critical loop to minimize in order to reduce noise and achieve best performance.

고속 스위칭 전류 경로에는 하이 사이드 FET, 로우 사이드 FET 및 출력 커패시터가 포함된다. 이는 잡음을 줄이고 최상의 성능을 얻기 위해 최소화 해야하는 중요한 루프이다.

- Components connected to noise-sensitive circuitry should be located as close to the TPS4306x as possible, and be connected the AGND pin. This includes components connected to FB, COMP, SS, and RT/CLK pins.

노이즈에 민감한 회로에 연결된 부품은 가능한 한 TPS4306x에 가깝게 위치해야 하며 AGND 핀에 연결해야한다. 여기에는 FB, COMP, SS 및 RT / CLK 핀에 연결된 구성 요소가 포함됩니다.

- The PowerPAD should be connected to the quiet analog ground for the AGND pin to limit internal noise. For thermal performance, multiple vias directly under the device should be used to connect to any internal ground planes.

PowerPAD는 내부 잡음을 제한하기 위해 AGND 핀의 quiet analog 접지에 연결 되어야 한다. 온도 성능을 위해 소자 바로 아래에 있는 다중 비아를 사용하여 내부 접지 플레인에 연결해야 한다.

- Components in the power conversion path should be connected to the PGND. This includes the bulk input capacitors, output capacitors, low-side FET, and EN UVLO resistors.

전력 변환 경로의 구성 요소는 PGND에 연결되어야한다. 여기에는 벌크 입력 커패시터, 출력 커패시터, 로우 사이드 FET 및 EN UVLO 저항이 포함된다.

- A single connection must connect the quiet AGND to the noisy PGND near the PGND pin.

단일 연결은 quiet AGND 를 PGND 핀 근처의 잡음이 많은 PGND에 연결해야한다.

- The low-ESR ceramic bypass capacitor for the VIN pin should be connected to the quiet AGND as close as possible to the TPS4306x.

VIN 핀을위한 낮은 ESR 세라믹 바이 패스 커패시터는 TPS4306x에 최대한 가깝게 조용한 AGND에 연결 되어야한다.

- The distance between the inductor, low-side FET, and high-side FET should be minimized to reduce noise. This connection is the high-speed switching voltage node.

잡음을 줄이기 위해 인덕터, 로우 사이드 FET 및 하이 사이드 FET 사이의 거리를 최소화해야한다. 이 연결은 고속 스위칭 전압 노드이다.

- The high-side and low-side FETs should be placed close to the device to limit the trace length required for the HDRV and LDRV gate drive signals.

하이 사이드 및 로우 사이드 FET는 HDRV 및 LDRV 게이트 구동 신호에 필요한 트레이스 길이를 제한하기 위해 소자에 가깝게 배치해야한다.

- The bypass capacitor between the ISNS+ and ISNS- pins should be placed next to the TPS4306x. Minimize the distance between the device and the sense resistors.

ISNS +와 ISNS- 핀 사이의 바이 패스 커패시터는 TPS4306x 옆에 배치해야한다. 소자와 감지 저항 사이의 거리를 최소화하십시오.

11.3 Thermal Considerations 온도 고려사항

The TPS4306x junction temperature should not exceed 150°C under normal operating conditions. This restriction limits the power dissipation of the device. Power dissipation of the controller includes gate drive power loss and bias power loss of the internal VCC regulator. The TPS4306x is packaged in a thermally-enhanced WQFN package, which includes a PowerPAD that improves the thermal capabilities. The thermal resistance of the WQFN package depends on the PCB layout and the PowerPAD connection. As mentioned in the layout considerations, the PowerPAD must be soldered to the analog ground on the PCB with thermal vias underneath the PowerPAD to achieve good thermal performance.

정상 작동 조건에서 TPS4306x 접합 온도는 150 ° C를 초과하지 않아야합니다. 이 제한은 장치의 전력 손실을 제한합니다. 컨트롤러의 전력 손실에는 게이트 구동 전력 손실과 내부 VCC 레귤레이터의 바이어스 전력 손실이 포함된다. TPS4306x는 열 기능이 향상된 PowerPAD가 포함된 열 성능이 향상된 WQFN 패키지로 제공됩니다. WQFN 패키지의 열 저항은 PCB 레이아웃과 PowerPAD 연결에 따라 다르다. 레이아웃 고려 사항에서 언급했듯이 PowerPAD는 열 성능을 높이기 위해 PowerPAD 아래에 열 비아 (therm via)가 있는 PCB의 아날로그 접지에 납땜되어야합니다.

For best thermal performance, PCB copper area should be sized to improve thermal capabilities of the components in the power path dissipating the most power. This includes the sense resistors, inductor, low-side FET, and high-side FET. Follow the manufacturer guidelines for the selected external FETs.

최상의 열 성능을 위해 대부분의 전력을 소모하는 전원 경로에서 구성 요소의 열 성능을 향상시키기 위해 PCB 구리 영역의 크기를 조정해야합니다. 여기에는 감지 저항, 인덕터, 로우 사이드 FET 및 하이 사이드 FET로 구성된다. 선택된 외부 FET에 대한 제조업체 지침을 따르십시오.

