

1. 특징

- Integrated Shielded Inductor

통합 차폐 인덕터

- Simple PCB Layout

간단한 PCB 레이아웃

- Fixed Switching Frequency (350 kHz)

고정 스위칭 주파수 (350 kHz)

- Flexible Start-up Sequencing Using External Soft-Start, Tracking and Precision Enable

외부 소프트 스타트, 트래킹 및 정밀 인 에이블을 이용한 유연한 스타트 업 시퀀싱

- Protection Against Inrush Currents and Faults Such as Input UVLO and Output Short Circuit

돌입 전류 및 입력 UVLO 및 출력 단락 회로에 대한 보호

- Junction Temperature Range -40°C to 125°C

접합 온도 범위 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$

- Single Exposed Pad and Standard Pinout for Easy Mounting and Manufacturing

쉬운 실장 및 제조를 위한 단일 노출 패드 및 표준 핀아웃

- Fully Enabled for WEBENCH® Power Designer

WEBENCH® Power Designer를 완벽하게 사용할 수 있습니다.

- Pin Compatible With LMZ22010/08, LMZ12010/08, LMZ23610/08/06H, and LMZ13610/06H

LMZ22010 / 08, LMZ12010 / 08, LMZ23610 / 08 / 06H 및 LMZ13610 / 06H와 핀 호환 가능

- Performance Benefits

성능 이점

- High Efficiency Reduces System Heat Generation

고효율로 시스템 열 방출 감소 세대

- Low Radiated Emissions (EMI) Tested to EN55022 Class B Standard

EN55022 클래스 B 표준에 따라 테스트 된 저 발진 방사 (EMI)

- Only 7 External Components

오직 7 개의 외부 부품

- Low Output Voltage Ripple

낮은 출력 전압 리플

- No External Heat Sink Required

외부 방열판 불필요

- Electrical Specifications

전기적 사양

- 40-W Maximum Total Output Power

40W 최대 총 출력 전력

- Up to 8-A Output Current

최대 8 A 출력 전류

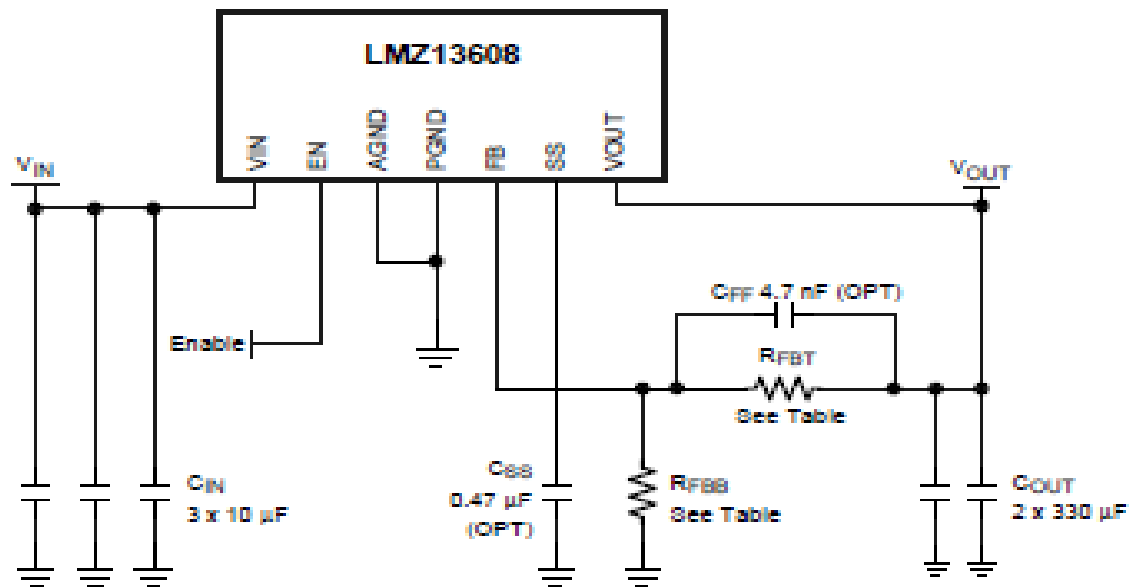
– Input Voltage Range 6 V to 36 V
 입력 전압 범위 6 V ~ 36 V
 – Output Voltage Range 0.8 V to 6 V
 출력 전압 범위 : 0.8 V ~ 6 V

– Efficiency up to 92%
 최대 92 % 효율

NOTE: EN 55022:2006, +A1:2007, FCC Part 15 Subpart B,
 Tested on Evaluation Board with EMI Configuration

EN 55022 : 2006, + A1 : 2007, FCC Part 15 Subpart B, EMI 구성으로 평가 보드에서 테스트

Simplified Application Schematic



2 Applications

- Point-of-load Conversions from 12-V and 24-V Input Rail
 12V 및 24V 입력 레일로부터의 POL (point-of-load) 변환
- Time-Critical Projects
 시간이 중요한 프로젝트
- Space Constrained and High Thermal Requirement Applications
 공간 제약적이고 높은 온도 요구 사항 애플리케이션
- Negative Output Voltage Applications (See AN-2027, SNVA425)
 네거티브 출력 전압 애플리케이션 (AN-2027, SNVA425 참조)

3 Description

설명

The LMZ13608 SIMPLE SWITCHER® power module is an easy-to-use step-down DC-DC solution capable of driving up to 8-A load.

LMZ13608 SIMPLE SWITCHER® 전원 모듈은 사용이 간편한 스텝 다운 DC-DC 솔루션으로 최대 8A의 부하를 견딜 수 있습니다.

The LMZ13608 is available in an innovative package that enhances thermal performance and allows for hand or machine soldering.

LMZ13608은 열 성능을 향상시키고 수동 또는 기계 납땜을 가능하게하는 혁신적인 패키지로 제공됩니다.

The LMZ13608 can accept an input voltage rail between 6 V and 36 V and can deliver an adjustable and highly accurate output voltage as low as 0.8 V.

LMZ13608은 6V ~ 36V 사이의 입력 전압 레일을 수용 할 수 있으며 0.8V의 낮은 수준의 조정 가능하고 매우 정확한 출력 전압을 제공 할 수 있습니다.

The LMZ13608 only requires two external resistors and three external capacitors to complete the power solution.

LMZ13608은 전력 솔루션을 완성하기 위해 2 개의 외부 저항과 3 개의 외부 커패시터 만 필요로 한다.

The LMZ13608 is a reliable and robust design with the following protection features:

LMZ13608은 다음과 같은 보호 기능을 갖춘 견고하고 견고한 설계입니다.

thermal shutdown, input undervoltage lockout, output overvoltage protection, short circuit protection, output current limit, and the device allows start-up into a prebiased output.

과전압 섯다운, 입력 저전압 록 아웃, 출력 과전압 보호, 단락 회로 보호, 출력 전류 제한 등이 있으며,이 디바이스는 프리 바이어스 출력으로 시동 할 수있다.

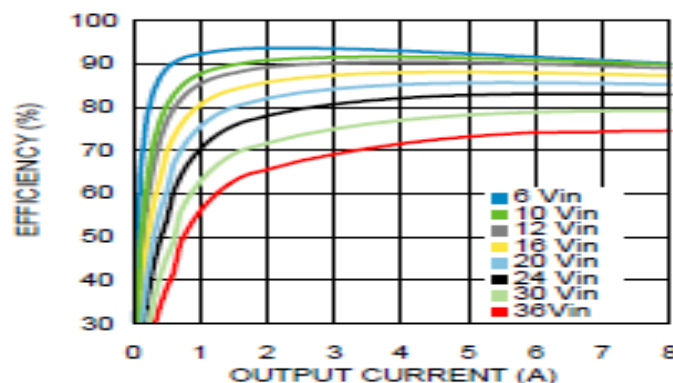
Device Information⁽¹⁾⁽²⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
LMZ13608	NDY (11)	15.00 mm × 15.00 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

(2) Peak reflow temperature equals 245°C. See SNAA214 for more details.

Efficiency 3.3-V Output at 25°C



(1) For all available packages, see the orderable addendum at the end of the data sheet.

사용 가능한 모든 패키지는 데이터 시트 끝에있는 주문 가능한 부록을 참조하십시오.

(2) Peak reflow temperature equals 245°C. See SNAA214 for more details.

피크 리플로우 온도는 245 ° C입니다. 자세한 내용은 SNAA214를 참조하십시오.

5 Pin Configuration and Functions

5 핀 구성 및 기능

PIN		TYPE	DESCRIPTION
NAME	NO.		
AGND	3	Ground	아날로그 접지 - 언급된 모든 전압에 대한 기준점. 반드시 외부에서 EP / PGND에 연결해야 합니다.
	5		
	6		
EN	4	Analog	<p>Enable - 정밀 인 에이블 비교기에 입력합니다. 상승 임계 값은 일반적으로 1.274V입니다.</p> <p>모듈이 인 에이블되면 20μA 소스 전류가 프로그래밍 가능 히스테리시스를 수용하도록 내부적으로 활성화됩니다</p>
FB	7	Analog	<p>피드백 - 내부적으로 규정, 과전압 및 단락 회로 비교기에 연결됩니다.</p> <p>레귤레이션 기준 포인트는 이 입력 핀에서 0.8V이다.</p> <p>출력 전압을 설정하려면 출력 저항과 AGND 사이에 피드백 저항 분배기를 연결하십시오.</p>
NC	9	-	<p>연결 안됨. 이 핀은 부유해야 하며 접지하지 마십시오.</p>
PGND	-	Ground	<p>모듈 내 전원 회로에 대한 노출형 패드 / 전원 접지 전기 경로. - NOT AGND / pin 5에 내부적으로 연결됨.</p> <p>작동 중에 패키지에서 열을 방출하는 데</p>

			<p>사용됩니다.</p> <p>패키지 외부 핀 5에 전기적으로 연결되어야합니다.</p>
SS	8	Analog	<p>소프트 스타트 / 트랙 입력 - 1.6ms 내부 소프트 스타트를 연장하려면 외부 소프트 스타트 커패시터를 연결한다.</p> <p>트래킹을 위해 우선 순위가 높은 전원 레일에 연결된 외부 저항 분배기에 연결합니다.</p> <p>디자인 단계 섹션을 참조하십시오.</p>
VIN	1	Power	<p>전원 입력 - 공칭 작동 범위는 6V ~ 36V입니다.</p> <p>소량의 내부 커패시턴스가 패키지 어셈블리 내에 포함되어 있습니다.</p> <p>이 2 핀과 PGND 사이에 추가적인 외부 입력 커패시턴스가 필요하다.</p>
	2		
VOUT	10	Power	<p>출력 전압 - 내부 인덕터의 출력. 이 핀과 PGND 사이에 출력 커패시터를 연결한다.</p>
	11		

6 Specifications 사양

6.1 Absolute Maximum Ratings 절대 최대 정격

over operating free-air temperature range (unless otherwise noted)(1)(2)(3)

작동대기 온도범위 이상(별도의 언급이 없는한)(1)(2)(3)

over operating free-air temperature range (unless otherwise noted)⁽¹⁾⁽²⁾⁽³⁾

	MIN	MAX	UNIT
VIN to PGND	-0.3	40	V
EN to AGND	-0.3	5.5	V
SS, FB to AGND	-0.3	2.5	V
AGND to PGND	-0.3	0.3	V
Junction temperature		150	°C
Storage temperature, T _{stg}	-65	150	°C

(1) Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device.

(1) 절대 최대 정격에 나열된 내용 이외의 스트레스는 장치에 영구적 인 손상을 줄 수 있습니다.

These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under Recommended Operating Conditions.

이는 스트레스 등급으로, 권장 작동 조건에 명시된 조건 이외의 조건에서 장치의 기능 작동을 의미하지는 않습니다.

Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

장기간 절대 최대 정격 조건에 노출되면 장치의 신뢰성에 영향을 줄 수 있습니다.

(2) If Military/Aerospace specified devices are required, please contact the Texas Instruments Sales Office/Distributors for availability and specifications.

(2) 군사 / 항공 우주 지정 장치가 필요한 경우 Texas Instruments 영업 사무소 / 대리점에 가용성 및 사양을 문의하십시오.

6.2 ESD 정격

6.2 ESD Ratings

	VALUE	UNIT
V _(ESD) Electrostatic discharge Human body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾⁽²⁾	±2000	V

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

(1) JEDEC 문서 JEP155에 따르면 500-V HBM은 표준 ESD 제어 프로세스로 안전하게 제조할 수 있다고 명시하고 있습니다.

(2) The human body model is a 100-pF capacitor discharged through a 1.5-kΩ resistor into each pin. Test method is per JESD-22-114

(2) 인체 모델은 각 핀에 1.5kΩ 저항을 통해 방전되는 100pF 커패시터입니다. 시험 방법은 JESD-22-114에 따른다.

6.3 권장 작동조건

6.3 Recommended Operating Conditions

	MIN	MAX	UNIT
VIN	6	36	V
EN	0	5	V
Operation Junction Temperature	-40	125	°C

6.4 열 정보

6.4 Thermal Information

THERMAL METRIC ⁽¹⁾		LMZ13608	UNIT	
		NDY		
		11 PINS		
R _{θJA}	Junction-to-ambient thermal resistance ⁽²⁾	Natural Convection	9.9	°C/W
		225 LFPM	6.8	
		500 LFPM	5.2	
R _{θJC(top)}	Junction-to-case (top) thermal resistance		1.0	°C/W

(1) For more information about traditional and new thermal metrics, see the Semiconductor and IC Package Thermal Metrics application report, SPRA953.

(1) 기존 및 새로운 열 메트릭에 대한 자세한 내용은 반도체 및 IC 패키지 열 메트릭 애플리케이션 보고서, SPRA953을 참조하십시오.

(2) R_{θJA} measured on a 3.0-in x 3.5-in 4-layer board, with 2-oz. copper on outer layers and 1-oz. copper on inner layers, two hundred and ten thermal vias, and 2-W power dissipation.

(2) R_{θJA}는 3.0 in x 3.5 in 4-layer 보드에서 2 온스로 측정됩니다.

외부 층과 1 온스의 구리.

내부 레이어의 구리, 210 개의 열 비아 및 2-W 전력 손실.

Refer to evaluation board application note layout diagrams.

평가 보드 애플리케이션 노트 레이아웃 다이어그램을 참조하십시오.

6.5 Electrical Characteristics 전기적 특성

Limits are for T_J = 25°C unless otherwise specified. Minimum and Maximum limits are specified through test, design or statistical correlation.

달리 명시되지 않는 한, 한계는 T_J = 25 °C에 대한 것입니다. 최소 및 최대 한계는 테스트, 설계 또는 통계적 상관 관계를 통해 지정됩니다.

Typical values represent the most likely parametric norm at T_J = 25°C, and are provided for reference purposes only.

일반적인 값은 $T_J = 25^\circ\text{C}$ 에서 가장 가능성있는 파라 메트릭 표준을 나타내며 참조 용으로만 제공됩니다.

Unless otherwise stated the following conditions apply:

$V_{IN} = 12\text{ V}$, $V_{OUT} = 3.3\text{ V}$

달리 명시되지 않는 한 다음 조건이 적용됩니다.

$V_{IN} = 12\text{V}$, $V_{OUT} = 3.3\text{V}$

PARAMETER		TEST CONDITIONS	MIN ⁽¹⁾	TYP ⁽²⁾	MAX ⁽¹⁾	UNIT	
SYSTEM PARAMETERS							
ENABLE CONTROL							
V _{EN}	EN threshold	V _{EN} rising	1.274		V		
			over the junction temperature (T _J) range of -40°C to +125°C				
		1.096	1.452				
I _{EN-HYS}	EN hysteresis source current	V _{EN} > 1.274 V		13		μA	
SOFT-START							
I _{SS}	SS source current	V _{SS} = 0 V	50		μA		
			over the junction temperature (T _J) range of -40°C to +125°C				
		40	60				
t _{SS}	Internal soft-start interval			1.6		ms	
CURRENT LIMIT							
I _{CL}	Current limit threshold	DC average	10.5		A		
INTERNAL SWITCHING OSCILLATOR							
f _{osc}	Free-running oscillator frequency			314	359	404	kHz

PARAMETER		TEST CONDITIONS		MIN ⁽¹⁾	TYP ⁽²⁾	MAX ⁽¹⁾	UNIT
SYSTEM PARAMETERS							
ENABLE CONTROL							
V _{EN}	EN threshold	V _{EN} rising		1.274		V	
			over the junction temperature (T _J) range of −40°C to +125°C	1.096	1.452		
I _{EN-HYS}	EN hysteresis source current	V _{EN} > 1.274 V		13			μA
SOFT-START							
I _{SS}	SS source current	V _{SS} = 0 V		50		μA	
			over the junction temperature (T _J) range of −40°C to +125°C	40	60		
t _{SS}	Internal soft-start interval			1.6			ms
CURRENT LIMIT							
I _{CL}	Current limit threshold	DC average		10.5			A
INTERNAL SWITCHING OSCILLATOR							
f _{osc}	Free-running oscillator frequency			314	359	404	kHz

(1) Minimum and Maximum limits are 100% production tested at 25°C . Limits over the operating temperature range are specified through correlation using Statistical Quality Control (SQC) methods.

(1) 최소 및 최대 한계는 25°C 에서 100 % 생산 테스트를 거쳤습니다. 작동 온도 범위에 대한 제한은 통계적 품질 관리 (SQC) 방법을 사용하여 상관 관계를 통해 지정됩니다.

Limits are used to calculate TI's Average Outgoing Quality Level (AOQL).

한계는 TI의 평균 발신 품질 수준 (AOQL)을 계산하는 데 사용됩니다.

(2) Typical numbers are at 25°C and represent the most likely parametric norm.

(2) 일반적인 수치는 25 ° C이며 가장 일반적인 파라 메트릭 표준입니다.

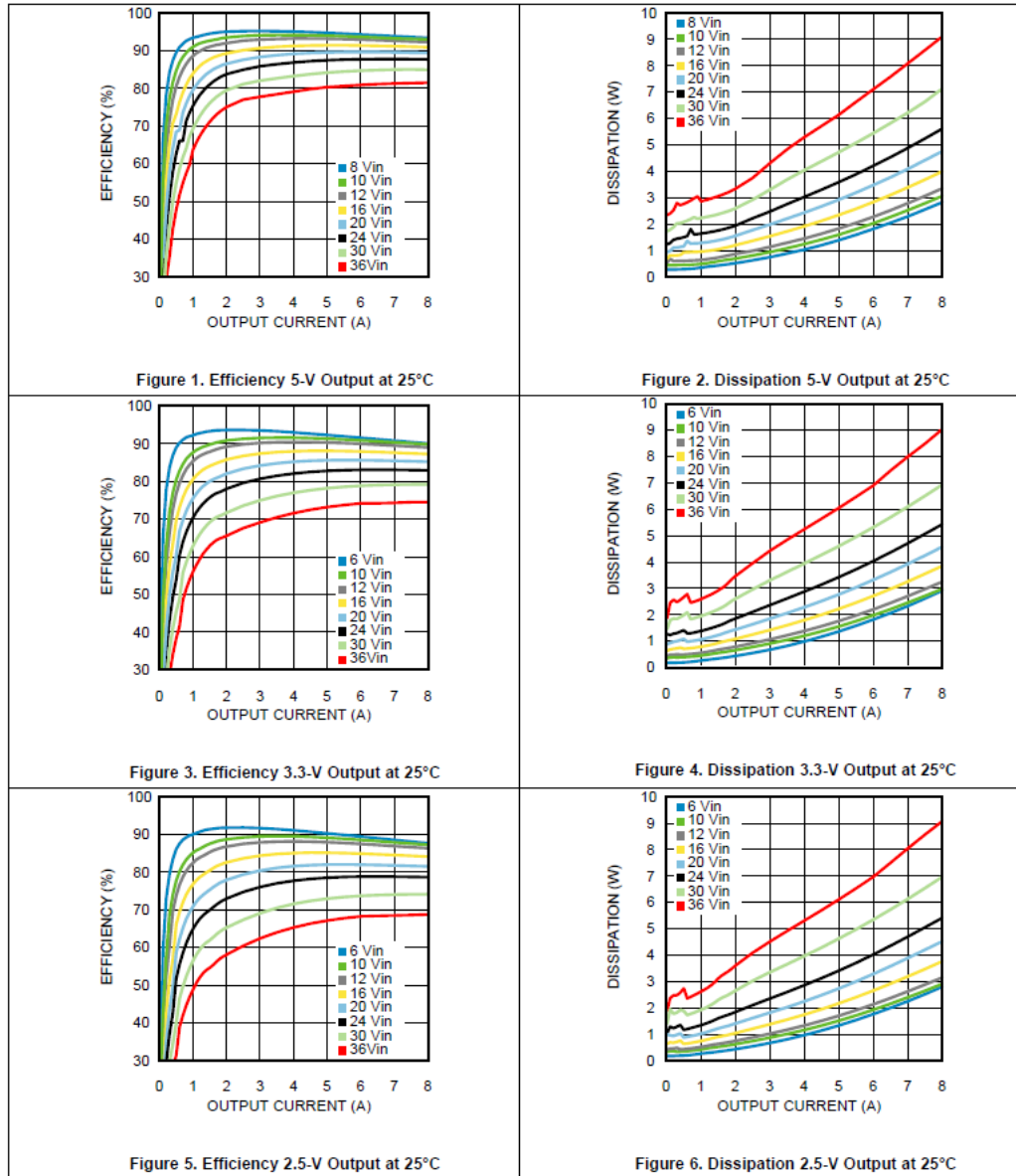
6.6 Typical Characteristics전형적인 특성

Unless otherwise specified, the following conditions apply:
달리 명시되지 않는 한 다음 조건이 적용됩니다.

VIN = 12 V; CIN = three × 10 μF + 47-nF X7R Ceramic; COUT = two × 330-μF Specialty Polymer + 47-μF Ceramic + 47-nF Ceramic;

CFF = 4.7 nF; TA = 25° C for waveforms.

All indicated temperatures are ambient.
표시된 모든 온도는 주변 온도입니다.



Typical Characteristics (continued)일반적인 특성 (계속)

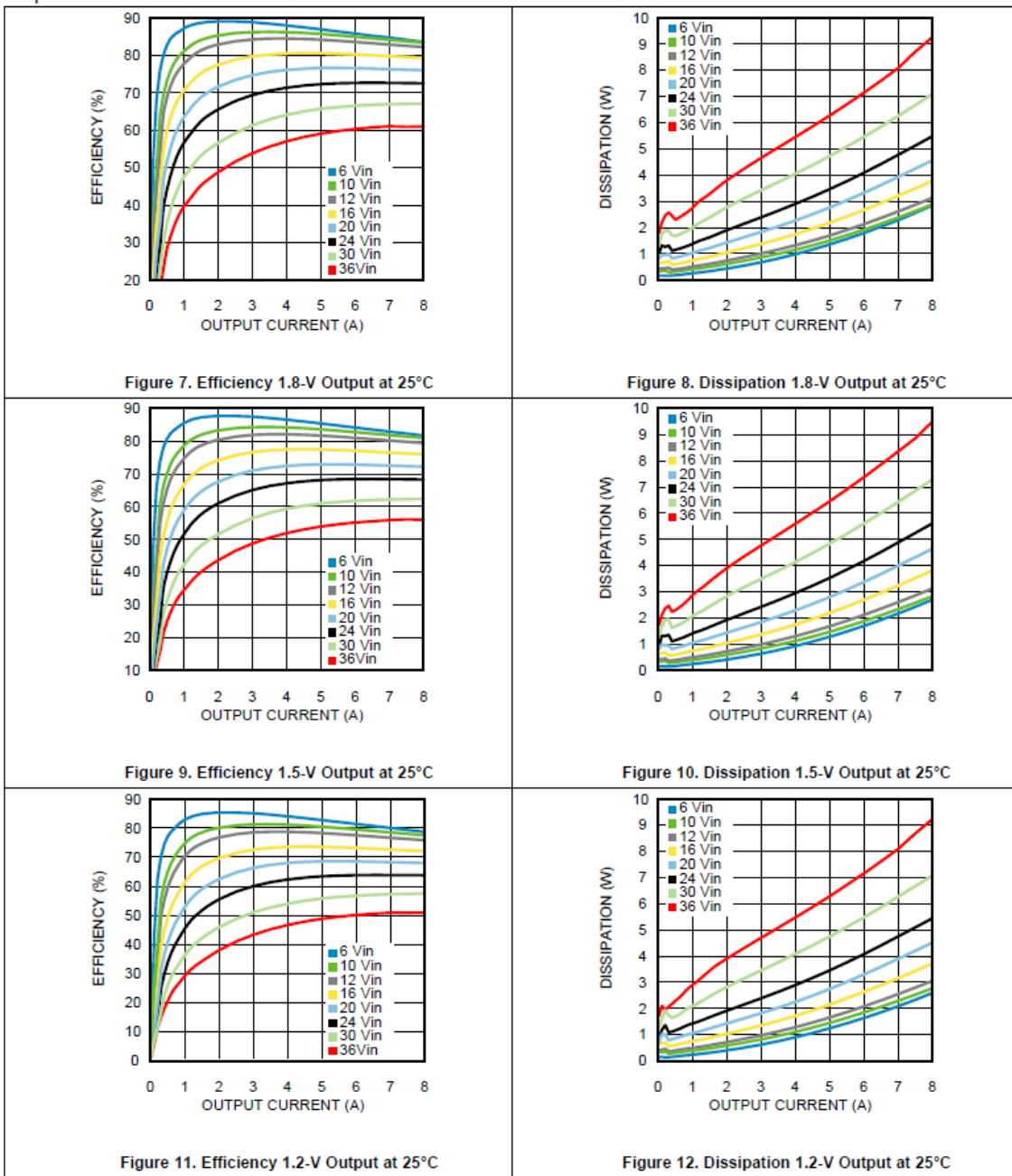
Unless otherwise specified, the following conditions apply:

달리 명시되지 않는 한 다음 조건이 적용됩니다.

VIN = 12 V; CIN = three × 10 μF + 47-nF X7R Ceramic; COUT = two × 330-μF Specialty Polymer + 47-μF Ceramic + 47-nF Ceramic;
CFF = 4.7 nF; TA = 25° C for waveforms.

All indicated temperatures are ambient.

표시된 모든 온도는 주변 온도입니다.



continued..

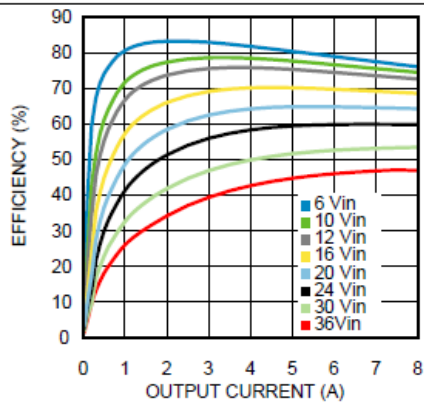


Figure 13. Efficiency 1-V Output at 25°C

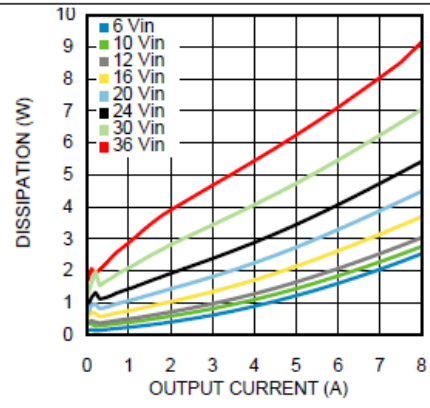


Figure 14. Dissipation 1-V Output at 25°C

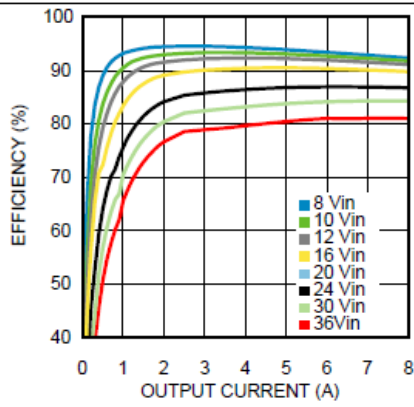


Figure 15. Efficiency 5-V Output at 85°C

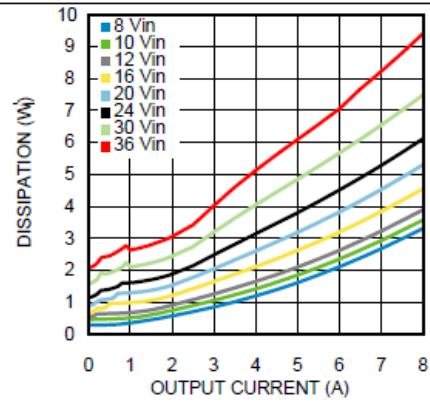


Figure 16. Dissipation 5-V Output at 85°C

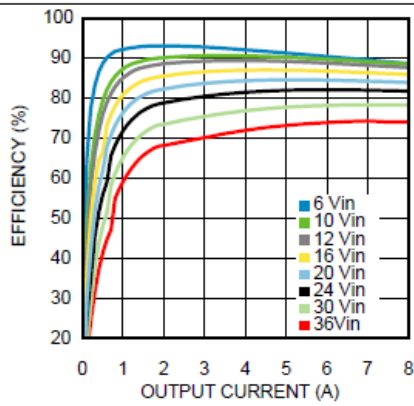


Figure 17. Efficiency 3.3-V Output at 85°C

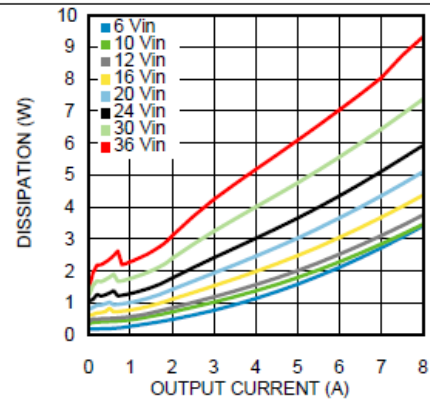


Figure 18. Dissipation 3.3-V Output at 85°C

continued..

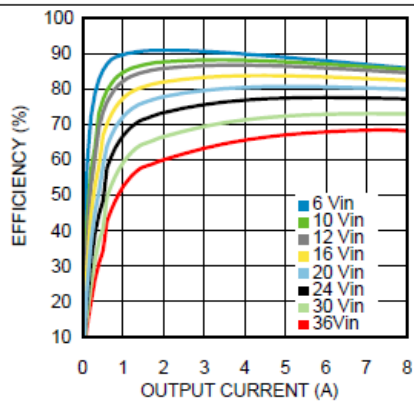


Figure 19. Efficiency 2.5-V Output at 85°C

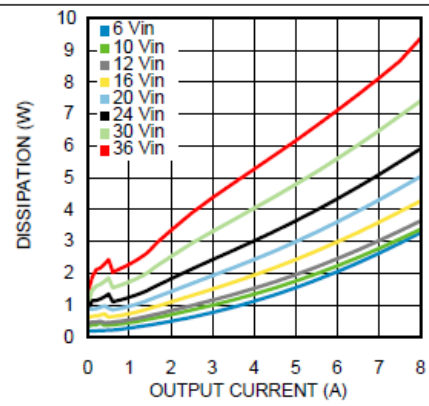


Figure 20. Dissipation 2.5-V Output at 85°C

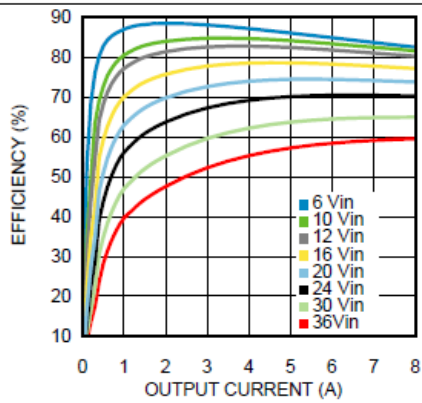


Figure 21. Efficiency 1.8-V Output at 85°C

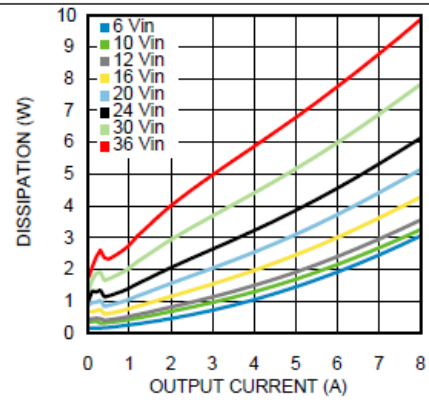


Figure 22. Dissipation 1.8-V Output at 85°C

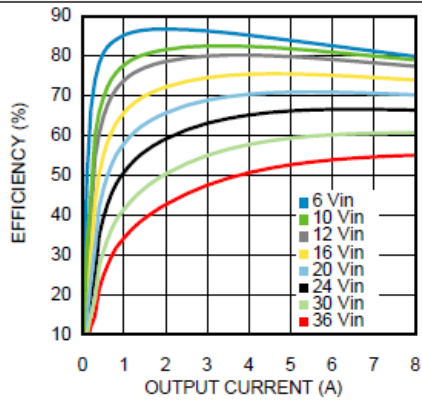


Figure 23. Efficiency 1.5-V Output at 85°C

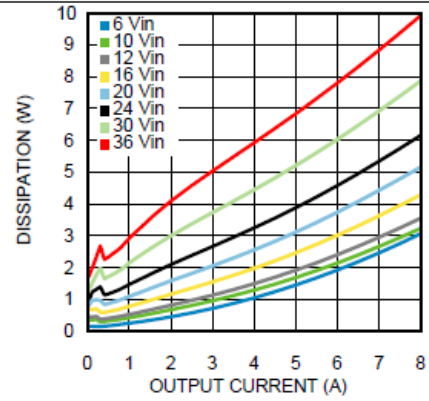


Figure 24. Dissipation 1.5-V Output at 85°C

continued..

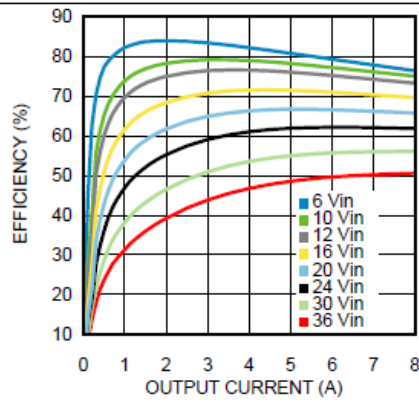


Figure 25. Efficiency 1.2-V Output at 85°C

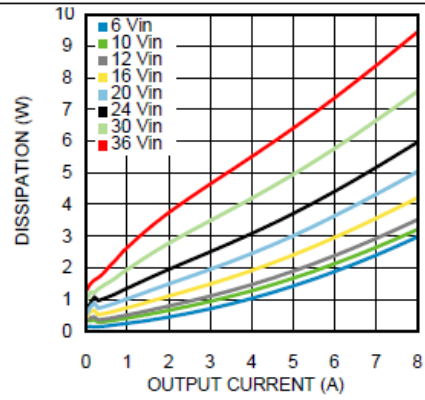


Figure 26. Dissipation 1.2-V Output at 85°C

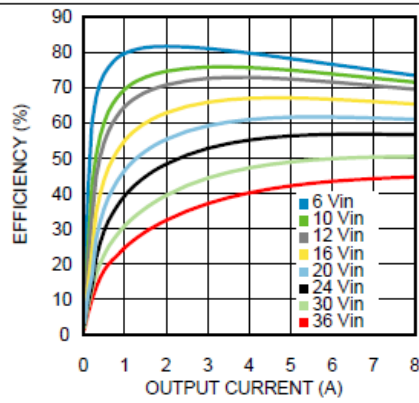


Figure 27. Efficiency 1-V Output at 85°C

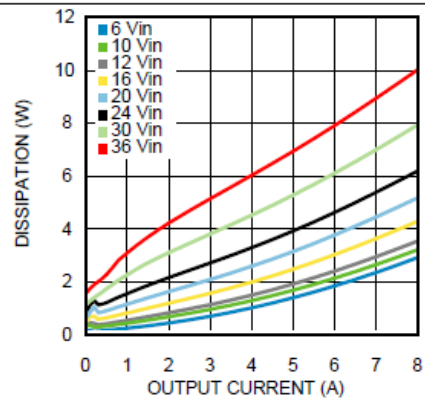
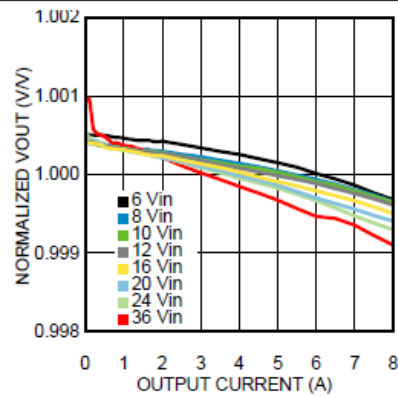
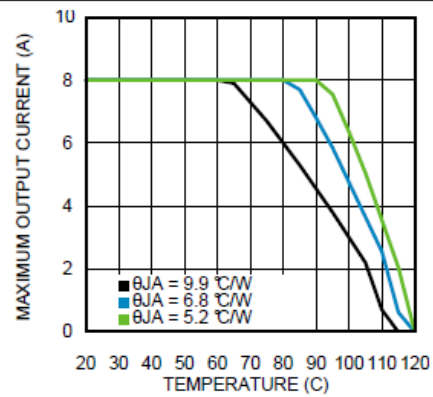


Figure 28. Dissipation 1-V Output at 85°C



$V_{OUT} = 3.3 \text{ V}$

Figure 29. Normalized Line and Load Regulation



$V_{IN} = 24 \text{ V}$, $V_{OUT} = 5 \text{ V}$

Figure 30. Thermal Derating

continued..

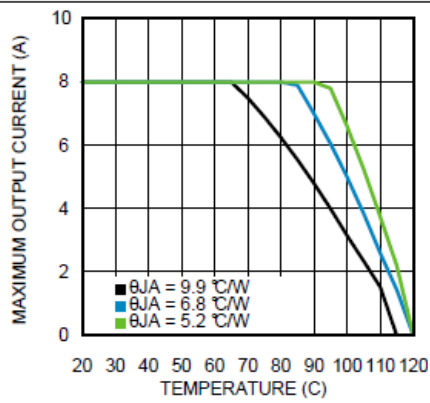


Figure 31. Thermal Derating

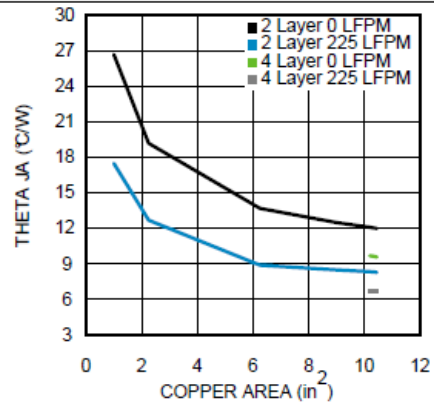
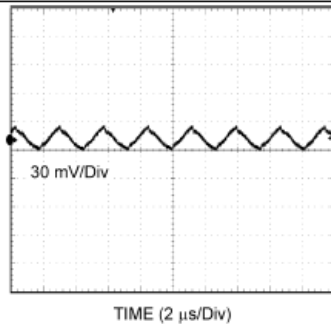
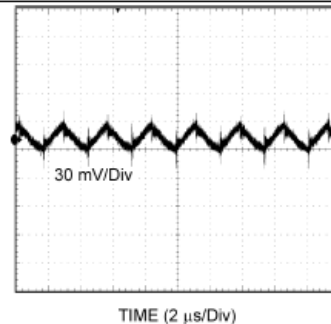


Figure 32. θ_{JA} vs Copper Heat Sinking Area



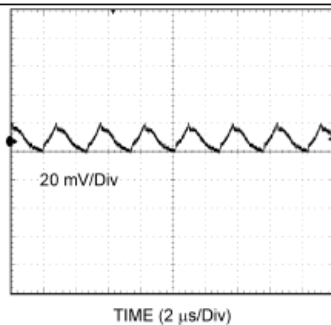
12 V_{IN} , 5 V_{OUT} at Full Load, BW = 20 MHz

Figure 33. Output Ripple



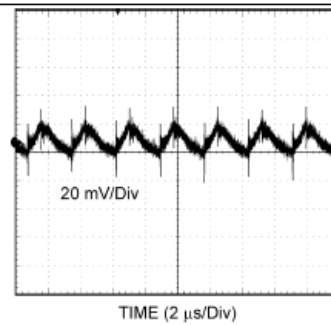
12 V_{IN} , 5 V_{OUT} at Full Load, BW = 250 MHz

Figure 34. Output Ripple



12 V_{IN} , 3.3 V_{OUT} at Full Load, BW = 20 MHz

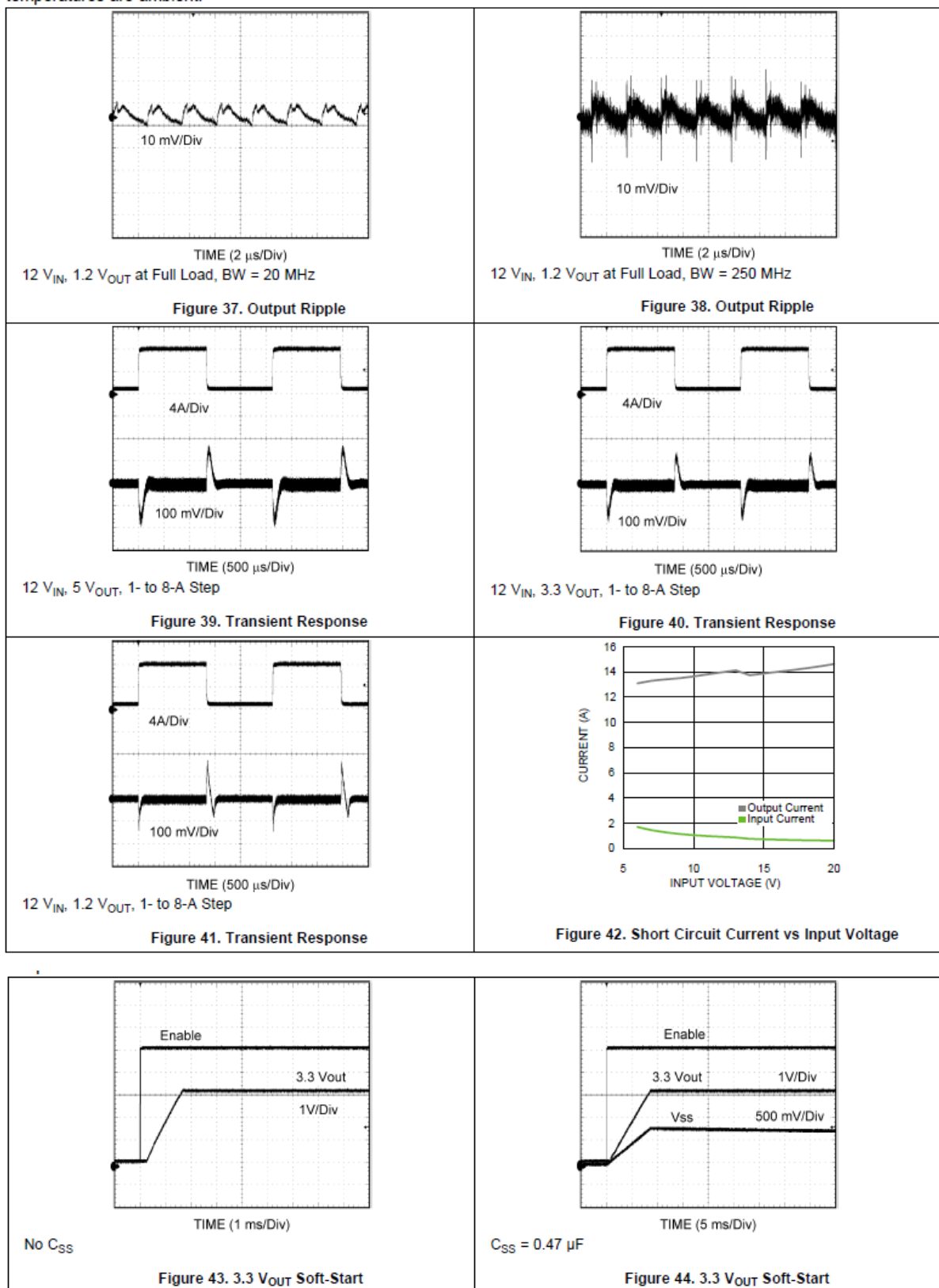
Figure 35. Output Ripple



12 V_{IN} , 3.3 V_{OUT} at Full Load, BW = 250 MHz

Figure 36. Output Ripple

continued..



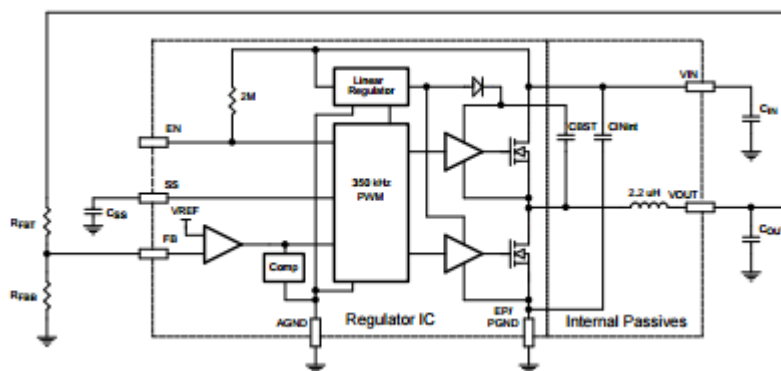
7 Detailed Description (상세 설명)

7.1 Overview

The architecture used is an internally compensated emulated peak current mode control, based on a monolithic synchronous SIMPLE SWITCHER core capable of supporting high load currents. The output voltage is maintained through feedback compared with an internal 0.8-V reference. For emulated peak current-mode, the valley current is sampled on the down-slope of the inductor current. This is used as the DC value of current to start the next cycle. The primary application for emulated peak current-mode is high input voltage to low output voltage operating at a narrow duty cycle. By sampling the inductor current at the end of the switching cycle and adding an external ramp, the minimum ON-time can be significantly reduced, without the need for blanking or filtering which is normally required for peak current-mode control.

사용되는 아키텍처는 높은 부하 전류를 지원하는 단일 동기 SIMPLE SWITCHER 코어를 기반으로 한 내부 보상 에몰레이트 된 피크 전류 모드를 제어합니다. 출력 전압은 내부 0.8V의 기준과 비교하여 피드백을 통해 유지된다. 에몰레이트 된 피크 전류 모드 밸리 전류는 인덕터 전류의 다운 슬로프에서 샘플링됩니다. 이것은 다음 사이클을 시작하는 전류의 DC값으로 사용됩니다. 에몰레이트 된 피크 전류 모드의 주요 응용 프로그램은 좁은 듀티 사이클에서 작동하는 높은 입력 전압에서 낮은 출력 전압입니다. 스위칭 사이클 종료 인덕터 전류를 샘플링하여 외부 램프를 추가함으로써 피크 전류 모드 제어에 일반적으로 필요한 블랭킹 또는 필터링을 필요로 하지 않고, 최소 온 타임을 대폭 단축 할 수 있습니다.

7.2 Functional Block Diagram (기능 블록 다이어그램)



7.3 Feature Description (기능 설명)

7.3.1 Output Overvoltage Protection (출력 과전압 보호)

If the voltage at FB is greater than a 0.86-V internal reference, the output of the error amplifier is pulled toward ground, causing VOUT to fall.

FB 전압이 0.86V의 내부 레퍼런스보다 큰 경우, 오차 증폭기의 출력은 그라운드로 끌어 올려 VOUT가 떨어집니다.

7.3.2 Current Limit (전류 제한)

The LMZ13608 is protected by both low-side (LS) and high-side (HS) current limit circuitry. The LS current limit detection is carried out during the off-time by monitoring the current through the LS synchronous MOSFET. Referring to the Functional Block Diagram, when the top MOSFET is turned off, the inductor current flows through the load, the PGND pin and the internal synchronous MOSFET. If this current exceeds 13 A (typical) the current limit comparator disables the start of the next switching period. Switching cycles are prohibited until current drops below the limit.

LMZ13608는 로우 사이드 (LS) 및 하이 사이드 (HS) 전류 제한 회로 모두에 의해 보호되고 있습니다. LS 전류 제한 검출은 LS 싱크로너스(동기) MOSFET에 흐르는 전류를 모니터함으로써 오프 시간에 실행됩니다. 기능 블록도를 참조하면, 상부 MOSFET을 오프하면 인덕터 전류가 부하 PGND 핀 및 내부 싱크로너스 MOSFET로 흐릅니다 이 전류가 13A(표준, 통상적인)을 초과하면 전류 제한 비교기는 다음 스위칭 기간의 시작을 비활성화 합니다. 스위칭 주기는 전류가 한계 미만까지 금지되어 있습니다.

NOTE : DC current limit is dependent on duty cycle as illustrated in the graph in the Typical Characteristics.

주의 : DC 전류 제한은 "표준 특성"의 그래프와 같이 듀티 사이클에 따라 달라집니다.

The HS current limit monitors the current of top side MOSFET. Once HS current limit is detected (16 A typical) , the HS MOSFET is shutoff immediately, until the next cycle.

HS 전류 제한은 톱 사이드 MOSFET의 전류를 모니터링합니다. HS 전류 제한이 감지되면 (표준 16A), HS MOSFET은 다음 사이클까지 즉시 차단됩니다.

Exceeding HS current limit causes VOUT to fall. Typical behavior of exceeding LS current limit is that fSW drops to 1/2 of the operating frequency.

HS 전류 제한을 초과하면 VOUT가 떨어집니다. LS 전류 제한을 초과 전형적인 동작은 fSW가 동작 주파수의 1/2로 감소하는 것입니다.

Feature Description (continued) 기능설명

7.3.3 Thermal Protection (열 보호)

The junction temperature of the LMZ13608 must not be allowed to exceed its maximum ratings. Thermal protection is implemented by an internal Thermal Shutdown circuit which activates at 165°C (typical) causing the device to enter a low power standby state. . In this state the main MOSFET remains off causing VOUT to fall, and additionally the CSS capacitor is discharged to ground. Thermal protection helps prevent catastrophic failures for accidental device overheating. When the junction temperature falls back below 150°C (typical hysteresis = 15°C) the SS pin is released. VOUT rises smoothly, and normal operation resumes.

LMZ13608의 접합 온도는 ICT의 최대 정격을 초과하지 않도록 해야 한다. 열 보호는 내부의 열 섯다운 회로에 의해 실행되고, 165°C(표준) 에서 간략히 회로가 활성화 내부 열 섯다운에 의해 구현된다. 이 상태에서 메인 MOSFET은 꺼진 상태에서 VOUT이 저하되고, 또한 CSS 커패시터가 접지에 방전된다. 열 보호 실수로 장치 과열 예방에 심각한 고장을 방지 할 수 있습니다 . 접한 온도가 다시 150°C(전형적인 히스테리시스 = 15°C) 이하로 떨어지면 SS핀이 해제됩니다. VOUT이 원활하게 상승하고, 정상 작동이 재개됩니다.

Applications requiring maximum output current especially those at high input voltage may require additional derating at elevated temperatures.

요구하는 최대 출력 전류 애플리케이션은 특히 높은 입력 전압에서 사람들은 높은 온도에서 추가 경감을 요구할 수 있다.

7.3.4 Prebiased Start-Up

The LMZ13608 will properly start up into a prebiased output. This start-up situation is common in multiple rail logic applications where current paths may exist between different power rails during the start-up sequence. Figure 45 shows proper behavior in this mode. Trace one is Enable going high. Trace two is 1.8-V prebias rising to 3.3 V. Trace three is the SS voltage with a CSS= 0.47 μ F. Rise-time determined by CSS.

LMZ13608 제대로 프리 바이어스 출력으로 시작됩니다. 이 스타트 업 조건은 전류 경로가 스타트 업 시퀀스 동안 다른전원 레일을 엔터있다 존재하는 다수의 레일 로직 애플리케이션에서 일반적 입니다. 그림 45는 이 모드에서 올바른 작동을 보여줍니다. 추적하는 것은 Enable going high입니다. 2개의 추적은 3.3.V상승 1.8v 프리 바이어스입니다. 트레이스 3은 CSS = 0.47 μ F의 SS전압입니다. 라이즈 타임은 CSS에 의해 결정됩니다.

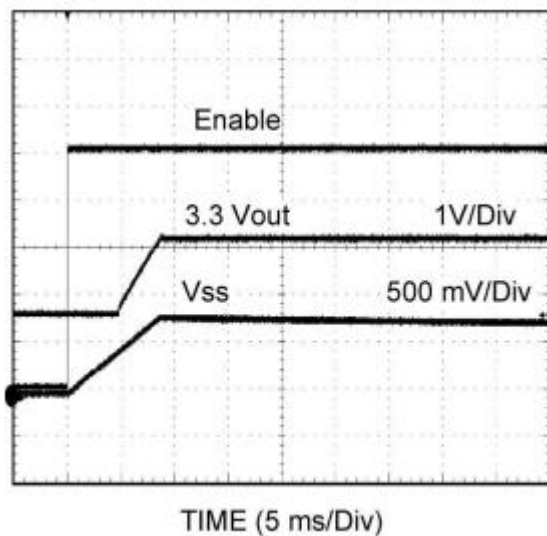


Figure 45. Prebiased Start-Up

7.4 Device Functional Modes (장치 기능 모드)

7.4.1 Discontinuous Conduction and Continuous Conduction Modes

(불연속 전도 및 연속 전도 모드)

At light load the regulator will operate in discontinuous conduction mode (DCM). With load currents above the critical conduction point, it will operate in continuous conduction mode (CCM). When operating in DCM, inductor current is maintained to an average value equaling I_{OUT} . In DCM the low-side switch will turn off when the inductor current falls to zero, this causes the inductor current to resonate. Although it is in DCM, the current is allowed to go slightly negative to charge the bootstrap capacitor.

낮은 부하에서 레귤레이터는 불연속 전도 모드 (DCM)로 동작한다. 임계 전도 점을 넘는 부하 전류는 연속 전도 모드 (CCM)에서 작동됩니다. DCM에서 동작시키는 경우 인덕터 전류는 I_{OUT} 에 동일한 평균에 유지됩니다. DCM에서는 인덕터 전류가 제로가 되면 로우 사이드 스위치가 꺼지고 인덕터 전류가 공진한다. 이것은 DCM에 있더라도, 전류는 약간 씩 마이너스가 되어 부트 스트랩 커패시터를 충전할 수 있다.

In CCM, current flows through the inductor through the entire switching cycle and never falls to zero during the OFF-time.

CCM에서 전류는 전체 스위칭 사이클 동안 인덕터를 통해 흐르고 OFF시간 동안 결코 0으로 떨어지지 않는다 .

Figure 46 is a comparison pair of waveforms showing both the CCM (upper) and DCM operating modes.

그림 46은 CCM (상단)모드와 DCM동작 모드를 모두 보여주는 쌍의 파형입니다.

Device Functional Modes (continued)

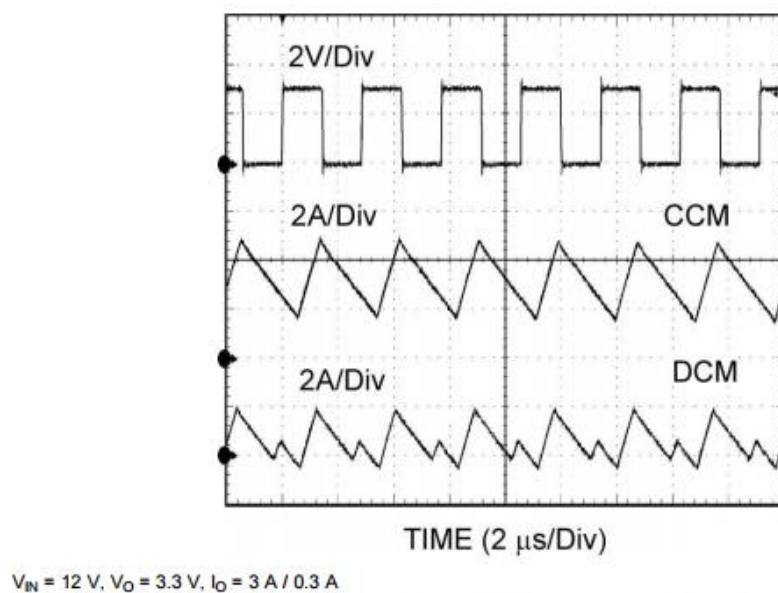


Figure 46. CCM and DCM Operating Modes

8. Application and Implementation (응용 및 구현)

NOTE

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

다음 어플리케이션 섹션 정보는 TI구성 요소 사양의 일부가 아니며 TI는 그 정확성이나 완전성을 보장하지 않습니다. TI의 고객은 그 목적을 위해 구성 요소의 적합성을 결정할 책임이 있습니다. 고객은 시스템의 기능을 호가인하기 위해 그 설계 구현을 검증하고 테스트해야 합니다;.

8.1 Application Information

The LMZ13608 is a step-down DC-to-DC power module. It is typically used to convert a higher DC voltage to a lower DC voltage with a maximum output current of 8 A. The following design procedure can be used to select components for the LMZ13608. Alternately, the WEBENCH software may be used to generate complete designs.

LMZ13608은 스텝 다운 DC-DC전원 모듈입니다.

일반적으로 최대 출력 전류가 8A인 높은 DC전압을 낮은 전압으로 변환하는데 사용됩니다.

다음의 설계 절차를 사용하여 LMZ13608의 구성 요소를 선택 할 수 있습니다. 또는 WEBENCH 소프트웨어를 사용하여 완전한 디자인을 생성 할 수 있습니다.

When generating a design, the WEBENCH software uses iterative design procedure and accesses comprehensive databases of components. Please go to www.ti.com for more details.

설계를 생성 할 때 WEBENCH 소프트웨어는 반복 설계 절차를 사용하고 포괄적인 데이터베이스의 구성 요소에 액세스 합니다. 자세한 내용은 www.ti.com을 참조하십시오.

8.2 Typical Application (일반적인 응용)

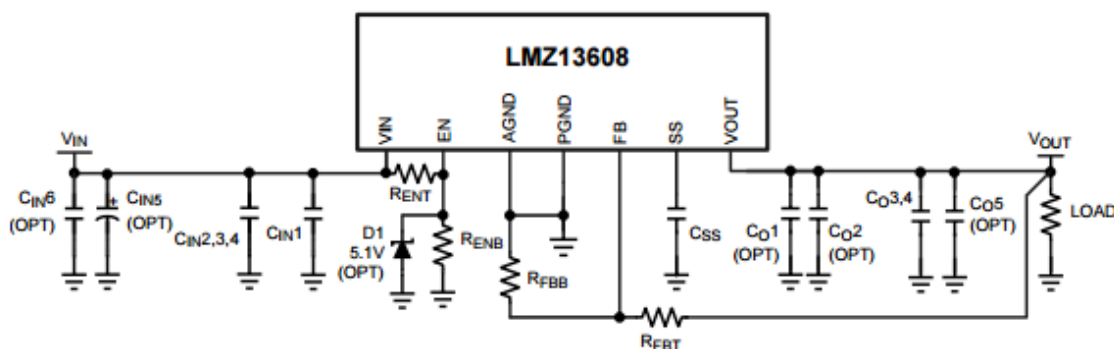


Figure 47. Typical Application Schematic Diagram

8.2.1 Design Requirements (설계 요구 사항)

For this example the following application parameters exist:

- VIN Range = Up to 36 V
- VOUT = 0.8 V to 6 V
- IOUT = 8 A

이 예제에서는 다음 응용 프로그램 매개 변수가 존재합니다.

- VIN 범위 = 최대 36 V
- VOUT = 0.8V~6V
- IOUT = 8A

8.2.2 Detailed Design Procedure (세부 설계 절차)

8.2.2.1 Design Steps (설계 단계)

The LMZ13608 is fully supported by WEBENCH which offers: component selection, electrical and thermal simulations. Additionally, there are both evaluation and demonstration boards that may be used as a starting point for design. The following list of steps can be used to manually design the LMZ13608 application.

LMZ13608은 구성 요소 선택, 전기 및 열 시뮬레이션을 제공하는 WEBENCH에서 완벽하게 지원됩니다. 또한 설계를 위한 출발점으로 사용할 수 있는 평가 및 데모 보드가 모두 있습니다. 다음 단계 목록을 이용하여 LMZ13608 애플리케이션을 수동으로 설계할 수 있습니다.

All references to values refer to Figure 47.

1. Select minimum operating VIN with enable divider resistors
2. Program VOUT with FB resistor divider selection
3. Select COUT
4. Select CIN
5. Determine module power dissipation
6. Layout PCB for required thermal performance

값 참조는 그림 47을 참조하십시오.

1. 분할기 저항을 사용할 수 있는 최소 동작 VIN 선택.
2. FB저항 분할기 선택에서 VOUT을 프로그래밍.
4. CIN을 선택.
5. 모듈 전력 소비량 결정 .
6. 필요한 열 성능을 위한 레이아웃 PCB

Typical Application (continued) (일반적인 어플리케이션(계속))

8.2.2.2 Enable Divider, RENT, RENB and RENH Selection (분할기, RENT, RENB, 및 RENH선택 활성화)

Internal to the module is a 2-M Ω pullup resistor connected from VIN to Enable. For applications not requiring precision undervoltage lockout (UVLO), the Enable input may be left open circuit and the internal resistor will always enable the module. In such case, the internal UVLO occurs typically at 4.3 V (VIN rising).

모듈 내부에는 VIN에서 Enable로 연결된 2M Ω 풀업 저항이 있다. 정밀 저전압 차단 (UVLO)이 필요없는 애플리케이션의 경우, 인 에이블 입력은 개방 회로로 남아있을 수 있으며 내부 레지스터는 항상 모듈을 활성화합니다. 이 경우, 내부 UVLO는 일반적으로 4.3V (VIN 상승)에서 발생한다.

In applications with separate supervisory circuits Enable can be directly interfaced to a logic source. In the case of sequencing supplies, the divider is connected to a rail that becomes active earlier in the power-up cycle than the LMZ13608 output rail.

별도의 감시 회로가 있는 어플리케이션에서 Enable을 로직소스에 직접 인터페이싱 할 수 있습니다. 시퀀싱 서플라이의 경우, 디바이더는 LMZ13608 출력 레일 보다 파워 업 사이클에서 일찍 활성화되는 레일에 연결된다,

Enable provides a precise 1.274 V threshold to allow direct logic drive or connection to a voltage divider from a higher enable voltage such as VIN. Additionally there is 13 μ A (typical) of switched offset current allowing programmable hysteresis. See Figure 48.

Enable은 정확한 1.274 V 임계 값을 제공하여 직접 로직 드라이브 또는 VIN과 같은 더 높은 전압을 가능하게한다. 또한, 프로그램 가능한 히스테리시스를 가능하게하는 13μA (일반)의 스위치 오프 B 전류가 있습니다. 그림 48을 참조하십시오

The function of the enable divider is to allow the designer to choose an input voltage below which the circuit will be disabled. This implements the feature of a programmable UVLO. The two resistors must be chosen based on the following ratio:

$$R_{ENT} / R_{ENB} = (V_{IN \text{ UVLO}} / 1.274 \text{ V}) - 1 \quad (1)$$

enable 디바이더의 기능은 설계자가 회로를 사용할 수 없는 입력 전압을 선택할 수 있게 하는 것이다. 이 프로그램이 가능한 UVLO의 기능을 구현합니다. 두 개의 저항은 다음 비율에 따라 선택해야 합니다.

$$R_{ENT} / R_{ENB} = (V_{IN \text{ UVLO}} / 1.274\text{V}) - 1 \quad (1)$$

The LMZ13608 typical application shows 12.7 kΩ for RENB and 42.2 kΩ for RENT resulting in a rising UVLO of 5.51 V. This divider presents 4.62 V to the EN input when VIN is raised to 20 V. This upper voltage must always be checked, making sure that it never exceeds the Abs Max 5.5-V limit for Enable. A 5.1-V Zener clamp can be applied in cases where the upper voltage would exceed the EN input's range of operation. The Zener clamp is not required if the target application prohibits the maximum Enable input voltage from being exceeded.

LMZ13608의 일반 애플리케이션은 RENB가 12.7kΩ, RENT가 42.2kΩ이므로 UVLO가 5.51V 상승한다.이 분배기는 VIN이 20V로 상승 할 때 EN 입력에 4.62V를 제공합니다.이 상위 전압은 항상 점검되어야하며, Enable에 대한 Abs Max 5.5-V 제한을 초과하지 않아야합니다. 상위 전압이 EN 입력의 동작 범위를 초과하는 경우 5.1V 제너 클램프를 적용 할 수 있습니다. 대상 애플리케이션이 최대 Enable 입력 전압을 초과하는 것을 방지하려면 제너 클램프가 필요하지 않습니다.

Additional enable voltage hysteresis can be added with the inclusion of RENH. It is possible to select values for RENT and RENB such that RENH is a value of zero allowing it to be omitted from the design.

RENH가 포함 된 추가 인 에이블 전압 히스테리시스를 추가 할 수 있습니다. RENH와 RENB의 값을 선택하여 RENH가 0 인 값을 지정하여 설계에서 생략 할 수 있습니다.

Rising threshold can be calculated as follows:

$$V_{EN(rising)} = 1.274 (1 + (R_{ENT} \parallel 2 \text{ meg}) / R_{ENB}) \quad (2)$$

Whereas the falling threshold level can be calculated using:

$$V_{EN(falling)} = V_{EN(rising)} - 13 \mu A (R_{ENT} \parallel 2 \text{ meg} \parallel R_{ENB} + R_{ENH}) \quad (3)$$

상승 임계 값은 다음과 같이 계산할 수 있습니다.

$$V_{EN} (\text{상승}) = 1.274 (1 + (R_{ENT} \parallel 2 \text{ meg}) / R_{ENB}) \quad (2)$$

반면 하강 임계 값은 다음을 사용하여 계산할 수 있습니다.

$$VEN \text{ (하강)} = VEN \text{ (상승)} - 13 \mu A (RENT \parallel 2 \text{ meg} \parallel RENTB + RENH) \quad (3)$$

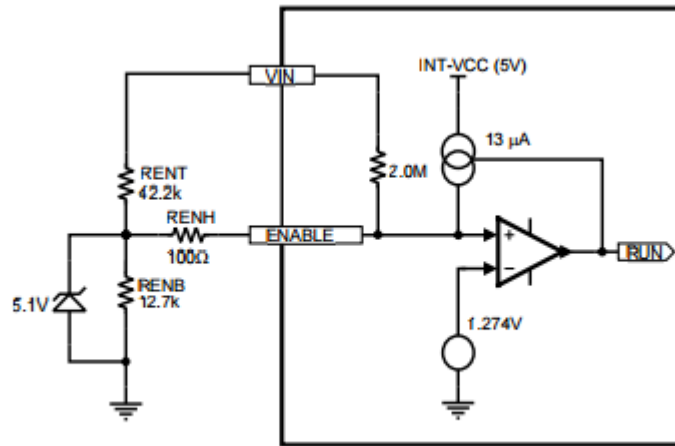


Figure 48. Enable Input Detail

8.2.2.3 Output Voltage Selection (출력 전압 선택)

Output voltage is determined by a divider of two resistors connected between VOUT and AGND. The midpoint of the divider is connected to the FB input.

출력 전압은 VOUT과 AGND 사이에 연결된 2 개의 저항기의 분배기에 의해 결정된다. 분배기의 중간 점은 FB 입력에 연결됩니다.

The regulated output voltage determined by the external divider resistors RFBT and RFBB is:

$$VOUT = 0.795 \text{ V} \times (1 + RFBT / RFBB) \quad (4)$$

Rearranging terms; the ratio of the feedback resistors for a desired output voltage is:

외부 디바이더 저항 RFBT와 RFBB에 의해 결정되는 레귤 레이트 된 출력 전압은 다음과 같다.

$$VOUT = 0.795 \text{ V} \times (1 + RFBT / RFBB) \quad (4)$$

용어 재정렬; 원하는 출력 전압에 대한 피드백 저항의 비율은 다음과 같습니다.

Typical Application (continued) 일반적인 애플리케이션(계속)

$$RFBT / RFBB = (VOUT / 0.795 \text{ V}) - 1 \quad (5)$$

These resistors must generally be chosen from values in the range of 1.0 Ω to 10.0 kΩ. For VOUT = 0.8 V the FB pin can be connected to the output directly and RFBB can be set to 8.06 kΩ to provide minimum output load.

이러한 저항은 일반적으로 1.0Ω~10.0kΩ 의 범위에서 선택해야 합니다.

VOUT = 0.8V의 경우 FB 핀은 출력에 직접 연결될 수 있으며 RFBB는 최소 출력 부하를 제공하기 위해 8.06kΩ로 설정 될 수 있다.

Table 1 lists the values for RFBT , and RFBB.

표 1은 RFBT 및 RFBB의 값을 나열합니다

Table 1. Typical Application Bill of Materials

REF DES	DESCRIPTION	CASE SIZE	MANUFACTURER	MANUFACTURER P/N
U1	SIMPLE SWITCHER	PFM-11	Texas Instruments	LMZ13608TZ
C _{IN1,6} (OPT)	0.047 μ F, 50 V, X7R	1206	Yageo America	CC1206KRX7R9BB473
C _{IN2,3,4}	10 μ F, 50 V, X7R	1210	Taiyo Yuden	UMK325BJ106MM-T
C _{IN5} (OPT)	CAP, AL, 150 μ F, 50 V	Radial G	Panasonic	EEE-FK1H151P
C _{O1,5} (OPT)	0.047 μ F, 50 V, X7R	1206	Yageo America	CC1206KRX7R9BB473
C _{O2} (OPT)	47 μ F, 10 V, X7R	1210	Murata	GRM32ER61A476KE20L
C _{O3,4}	330 μ F, 6.3 V, 0.015 Ω	CAPSMT_6_UE	Kemet	T520D337M006ATE015
R _{FBT}	3.32 k Ω	0805	Panasonic	ERJ-6ENF3321V
R _{FBB}	1.07 k Ω	0805	Panasonic	ERJ-6ENF1071V
R _{ENT}	42.2 k Ω	0805	Panasonic	ERJ-6ENF4222V
R _{ENB}	12.7 k Ω	0805	Panasonic	ERJ-6ENF1272V
C _{SS}	0.47 μ F, $\pm 10\%$, X7R, 16 V	0805	AVX	0805YC474KAT2A
D1 (OPT)	5.1 V, 0.5 W	SOD-123	Diodes Inc.	MMSZ5231BS-7-F

8.2.2.4 Soft-Start Capacitor Selection (소프트 스타트 커패시터 선택)

Programmable soft-start permits the regulator to slowly ramp to its steady-state operating point after being enabled, thereby reducing current inrush from the input supply and slowing the output voltage rise-time.

프로그램 가능한 소프트 스타트 기능을 사용하면 레귤레이터가 활성화 된 후 정상 상태 동작 점으로 천천히 상승하여 입력 서플라이의 전류 돌입을 줄이고 출력 전압 상승 시간을 늦출 수 있다.

Upon turnon, after all UVLO conditions have been passed, an internal 1.6-ms circuit slowly ramps the SS input to implement internal soft start. If 1.6 ms is an adequate turnon time then the C_{SS} capacitor can be left unpopulated. Longer soft-start periods are achieved by adding an external capacitor to this input.

턴온 시 모든 UVLO 조건이 통과 된 후 내부 1.6ms 회로가 SS입력을 천천히 상승시켜 내부 소프트 스타트를 구현한다. 1.6ms가 적절한 턴온 시간이면 C_{SS}커패시터는 비 공전 상태(사용하지 않는 상태)로 남겨 둘 수 있다. 이 입력에 외부 커패시터를 추가하여 더 긴 소프트 스타트 기간을 달성 할 수 있다.

Soft-start duration is given by the formula:

$$t_{SS} = V_{REF} \times C_{SS} / I_{SS} = 0.795 \text{ V} \times C_{SS} / 50 \mu\text{A} \quad (6)$$

This equation can be rearranged as follows:

$$C_{SS} = t_{SS} \times 50 \mu\text{A} / 0.795 \text{ V} \quad (7)$$

소프트 스타트 지속 시간은 다음 공식에 의해 주어진다 :

$$t_{SS} = V_{REF} \times C_{SS} / I_{SS} = 0.795\text{V} \times C_{SS} / 50\mu\text{A} \quad (6)$$

이 방정식은 다음과 같이 재정렬 될 수 있습니다.

$$C_{SS} = t_{SS} \times 50\mu\text{A} / 0.795\text{V} \quad (7)$$

Using a 0.22- μ F capacitor results in 3.5-ms typical soft-start duration; and 0.47 μ F results in 7.5 ms typical. 0.47 μ F is a recommended initial value.

0.22 μ F 커패시터를 사용하면 일반적인 소프트 스타트 지속 시간이 3.5ms가 된다.
0.47 μ F는 7.5 ms의 결과를 가져온다. 권장 초기 값은 0.47 μ F입니다.

As the soft-start input exceeds 0.795 V the output of the power stage will be in regulation and the 50- μ A current is deactivated. The following conditions will reset the soft-start capacitor by discharging the SS input to ground with an internal current sink.

- The Enable input being pulled low
- A thermal shutdown condition
- VIN falling below 4.3 V (typical) and triggering the VCC UVLO

소프트 스타트 입력이 0.795V를 초과하면 전력 단의 출력이 안정화되고 50 μ A 전류가 비활성화된다.

다음 조건은 내부 전류 싱크를 사용하여 SS 입력을 접지로 방전하여 소프트 스타트 커패시터를 재설정한다.

- Enable 입력이 Low로되어있다
- 열 셧다운 조건
- VIN이 4.3 V (표준)보다 낮아지고, VCC UVLO가 트리거 됨.

8.2.2.5 Tracking Supply Divider Option

The tracking function allows the module to be connected as a slave supply to a primary voltage rail (often the 3.3-V system rail) where the slave module output voltage is lower than that of the master. Proper configuration allows the slave rail to power up coincident with the master rail such that the voltage difference between the rails during ramp-up is small (that is, < 0.15V typical). The values for the tracking resistive divider must be selected such that the effect of the internal 50- μ A current source is minimized. In most cases the ratio of the tracking divider resistors is the same as the ratio of the output voltage setting divider.

추적 기능을 통해 모듈을 슬레이브 모듈의 출력 전압이 마스터의 전압보다 낮은 1차 전압 레일(대부분의 경우 3.3V 시스템 레일) 에 슬레이브 전원으로 연결할 수 있습니다. 올바른 구성을 사용하면 슬레이브 레일이 마스터 레일과 동시에 전원이 켜지므로 램프 업 중 레일 간의 전압 차가 작습니다(즉, < 0.15V 표준). 트래킹 저항 분배기의 값은 내부 50 μ A 전류 소스의 효과가 최소화되도록 선택해야 합니다. 대부분의 경우 트래킹 분배기 저항의 비율은 출력 전압 설정 디바이더의 비율과 동일하다

Proper operation in tracking mode dictates the soft-start time of the slave rail be shorter than the master rail; a condition that is easy to satisfy because the CSS cap is replaced by RTKB. The tracking function is only supported for the power up interval of the master supply; once the SS/TRK rises past 0.795 V the input is no longer enabled and the 50- μ A internal current source is switched off.

트래킹 모드에서 올바르게 작동하면 슬레이브 레일의 소프트 스타트 시간이 마스터 레일보다 짧아집니다. CSS의 뚜껑이 RTKB로 대체되기 때문에 만족하기 쉬운 조건. 추적 기능은 마스터 전원의 전원 공급 간격 동안 만 지원됩니다 SS / TRK가 0.795V를 초과하면 입력은 더 이상 인 에이블되지 않으며 50 μ A 내부 전류 소스는 스위치 오프된다.

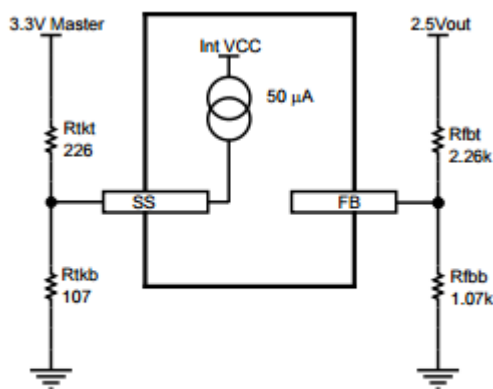


Figure 49. Tracking Option Input Detail

8.2.2.6 COUT Selection

None of the required COUT output capacitance is contained within the module.e. A minimum value ranging from 330 μ F for 6-VOUT to 660 μ F for 1.2-VOUT applications is required based on the values of internal compensation in the error amplifier. These minimum values can be decreased if the effective capacitor ESR is higher than 15 m Ω .

필요한 COUT 출력 커패시턴스는 모듈 내에 포함되어 있지 않습니다. 오류 앰프의 내부 보상 값을 기반으로 6-VOUT의 경우 330 μ F에서 1.2 μ V 애플리케이션의 경우 660 μ F까지의 최소 값이 필요하다. 이 최소값은 유효 커패시터 ESR이 15m Ω 보다 높으면 낮아질 수 있다.

A Low ESR (15 m Ω) tantalum, organic semiconductor or specialty polymer capacitor types in parallel with a 47-nF X7R ceramic capacitor for high-frequency noise reduction is recommended for obtaining lowest ripple. The output capacitor COUT may consist of several capacitors in parallel placed in close proximity to the module.

고주파 노이즈 리덕션을 위한 47nF X7R 세라믹 커패시터와 병렬인 낮은 ESR (15mΩ) 탄탈, 유기 반도체 또는 특수 폴리머 커패시터 유형이 최저 리플을 얻는 데 권장됩니다. 출력 커패시터 C_{OUT}는 모듈에 접근하여 병렬로 배치된 여러 개의 커패시터로 구성될 수 있다. The output voltage ripple of the module depends on the equivalent series resistance (ESR) of the capacitor bank, and can be calculated by multiplying the ripple current of the module by the effective impedance of your chosen output capacitors (for ripple current calculation, see Equation 14). Electrolytic capacitors will have large ESR and lead to larger output ripple than ceramic or polymer types. For this reason a combination of ceramic and polymer capacitors is recommended for low output ripple performance.

모듈의 출력 전압 리플은 커패시터 뱅크의 등가 직렬 저항(ESR)에 따라 달라지며 모듈의 리플 전류에 선택한 출력 커패시터의 유효 임피던스를 곱하여 계산할 수 있다 (리플 전류 계산에 대해서는 14). 전해 콘덴서는 큰 ESR을 가지며 세라믹 또는 폴리머 유형보다 더 큰 출력 리플을 발생시킵니다. 이러한 이유로 낮은 출력 리플 성능을 위해 세라믹 및 폴리머 커패시터의 조합이 권장된다.

The output capacitor assembly must also meet the worst case ripple current rating of Δi_L , as calculated in Equation 14 below. Loop response verification is also valuable to confirm closed loop behavior.

출력 커패시터 어셈블리는 아래의식 14에서 계산된 바와 같이 최악의 리플 전류 등급인 Δi_L 을 충족해야 한다. 루프 응답 검증은 폐회로 동작을 확인하는 데에도 중요합니다.

For applications with dynamic load steps; the following equation provides a good first pass approximation of C_{OUT} for load transient requirements.

동적 하중 단계가 있는 어플리케이션의 경우; 다음 방정식은 부하 과도 조건에 대한 C_{OUT}의 첫 번째 합격 근사를 제공합니다.

$$C_{OUT} \geq \frac{I_{step}}{(\Delta V_{OUT} - I_{STEP} \times ESR) \times \left(\frac{f_{SW}}{V_{OUT}} \right)} \quad (8)$$

For 12 VIN, 3.3 V_{OUT}, a transient voltage of 5% of V_{OUT} = 0.165 V (ΔV_{OUT}), a 7A load step (I_{STEP}), an output capacitor effective ESR of 3 mΩ, and a switching frequency of 350 kHz (f_{SW}):

12VIN, 3.3V_{OUT}, V_{OUT} = 0.165V (ΔV_{OUT}), 7A 부하 스텝 (I_{STEP}), 출력 커패시터 유효 ESR 3mΩ 및 스위칭 주파수 350kHz (f_{SW})의 5 % 과도 전압 :

$$C_{OUT} \geq \frac{8A}{(0.165V - 8A \times 0.003) \times \left(\frac{350e3}{3.3V}\right)}$$

$$\geq 535 \mu F$$

(9)

NOTE

The stability requirement for minimum output capacitance must always be met.

최소 출력 캐패시턴스에 대한 안정성 요구 사항은 항상 충족되어야 합니다.

One recommended output capacitor combination is two 330-μF, 15-mΩ ESR tantalum polymer capacitors connected in parallel with a 47-μF 6.3-V X5R ceramic. This combination provides excellent performance that may exceed the requirements of certain applications. Additionally some small 47-nF ceramic capacitors can be used for high-frequency EMI suppression.

하나의 권장 출력 커패시터 조합은 두 개의 330μF, 15mΩ ESR 탄탈륨 폴리머 커패시터가 47μF 6.3V X5R 세라믹과 병렬로 연결되어있다. 이 조합은 특정 응용 프로그램의 요구 사항을 초과할 수 있는 우수한 성능을 제공합니다. 또한 고주파 EMI억제를 위해 일부 소형 47nF 세라믹 커패시터를 사용할 수 있습니다.

8.2.2.7 CIN Selection

The LMZ13608 module contains two internal ceramic input capacitors. Additional input capacitance is required external to the module to handle the input ripple current of the application. The input capacitor can be several capacitors in parallel. This input capacitance must be located in very close proximity to the module. Input capacitor selection is generally directed to satisfy the input ripple current requirements rather than by capacitance value. Input ripple current rating is dictated by the equation:

LMZ13608 모듈은 2 개의 내부 세라믹 입력 커패시터를 포함하고있다. 애플리케이션의 입력 리플 전류를 처리하려면 모듈 외부에 추가 입력 커패시턴스가 필요하다. 입력 커패시터는 병렬로 여러 커패시터가 될 수 있다. 이 입력 커패시턴스는 모듈에 매우 가깝게 위치해야합니다. 입력 커패시터 선택은 일반적으로 커패시턴스 값이 아닌 입력 리플 전류 요건을 충족하도록 일반적으로 지정된다. 입력 리플 전류 정격은 다음 방정식에 의해 결정됩니다

$$I_{CIN-RMS} = I_{OUT} \times \sqrt{D(1-D)}$$

where

$$D \equiv V_{OUT} / V_{IN}$$

(10)

As a point of reference, the worst case ripple current will occur when the module is presented with full load current and when $V_{IN} = 2 \times V_{OUT}$.

기준으로 볼 때, 모듈이 최대 부하 전류와 $V_{IN} = 2 \times V_{out}$ 으로 표시 될 때 최악의 경우 리플 전류가 발생합니다.

Recommended minimum input capacitance is 30- μ F X7R (or X5R) ceramic with a voltage rating at least 25% higher than the maximum applied input voltage for the application. TI also recommends to pay attention to the voltage and temperature derating of the capacitor selected.

권장되는 최소 입력 커패시턴스는 30- μ F X7R (또는 X5R) 세라믹으로, 애플리케이션(응용프로그램)에 대해 최대인가 입력 전압보다 최소 25 % 높은 정격 전압을 가집니다. TI는 또한 선택된 커패시터의 전압 및 온도 디레이팅에 주의할 것을 권장한다.

NOTE

Ripple current rating of ceramic capacitors may be missing from the capacitor data sheet and you may have to contact the capacitor manufacturer for this parameter

세라믹 커패시터의 리플 전류 정격이 커패시터 데이터 시트에서 누락 될 수 있으며 이 매개 변수에 대해서는 커패시터 제조업체에 문의해야 할 수 있습니다.

If the system design requires a certain minimum value of peak-to-peak input ripple voltage (ΔV_{IN}) to be maintained then the following equation may be used.

시스템 설계에서 피크 - 투 - 피크 입력 리플 전압 (ΔV_{IN})의 특정 최소값이 유지되어야 하는 경우 다음 방정식을 사용 할 수 있습니다.

$$C_{IN} \geq \frac{I_{OUT} \times D \times (1 - D)}{f_{SW} \times \Delta V_{IN}} \quad (11)$$

If ΔV_{IN} is 200 mV or 1.66% of V_{IN} for a 12-V input to 3.3-V output application and $f_{SW} = 350$ kHz then:

(ΔV_{IN})이 3.3V 출력 애플리케이션에 대한 12V 입력 및 $f_{sw} = 350$ kHz 에 대해 ΔV_{IN} 의 200mV 또는 1.66% 인 경우 :

$$C_{IN} \geq \frac{8A \times \left(\frac{3.3V}{12V}\right) \times \left(1 - \frac{3.3V}{12V}\right)}{350 \text{ kHz} \times 200 \text{ mV}} \geq 22.4 \mu\text{F} \quad (12)$$

Additional bulk capacitance with higher ESR may be required to damp any resonant effects of the input capacitance and parasitic inductance of the incoming supply lines. The LMZ13608 typical applications schematic and evaluation board include a 150-μF 50-V aluminum capacitor for this function. There are many situations where this capacitor is not necessary.

들어오는 공급 라인의 입력 커패시턴스와 기생 인덕턴스의 공진 효과를 줄이기 위해서는 ESR이 높은 추가 커패시턴스가 필요할 수 있습니다. LMZ13608의 일반 애플리케이션 회로도 및 평가 보드에는 이 기능을 위한 150μF 50V알루미늄 커패시터가 포함되어있다. 이 콘덴서가 필요하지 않은 여러 상황이 있습니다.

8.2.2.8 Discontinuous Conduction and Continuous Conduction Modes Selection

불연속 전도 및 연속 전도 모드 선택

The approximate formula for determining the DCM/CCM boundary is as follows:

DCM / CCM 경계를 결정하는 근사 식은 다음과 같습니다.

$$I_{DCB} = \frac{(V_{IN} - V_{OUT}) \times D}{2 \times L \times f_{SW}} \quad (13)$$

The inductor internal to the module is 2.2 μH. This value was chosen as a good balance between low and high input voltage applications. The main parameter affected by the inductor is the amplitude of the inductor ripple current (Δi_L). Δi_L can be calculated with:

모듈 내부의 인덕터는 2.2μF이다. 이 값은 낮은 입력 전압 애플리케이션과 높은 입력 전압 애플리케이션의 사이의 적절한 균형으로 선택되었습니다. 인덕터의 영향을 받는 주요 피라미터는 인덕터 리플 전류의 크기(Δi_L) 입니다. Δi_L 은 다음과 같이 계산할 수 있습니다.

$$\Delta i_L = \frac{(V_{IN} - V_{OUT}) \times D}{L \times f_{SW}}$$

where

- V_{IN} is the maximum input voltage
- f_{SW} is typically 359 kHz

(14)

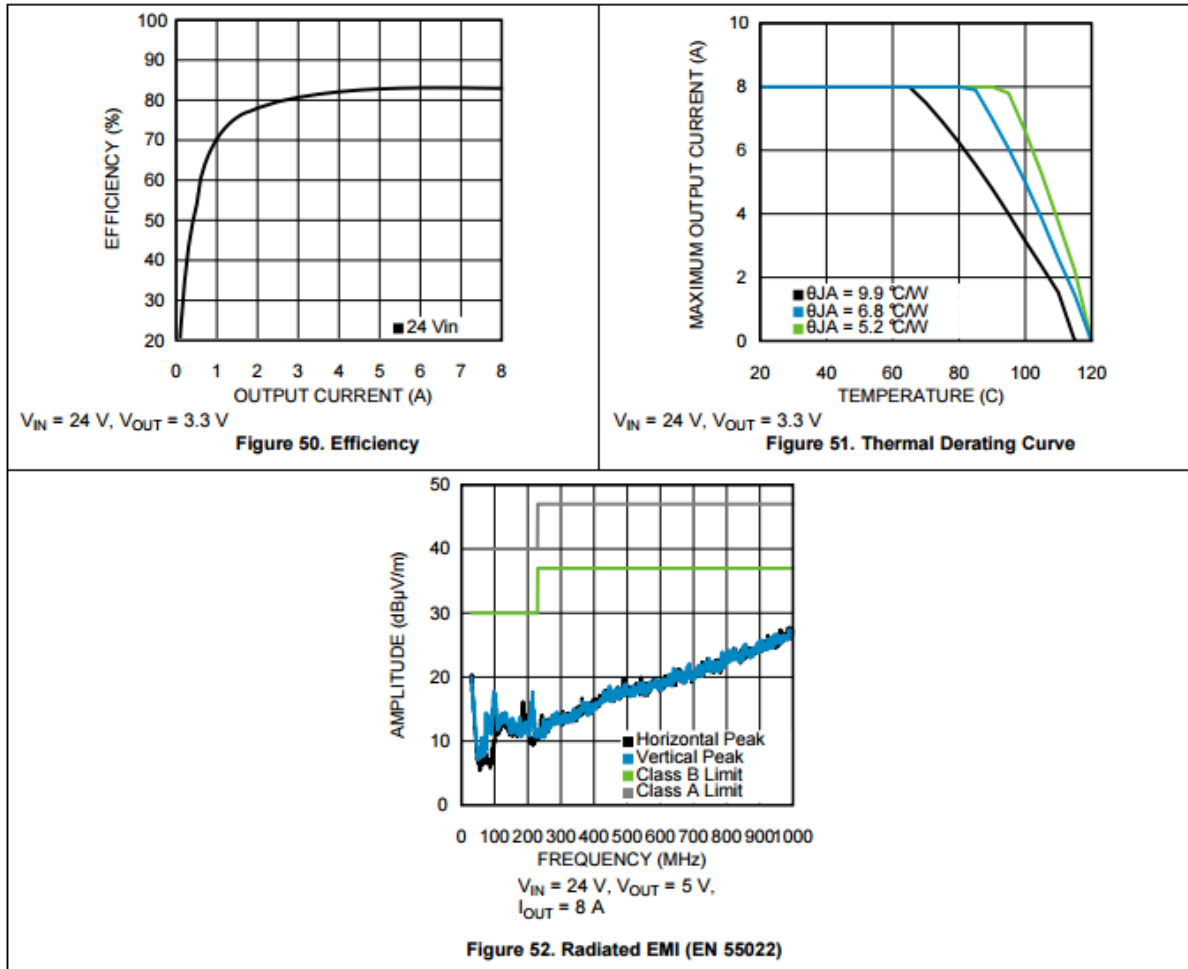
where

- V_{IN} 은 최대 입력 전압
- f_{SW} 는 일반적으로 359 kHz입니다.

If the output current I_{OUT} is determined by assuming that $I_{OUT} = I_L$, the higher and lower peak of Δi_L can be determined.

출력전류 I_{OUT} 이 $I_{OUT} = I_L$ 의 높고 낮은 피크를 결정할 수 있습니다.

8.2.3 Application Curves (응용 곡선)



9 Power Supply Recommendations (전원 공급 장치 권장 사항)

The LMZ13608 device is designed to operate from an input voltage supply range between 6 V and 36 V. This input supply must be well regulated and able to withstand maximum input current and maintain a stable voltage. The resistance of the input supply rail must be low enough that an input current transient does not cause a high enough drop at the LMZ13608 supply voltage that can cause a false UVLO fault triggering and system reset. If the input supply is more than a few inches from the LMZ13608, additional bulk capacitance may be required in addition to the ceramic bypass capacitors. The amount of bulk capacitance is not critical, but a 47- μF or 100- μF electrolytic capacitor is a typical choice.

LMZ13608디바이스는 6V ~ 36V의 입력 전압 공급 범위에서 작동하도록 설계되었습니다. 이 입력 전원은 충분히 안정화 된 최대 입력 전류에 견딜 안정된 전압을 유지해야 합니다.

입력 서플라이 레일의 저항은 입력 전류 과도 전류가 LMZ13608 전원 전압에서 충분히 강하하지 않아야 UVLO 오류 트리거링 및 시스템 리셋이 발생할 수 있습니다. 입력 서플라이가 LMZ13608에서 몇 인치 이상 떨어져 있으면 세라믹 바이 패스 커패시터 이외에 추가 벌크 커패시턴스가 필요할 수 있습니다. 벌크 커패시턴스의 양은 중요하지 않지만 47uF 또는 100uF 전해 컨패시터가 일반적으로 선택됩니다.

10 Layout

10.1 Layout Guidelines

PCB layout is an important part of DC-DC converter design. Poor board layout can disrupt the performance of a DC-DC converter and surrounding circuitry by contributing to EMI, ground bounce and resistive voltage drop in the traces. These can send erroneous signals to the DC-DC converter resulting in poor regulation or instability. Good layout can be implemented by following a few simple design rules. A good layout example is shown in Figure 56.

PCB 레이아웃은 DC-DC 컨버터 설계의 중요한 부분이다. 보드 레이아웃 불량은 EMI 접지 바운스 및 저항에서의 저항 전압 강하에 기여함으로써 DC-DC 컨버터 및 주변 회로의 성능을 저하시킬 수 있습니다. 이로 인해 잘못된 신호를 DC-DC 컨버터로 전송되어 조절이 불안정하거나 불안정해 질 수 있습니다. 좋은 레이아웃은 몇 가지 간단한 규칙을 따라 구현할 수 있습니다. 좋은 레이아웃의 예가 그림 56에 나와 있습니다.

1. Minimize area of switched current loops. (스위치 된 전류 루프의 면적을 최소화 해라)

From an EMI reduction standpoint, it is imperative to minimize the high di/dt paths during PCB layout as shown in Figure 53. The high current loops that do not overlap have high di/dt content that will cause observable high frequency noise on the output pin if the input capacitor (C_{IN}) is placed at a distance away from the LMZ13608. Therefore place C_{IN} as close as possible to the LMZ13608 VIN and PGND exposed pad. This will minimize the high di/dt area and reduce radiated EMI. Additionally, grounding for both the input and output capacitor must consist of a localized top side plane that connects to the PGND exposed pad (EP).

EMI 감소의 관점에서 볼 때, 그림 53과 같이 PCB 레이아웃 동안 높은 di/dt 경로를 최소화 하는 것이 필수적이다. 겹치지 않는 고전류 루프는 높은 di/dt 함유량을 가지므로 입력 커패시터 (C_{IN})가 LMZ13608에서 떨어진 곳에 배치되면 출력 핀에서 관찰 가능한 고주파 잡음이 발생합니다. 따라서 C_{IN} 을 가능한 LMZ13608 VIN 및 PGND 노출 패드에 가깝게 위치

시키십시오. 이렇게 하면 높은 di/dt 면적을 최소화하고 방사되는 EMI를 줄일 수 있습니다. 또한 입력 및 출력 커패시터의 두 접지는 PGND노출 패드 (EP)에 연결되는 국소화 된 상단면으로 구성되어야 합니다.

2. Have a single point ground. (단일 점 접지를 해라.)

The ground connections for the feedback, soft-start, and enable components must be routed to the AGND pin of the device. This prevents any switched or load currents from flowing in the analog ground traces. If not properly handled, poor grounding can result in degraded load regulation or erratic output voltage ripple behavior. Additionally provide a single point ground connection from pin 4 (AGND) to EP/PGND.

피드백, 소프트 스타트 및 인 에이블 부품의 접지 연결은 소자의 AGND 핀에 연결되어야 한다. 이렇게 하면 스위치 또는 부하 전류가 아날로그 접지 트레이스에 흐르지 않습니다. 제대로 처리되지 않으면 접지 상태가 좋지 않아 부하 조절이 저하되거나 출력 전압 리플이 비정상적으로 발생할 수 있습니다. 또한 핀4(AGND) 에서 EP / PGND 까지 단일 지점 접지 연결을 제공하십시오.

3. Minimize trace length to the FB pin (트레이스 길이를 FB 핀으로 최소화 하십시오)

Both feedback resistors, R_{FBT} and R_{FBB} must be located close to the FB pin. Because the FB node is high impedance, maintain the copper area as small as possible. The traces from R_{FBT}, R_{FBB} must be routed away from the body of the LMZ13608 to minimize possible noise pickup.

피드백 저항, R_{FBT} 및 R_{FBB} 는 모두 FB핀에 가깝게 위치해야 한다. FB노드가 하이 임피던스이기 때문에 구리 영역을 가능한 작게 유지하십시오. R_{FBT}, R_{FBB} 의 흔적은 노이즈 픽업을 최소화하기 위해 LMZ13608 본체에서 멀리 떨어져 있어야 합니다.

4. Make input and output bus connections as wide as possible.

(입력 및 출력 버스 연결을 최대한 넓게 만드십시오.)

This reduces any voltage drops on the input or output of the converter and maximizes efficiency. To optimize voltage accuracy at the load, ensure that a separate feedback voltage sense trace is made to the load. Doing so will correct for voltage drops and provide optimum output accuracy.

이를 통해 컨버터의 입력 또는 출력에서 전압 강하가 감소하고 효율이 극대화된다. 부하에서 전압 정확도를 최적화하려면 별도의 피드백 전압 감지 추적을 부하에 대해 수행해야 합니다. 그렇게하면 전압 강하가 보정되고 최적의 T_{R} 정확도가 제공됩니다.

5. Provide adequate device heat-sinking. (적절한 장치 방열 자이를 제공하십시오.)

Use an array of heat-sinking vias to connect the exposed pad to the ground plane on the bottom PCB layer. If the PCB has multiple copper layers, these thermal vias can also be connected to inner layer heatspreading ground planes. For best results use a 10 x 10 via array or larger with a minimum via diameter of 8 mil thermal vias spaced 46.8 mil (1.5 mm). Ensure enough copper area is used for heat-sinking to keep the junction temperature below 125°C.

방열 비아 배열을 사용하여 노출된 패드를 하단 PCB 레이어의 접지면에 연결하십시오. PCB에 여러 구리 층이 여러 개 있는 경우 이러한 열 비아를 내부 레이어 방열판에 연결할 수도 있습니다. 최상의 결과를 얻으려면 최소 10x10 비아 어레이 또는 46.8mil(1.5mm) 간격의 8mil 열전 사식 비아를 사용하십시오. 접합부 온도가 125°C 이하로 유지되도록 방열을 위해 충분한 구리 면적이 사용되는지 확인하십시오.

10.2 Layout Examples (레이아웃 예제)

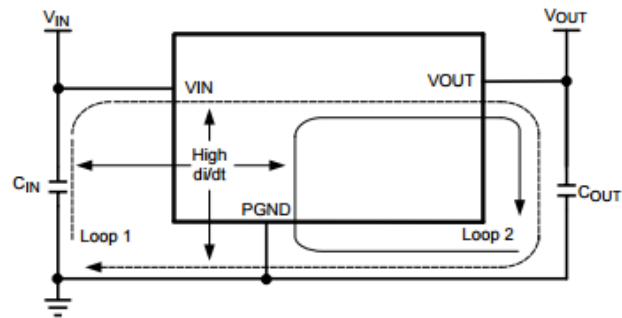


Figure 53. Critical Current Loops to Minimize

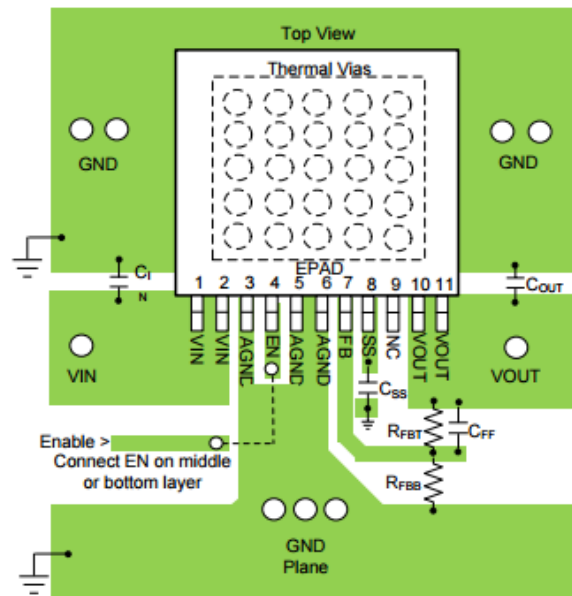


Figure 54. PCB Layout Guide

Layout Example(continued)

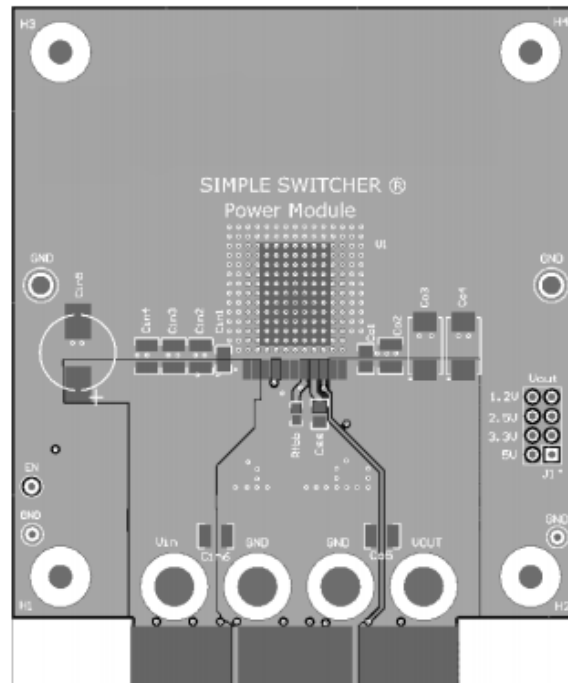


Figure 55. Top View of Evaluation PCB

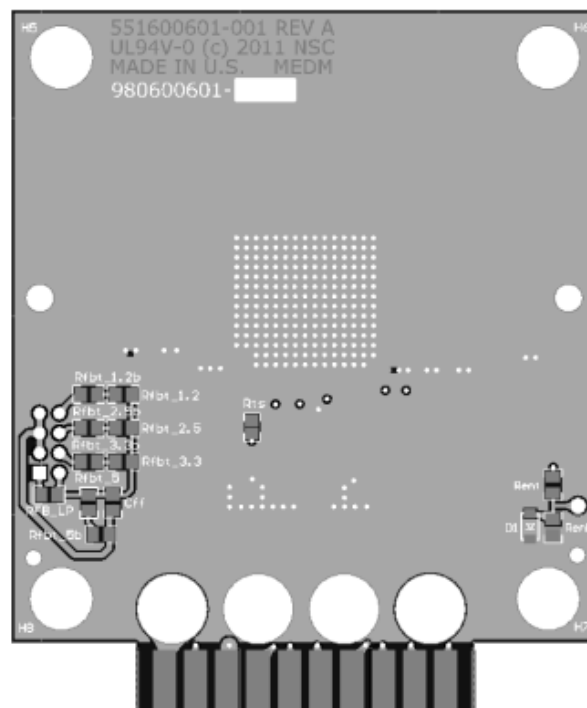


Figure 56. Bottom View of Evaluation PCB

10.3 Power Dissipation and Thermal Considerations

When calculating module dissipation use the maximum input voltage and the average output current for the application. Many common operating conditions are provided in the characteristic curves such that less common applications can be derived through interpolation. In all designs, the junction temperature must be kept below the rated maximum of 125°C.

모듈 소산을 계산할 때 애플리케이션의 최대 입력 전압과 평균 출력 전류를 사용하십시오. 많은 일반적인 작동 조건이 특성 곡선에 제공되어 보간을 통해 덜 공통된 응용 프로그램을 도출할 수 있습니다. 모든 설계에서 접합부 온도는 정격 최대 125°C 미만으로 유지되어야 한다.

For the design case of $V_{IN} = 12V$, $V_{OUT} = 3.3V$, $I_{OUT} = 8A$, and $T_{A-MAX} = 50^\circ C$, the module must see a thermal resistance from case to ambient (θ_{CA}) of less than:

$V_{IN} = 12V$, $V_{OUT} = 3.3V$, $I_{OUT} = 8A$ 및 $T_{A-MAX} = 50^\circ C$ 의 설계 케이스의 경우, 모듈은 케이스 간

$$\theta_{CA} < \frac{T_{J-MAX} - T_{A-MAX}}{P_{IC-LOSS}} - \theta_{JC} \quad (15)$$

(θ_{CA})에서의 열 저항이 다음보다 작아야한다.

Given the typical thermal resistance from junction to case (θ_{JA}) to be $1.0^\circ C/W$.

Use the $85^\circ C$ power dissipation curves in the Typical Characteristics section to estimate the $P_{IC-LOSS}$ for the application being designed.

접합부에서 케이스까지의 일반적인 열 저항 (θ_{JC})이 $1.0^\circ C / W$ 가 되도록하십시오.

Typical Characteristics 섹션의 $85^\circ C$ 전력 손실 곡선을 사용하여 설계중인 애플리케이션의 $P_{IC-LOSS}$ 를 계산하십시오.

$$\theta_{CA} < \frac{125^\circ C - 50^\circ C}{3.9 W} - 1.0 \frac{^\circ C}{W} < 18.23 \frac{^\circ C}{W} \quad (16)$$

To reach $\theta_{CA} = 18.23$, the PCB is required to dissipate heat effectively.

With no airflow and no external heat-sink, a good estimate of the required board area covered by 2-oz. copper on both the top and bottom metal layers is:

$\theta_{CA} = 18.23$ 에 도달하기 위해서는 PCB가 효과적으로 열을 발산해야한다.

공기 흐름이없고 외부 히트 싱크가 없기 때문에 필요한 보드 면적을 2 온스까지 견적 할 수 있습니다.

상단 및 하단 금속층의 구리는 다음과 같습니다.

$$\text{Board Area}_{\text{cm}^2} \geq \frac{500 \cdot \text{°C} \times \text{cm}^2}{\theta_{\text{CA}} \cdot \text{W}} \quad (17)$$

As a result, approximately 27.42 square cm of 2-oz.

copper on top and bottom layers is the minimum required area for the example PCB design. This is 5.23 × 5.23 cm (2.06 × 2.06 in) square. The PCB copper heat sink must be connected to the exposed pad. For best performance, use approximately 100, 8 mil thermal vias spaced 59 mil (1.5 mm) apart connect the top copper to the bottom copper.

결과적으로 2 온스의 약 27.42 평방 센티미터. 상단 및 하단 레이어의 구리는 예제 PCB 설계에 필요한 최소 면적입니다. 5.23 × 5.23cm (2.06 × 2.06 in)입니다. PCB 구리 히트 싱크는 노출 된 패드에 연결해야 합니다. 최상의 성능을 얻으려면 59 mm (1.5 mm) 간격으로 약 100, 8 mil 열전 사식 비아를 사용하고 상단 구리와 하단 구리를 연결하십시오.

Another way to estimate the temperature rise of a design is using θ_{JA} . An estimate of θ_{JA} for varying heat sinking copper areas and airflows can be found in the typical applications curves. If our design required the same operating conditions as before but had 225 LFPM of airflow. We locate the required θ_{JA} of :

디자인의 온도 상승을 예측하는 또 다른 방법은 θ_{JA} 를 사용하는 것입니다. 다양한 히트 싱킹 구리 영역 및 기류에 대한 θ_{JA} 의 추정치는 일반적인 애플리케이션 곡선에서 확인할 수 있습니다.

우리의 디자인이 이전과 동일한 작동 조건을 필요로 하지만 공기 흐름이 225 LFPM 인 경우. 우리는 필요한 θ_{JA} 를 우리는 필요한 θ_{JA} 를 다음과 같이 찾는다.

$$\begin{aligned} \theta_{JA} &< \frac{T_{J\text{-MAX}} - T_{A\text{-MAX}}}{P_{\text{IC_LOSS}}} \\ \theta_{JA} &< \frac{(125 - 50) \text{°C}}{3.9 \text{ W}} < 19.23 \frac{\text{°C}}{\text{W}} \end{aligned} \quad (18)$$

On the θ_{JA} vs copper heatsinking curve, the copper area required for this application is now only 1 square inches. The airflow reduced the required heat sinking area by a factor of four. To reduce the heat sinking copper area further, this package is compatible with D3-PAK surface mount heat sinks. For an example of a high thermal performance PCB layout for SIMPLE SWITCHER power modules, refer to AN-2093 (SNVA460), AN-2084 (SNVA456), AN-2125 (SNVA473), AN-2020 (SNVA419) and AN-2026 SNVA424).

θ_{JA} 대 구리 히트 싱킹 곡선에서이 애플리케이션에 필요한 구리 면적은 이제 겨우 1 평방 인치입니다. 공기 흐름은 필요한 방열 면적을 4 배 줄였습니다. 방열판 구리 부분을 추가적으로 줄이기 위해이 패키지는 D3-PAK 표면 실장 방열판과 호환됩니다. SIMPLE

SWITCHER 전력 모듈에 대한 높은 열 성능 PCB 레이아웃의 예는 AN-2093 (SNVA460), AN-2084 (SNVA456), AN-2125 (SNVA473), AN-2020 (SNVA419) 및 AN-2026 SNVA424).

10.4 Power Module SMT Guidelines

The recommendations below are for a standard module surface mount assembly

- Land Pattern — Follow the PCB land pattern with either soldermask defined or non-soldermask defined pads
- Stencil Aperture
 - For the exposed die attach pad (DAP), adjust the stencil for approximately 80% coverage of the PCB land pattern
 - For all other I/O pads use a 1:1 ratio between the aperture and the land pattern recommendation
- Solder Paste — Use a standard SAC Alloy such as SAC 305, type 3 or higher
- Stencil Thickness — 0.125 to 0.15 mm
- Reflow — Refer to solder paste supplier recommendation and optimized per board size and density
- Refer to Design Summary LMZ1xxx and LMZ2xxx Power Modules Family (SNAA214) for reflow information
- Maximum number of reflows allowed is one

아래 권장 사항은 표준 모듈 표면 실장 어셈블리

- 랜드 패턴 - 솔더 마스크가 정의되거나 비 솔더 마스크로 정의 된 패드 중 하나를 사용하여 PCB 랜드 패턴을 따르십시오.
- 스텐실 조리개
 - 노출 된 다이 부착 패드 (DAP)의 경우 스텐실을 PCB 랜드 패턴의 약 80 % 적용 범위로 조정합니다
 - 다른 모든 I / O 패드의 경우 구멍과 랜드 패턴 권장 사이에 1 : 1 비율을 사용하십시오
- 솔더 페이스트 - 표준 SAC 합금 (예 : SAC 305, 3 형 이상)을 사용하십시오
- 스텐실 두께 - 0.125 - 0.15 mm
- 리플 로우 - 솔더 페이스트 공급자 권장 사항을 참조하고 보드 크기 및 밀도별로 최적화 리플 로우 정보는 디자인 요약 LMZ1xxx 및 LMZ2xxx 전력 모듈 제품군 (SNAA214)을 참조하십시오.
- 허용되는 최대 리플 로우 수는 1 개입니다.

Power Module SMT Guidelines (continued)

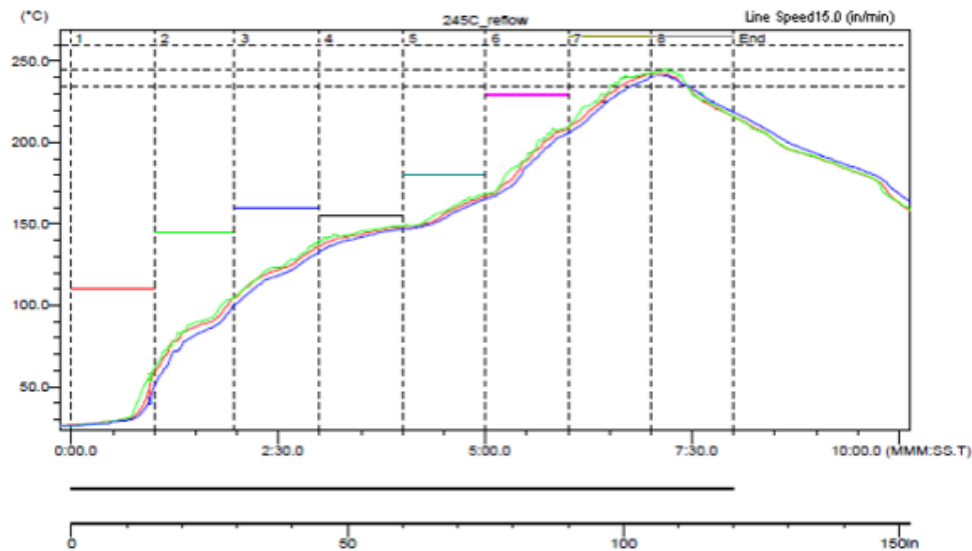


Figure 57. Sample Reflow Profile

Table 2. Sample Reflow Profile Table

PROBE	MAX TEMP (°C)	REACHED MAX TEMP	TIME ABOVE 235°C	REACHED 235°C	TIME ABOVE 245°C	REACHED 245°C	TIME ABOVE 260°C	REACHED 260°C
1	242.5	6.58	0.49	6.39	0.00	–	0.00	–
2	242.5	7.10	0.55	6.31	0.00	7.10	0.00	–
3	241.0	7.09	0.42	6.44	0.00	–	0.00	–

11 Device and Documentation Support(장치 및 설명서 지원)

11.1 Device Support

11.1.1 Third-Party Products Disclaimer

TI'S PUBLICATION OF INFORMATION REGARDING THIRD-PARTY PRODUCTS OR SERVICES DOES NOT CONSTITUTE AN ENDORSEMENT REGARDING THE SUITABILITY OF SUCH PRODUCTS OR SERVICES OR A WARRANTY, REPRESENTATION OR ENDORSEMENT OF SUCH PRODUCTS OR SERVICES, EITHER ALONE OR IN COMBINATION WITH ANY TI PRODUCT OR SERVICE.

TI는 제 3 자 제품 또는 서비스와 관련된 정보를 공개하거나 그러한 제품 또는 서비스의 적합성 또는 그러한 제품 또는 서비스의 보증 또는 진술을 단독으로 또는 TI 제품 또는 서비스와 함께 보증하지 않습니다.

11.1.2 Development Support

For developmental support, see the following: WEBENCH Tool, <http://www.ti.com/webench>

개발 지원 내용은 다음을 참조하십시오.

WEBENCH 툴 [http : //www.ti.com/webench](http://www.ti.com/webench)

11.2 Documentation Support

11.2.1 Related Documentation

For related documentation, see the following:

- AN-2027 Inverting Application for the LMZ14203 SIMPLE SWITCHER Power Module, (SNVA425)
- Absolute Maximum Ratings for Soldering, (SNOA549)
- AN-2024 LMZ1420x / LMZ1200x Evaluation Board (SNVA422)
- AN-2085 LMZ23605/03, LMZ22005/03 Evaluation Board (SNVA457)
- AN-2054 Evaluation Board for LM10000 - PowerWise AVS System Controller (SNVA437)
- Step-Down DC-DC Converter with Integrated Low Dropout Regulator and Startup Mode (SNVA473)
- AN-2020 Thermal Design By Insight, Not Hindsight (SNVA419)
- AN-2093 LMZ23610/8/6 and LMZ22010/8/6 Current Sharing Evaluation Board (SNVA460)
- AN-2026 Effect of PCB Design on Thermal Performance of SIMPLE SWITCHER Power Modules (SNVA424)
- Design Summary LMZ1xxx and LMZ2xxx Power Modules Family (SNAA214)

관련 설명서는 다음을 참조하십시오.

- LMZ14203 SIMPLE SWITCHER 전력 모듈 용 AN-2027 반전 어플리케이션 (SNVA425)
- 납땜에 대한 절대 최대 정격, (SNOA549)
- AN-2024 LMZ1420x / LMZ1200x 평가 보드 (SNVA422)
- AN-2085 LMZ23605 / 03, LMZ22005 / 03 평가 보드 (SNVA457)
- LM10000 용 AN-2054 평가 보드 - PowerWise AVS 시스템 컨트롤러 (SNVA437)
- 저전압 강하 레귤레이터 및 스타트 업 모드가 내장 된 스텝 다운 DC-DC 컨버터 (SNVA473)
- 통찰력에 의한 AN-2020 열 설계, 시야 (SNVA419)
- AN-2093 LMZ23610 / 8 / 6 및 LMZ22010 / 8 / 6 전류 공유 형 평가 보드 (SNVA460)

- AN-2026 SIMPLE SWITCHER 전력 모듈의 열 성능에 미치는 PCB 설계의 영향 (SNVA424)
- 설계 요약 LMZ1xxx 및 LMZ2xxx 전력 모듈 제품군 (SNAA214)

11.3 Community Resources

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's Terms of Use. TI E2E™

아래 링크는 TI의 커뮤니티 리소스에 연결합니다. 링크 된 콘텐츠는 각각의 참가자가 "있는 그대로" 제공됩니다. 이들은 TI 사양을 구성하지 않으며 반드시 TI의 견해를 반영하지 않습니다. TI의 이용 약관 참조.

[TI E2E™ Online Community](#) TI's Engineer-to-Engineer (E2E) Community.

Created to foster collaboration among engineers.

At [e2e.ti.com](#), you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

[Design Support](#) TI's Design Support Quickly find helpful E2E forums along with design support tools and contact information for technical support.

TI E2E™ 온라인 커뮤니티 TI의 엔지니어 - 엔지니어 (E2E) 커뮤니티.

엔지니어 간의 협업을 촉진하기 위해 만들어졌습니다.

[e2e.ti.com](#)에서 질문을하고, 지식을 공유하고, 아이디어를 탐구하고, 동료 엔지니어들과 함께 문제를 해결할 수 있습니다.

설계 지원 TI의 설계 지원 설계 지원 도구 및 기술 지원 연락처 정보와 함께 유용한 E2E 포럼을 신속하게 찾을 수 있습니다.

11.4 Trademarks

E2E is a trademark of Texas Instruments.

SIMPLE SWITCHER, WEBENCH are registered trademarks of Texas Instruments.

All other trademarks are the property of their respective owners.

E2E는 Texas Instruments의 상표입니다.

SIMPLE SWITCHER, WEBENCH는 Texas Instruments의 등록 상표입니다.

다른 모든 상표는 해당 소유자의 재산입니다.

11.5 Electrostatic Discharge Caution (정전기 방전주의)

These devices have limited built-in ESD protection.

The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.

이 소자들은 내장 된 ESD 보호 기능이 제한적이다.

MOS 게이트에 대한 정전기 손상을 방지하기 위해 리드를 함께 단락 시키거나 스토리지 또는 취급 중에 전도성 폼에 장치를 배치해야 합니다.

11.6 Glossary

[SLYZ022 — TI](#) Glossary. This glossary lists and explains terms, acronyms, and definitions

SLYZ022 - TI의 용어입니다. 이 용어는 용어, 약어 정의가 나열되고 설명되어 있습니다.

12 Mechanical, Packaging, and Orderable Information기계, 포장 및 주문 가능한 정보

The following pages include mechanical, packaging, and orderable information.

This information is the most current data available for the designated devices.

This data is subject to change without notice and revision of this document.

For browser-based versions of this data sheet, refer to the left-hand navigation.

다음 페이지는 기계, 포장 및 주문 정보를 포함합니다. 이 정보는 지정된 장치에서 사용할 수 있는 최신 데이터입니다. 이 데이터는 이 문서의 사전 통보 및 개정없이 변경 될 수 있습니다. 이 데이터 시트의 브라우저 기반 버전은 왼쪽 탐색을 참조하십시오.