

1 Features

- Wide Input Voltage Range: 4.5 V to 42 V

넓은 입력 전압 범위 : 4.5V ~ 42V

- Internally Compensated Voltage Mode Control

내부 보상 전압 모드 제어

- Stable with Low ESR Ceramic Capacitors

낮은 ESR 세라믹 커패시터이므로 안정적이다.

- 200 mΩ N-Channel MOSFET

200 mΩ N-채널 MOSFET

- Output Voltage Options:

-ADJ (Outputs as Low as 1.285 V)

-5.0 (Output Fixed to 5 V)

출력 전압 옵션 :

-ADJ (1.285V의 낮은 출력)

-5.0 (출력은 5V로 고정)

- $\pm 1.5\%$ Feedback Reference Accuracy

$\pm 1.5\%$ 피드백 기준 정확도

- 500 kHz Default Switching Frequency

500kHz 기본 스위칭 주파수

- Adjustable Switching Frequency and Synchronization

조정 가능한 스위칭 주파수 및 동기화

- -40°C to 125°C Junction Temperature Range

-40°C ~ 125°C 의 접합 온도 범위

- Precision Enable Input

정밀하게 입력 가능

- Integrated Boot-Strap Diode

통합 부트 스트랩 다이오드

- Adjustable Soft-Start

조정 가능한 소프트 스타트

- Fully WEBENCH® Enabled

충분한 WEBENCH® 가능

- LM22672-Q1 is an Automotive Grade Product that is AEC-Q100 Grade 1 Qualified (-40°C to $+125^{\circ}\text{C}$ Junction Temperature)

LM22672-Q1은 AEC-Q100 1 등급 인증 제품 (-40°C ~ $+125^{\circ}\text{C}$ 접합 온도)으로 자동차 등급 제품입니다.

- SO PowerPAD (Exposed Pad)

SO PowerPAD (노출 패드)

2 Applications

- Industrial Control

산업제어

- Telecom and Datacom Systems

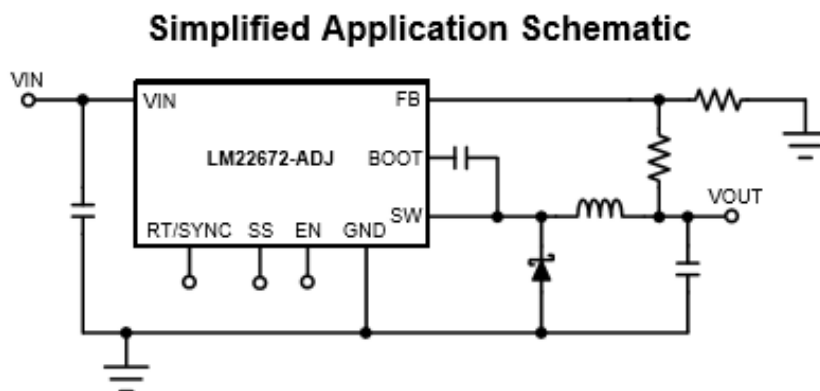
전기통신과 데이터통신 시스템

- Embedded Systems

임베디드 시스템

- Conversions from Standard 24 V, 12 V and 5 V Input Rails

표준 24 V, 12 V 및 5 V 입력 레일의 변환



3 Description

The LM22672 switching regulator provides all of the functions necessary to implement an efficient high voltage step-down (buck) regulator using a minimum of external components. This easy to use regulator incorporates a 42 V N-channel MOSFET switch capable of providing up to 1 A of load current. Excellent line and load regulation along with high efficiency (> 90%) are featured. Voltage mode control offers short minimum on-time, allowing the widest ratio between input and output voltages. Internal loop compensation means that the user is free from the tedious task of calculating the loop compensation components. Fixed 5 V output and adjustable output voltage options are available.

LM22672 스위칭레귤레이터는 최소한의 외부 부품을 사용하여 효율적인 고전압 스텝 다운 (벅) 레귤레이터를 구현하는 데 필요한 모든 기능을 제공한다. 이 사용하기 쉬운 레귤레이터에는 최대 1A의 부하 전류를 제공 할 수있는 42V N 채널 MOSFET 스위치가 내장되어있다. 우수한 라인 및로드 레귤레이션과 고효율 (> 90 %)이 특징이다. 전압 모드 제어는 최소 온 타임을 제공하여 입력 전압과 출력 전압 사이에서 가장 넓은 비율을 허용한다. 내부 루프 보상은 사용자가 루프 보상 구성 요소를 계산하는 지루한 작업으로부터 자유롭다는 것을 의미한다. 고정 5 V 출력 및 조정 가능한 출력 전압 옵션을 사용할 수 있다.

The default switching frequency is set at 500 kHz allowing for small external components and good transient response. In addition, the frequency can be adjusted over a range of 200 kHz to 1 MHz with a single external resistor. The internal oscillator can be synchronized to a system clock or to the oscillator of another regulator. A precision enable input allows simplification of regulator control and system power sequencing. In shutdown mode the regulator draws only 25 μ A (typ). An adjustable soft-start feature is provided through the selection of a single external capacitor. The LM22672 also has built-in thermal shutdown, and current limiting to protect against accidental overloads.

기본 스위칭 주파수는 500kHz로 설정되어 작은 외부 부품 및 우수한 과도 응답을 허용한다. 또한 주파수는 단일 외부 저항으로 200kHz ~ 1MHz 범위에서 조정할 수 있다. 내부 오실레이터는 시스템 클럭 또는 다른 레귤레이터의 오실레이터와 동기화될 수 있다. 정밀 가능한 입력으로 레귤레이터 제어 및 시스템 전원 시퀀싱을 단순화할 수 있다. 섀다운 모드에서 레귤레이터는 단지 25 μ A (일반)만을 소비한다. 단일 외부 커패시터 선택을 통해 조정 가능한 소프트 스타트 기능이 제공된다. 또한 LM22672는 과열로부터 보호하기 위해 열 섀다운 및 전류 제한 기능을 내장하고 있다.

The LM22672 is a member of Texas Instruments' SIMPLE SWITCHER® family. The SIMPLE SWITCHER® concept provides for an easy-to-use complete design using a minimum number of external components and the TI WEBENCH® design tool. TI's WEBENCH® tool includes features such as external component calculation, electrical simulation, thermal simulation, and Build-It boards for easy design-in.

LM22672는 Texas Instruments의 SIMPLE SWITCHER® 제품군의 멤버이다. SIMPLE SWITCHER® 개념은 최소한의 외부 부품 및 TI WEBENCH® 설계 툴을 사용하여 손쉬운 사용이 가능한 완벽한 설계를 제공한다. TI의 WEBENCH® 툴은 외부 부품 계산, 전기적 시뮬레이션, 열 시뮬레이션, 쉬운 설계를 위한 Build-It 보드와 같은 기능을 포함하고 있다.

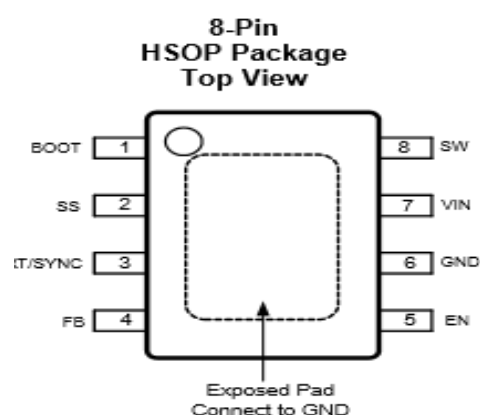
Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
LM22672, LM22672-Q1	HSOP (8)	4.89 mm x 3.90 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

사용 가능한 모든 패키지에 대해서는 데이터 시트 끝에 있는 주문 가능한 부록을 참조하십시오.

5 Pin Configuration and Functions



Pin Functions

PIN		TYPE	DESCRIPTION	APPLICATION INFORMATION
NAME	NO.			
BOOT	1	I	Bootstrap input	Provides the gate voltage for the high side NFET.
EN	5	I	Enable input	Used to control regulator start-up and shutdown. See Precision Enable and UVLO section of data sheet.
EP	EP	—	Exposed Pad	Connect to ground. Provides thermal connection to PCB. See Thermal Considerations .
FB	4	I	Feedback input	Feedback input to regulator.
GND	6	—	Ground input to regulator; system common	System ground pin.
RT/SYNC			Oscillator mode control input	Used to control oscillator mode of regulator. See Switching Frequency Adjustment and Synchronization section of data sheet.
SS	2	I	Soft-start input	Used to increase soft-start time. See Soft-Start section of data sheet.
SW	8	O	Switch output	Switching output of regulator.
VIN		I	Input voltage	Supply input to the regulator.

PIN		TYPE	DESCRIPTION	APPLICATION INFORMATION
NAME	NO.			
BOOT	1	I	부트스트랩 입력	하이 사이드 NFET에 대한 게이트전압을 제공한다.
EN	5	I	활성화 입력	레귤레이터의 스타트 업 및 셧다운을 제어하는 데 사용된다. 데이터 시트의 정밀도 활성화 및 UVLO 섹션을 참조하십시오.
EP	EP	-	외부 패드	그라운드에 연결하십시오. PCB에 온도 연결을 제공합니다. 온도 고려 사항을 참조하십시오.
FB	4	I	피드백 입력	레귤레이터의 피드백 입력
GND	6	-	레귤레이터의 그라운드 입력 시스템; 공통 시스템	시스템 그라운드 핀
RT/SYNC			오실레이터 모드 제어 입력	레귤레이터의 오실레이터 모드를 제어하는 데 사용된다. 데이터 시트의 주파수 조정 및 동기화 섹션을 참조하십시오.
SS	2	I	소프트 스타트 입력	소프트 스타트 시간을 늘리는 데 사용됩니다. 데이터 시트의 소프트 스타트 부분을 참조하십시오.
SW	8	O	스위치 출력	레귤레이터의 스위칭 출력
VIN		I	입력 전압	레귤레이터의 전원 입력

6 Specifications

6.1 Absolute Maximum Ratings⁽¹⁾⁽²⁾

over operating free-air temperature range (unless otherwise noted)

작동 대기 온도 범위 이상 (별도의 언급이없는 한)

	MIN	MAX	UNIT
VIN to GND		43	V
EN Pin Voltage	-0.5	6	V
SS, RT/SYNC Pin Voltage	-0.5	7	V
SW to GND ⁽³⁾	-5	V _{IN}	V
BOOT Pin Voltage		V _{SW} + 7	V
FB Pin Voltage	-0.5	7	V
Power Dissipation	Internally Limited		
Junction Temperature		150	°C
For soldering specifications, refer to Application Report <i>Absolute Maximum Ratings for Soldering</i> (SNOA549).			

(1) Absolute Maximum Ratings indicate limits beyond which damage to the device may occur, including inoperability and degradation of device reliability and/or performance. Functional operation of the device and/or non-degradation at the Absolute Maximum Ratings or other conditions beyond those indicated in the Recommended Operating Conditions is not implied. Recommended Operating Conditions indicate conditions at which the device is functional and should not be operated beyond such conditions. For ensured specifications and conditions, see the Electrical Characteristics table.

절대 최대 등급은 장치의 신뢰성 및 / 또는 성능의 저하 및 작동 불량을 포함하여 장치 손상을 초래할 수 있는 한계를 나타낸다. 장치의 기능 동작 및 / 또는 절대 최대 정격 또는 권장 작동 조건에 명시된 조건 이외의 다른 조건에서의 성능 저하는 암시되지 않는다. 권장 작동 조건은 장치가 작동하는 조건을 나타내며 이러한 조건을 초과하여 작동해서는 안된다. 보증 된 사양 및 조건은 전기 특성 표를 참조하십시오.

(2) If Military/Aerospace specified devices are required, please contact the Texas Instruments Sales Office/Distributors for availability and specifications.

군용 / 항공 우주 지정 장치가 필요한 경우 Texas Instruments 영업 사무소 / 대리점에 가용성 및 사양을 문의하십시오.

(3) The absolute maximum specification of the 'SW to GND' applies to dc voltage. An extended negative voltage limit of -10 V applies to a pulse of up to 50 ns.

'SW to GND'의 절대 최대 사양은 DC 전압에 적용됩니다. 최대 50ns의 펄스에 대해 -10V의 확장 된 음의 전압 제한이 적용됩니다.

6.2 Handling Ratings: LM22672

		MIN	MAX	UNIT
T _{stg}	Storage temperature range	-65	150	°C
V _(ESD)	Electrostatic discharge	Human body model (HBM), per ANSI/ESDA/JEDEC JS-001, all pins ⁽¹⁾		-2 2 kV

(1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

JEDEC 문서 JEP155에 따르면 500-V HBM은 표준 ESD 제어 프로세스로 안전하게 제조 할 수 있다고 명시하고 있습니다

6.3 Handling Ratings: LM22672-Q1

		MIN	MAX	UNIT
T _{stg}	Storage temperature range	-65	150	°C
V _(ESD)	Electrostatic discharge	Human body model (HBM), per AEC Q100-002 ⁽¹⁾		-2 2 kV

(1) AEC Q100-002 indicates HBM stressing is done in accordance with the ANSI/ESDA/JEDEC JS-001 specification

AEC Q100-002는 HBM 중점이 ANSI / ESDA / JEDEC JS-001 규격에 따라 수행되었음을 나타냅니다

6.4 Recommended Operating Conditions

	MIN	MAX	UNIT
V _{IN} Supply Voltage	4.5	42	V
Junction Temperature Range	−40	125	°C

6.5 Thermal Information

THERMAL METRIC ⁽¹⁾			LM22672, LM22672-Q1	UNIT
			HSOP	
			8 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	MR Package, Junction to ambient thermal resistance ⁽²⁾	60	°C/W

(1) For more information about traditional and new thermal metrics, see the IC Package Thermal Metrics application report (SPRA953).

기존온도메트릭 및 새로운 온도메트릭에 대한 자세한 내용은 IC 패키지 온도메트릭 애플리케이션 보고서 (SPRA953)를 참조하십시오.

(2) The value of R_{θJA} for the SO PowerPAD exposed pad (MR) package of 60°C/W is valid if package is mounted to 1 square inch of copper. The R_{θJA} value can range from 42 to 115°C/W depending on the amount of PCB copper dedicated to heat transfer.

60 ° C / W의 SO PowerPAD 노출 패드(MR) 패키지의 R_{θJA} 값은 패키지가 1 제곱 인치의 구리에 장착 된 경우 유효하다.R_{θJA} 값은 온도 전달 전용 PCB 구리의 양에 따라 42 ~ 115 ° C / W의 범위 일 수 있다.

6.6 Electrical Characteristics 전기적 특성

Typical values represent the most likely parametric norm at $T_A = T_J = 25^{\circ}\text{C}$, and are provided for reference purposes only. Unless otherwise specified: $V_{IN} = 12\text{ V}$.

일반적인 값은 $T_A = T_J = 25^{\circ}\text{C}$ 에서 가장 가능성있는매개변수 표준을 나타내며 참조 용으로 만 제공됩니다. 달리 지정하지 않는 한 : $V_{IN} = 12\text{V}$.

PARAMETER		TEST CONDITIONS	MIN ⁽¹⁾	TYP ⁽²⁾	MAX ⁽¹⁾	UNIT
LM22672-5.0						
V _{FB}	Feedback Voltage	V _{IN} = 8 V to 42 V	4.925	5.0	5.075	V
		V _{IN} = 8 V to 42 V, −40°C ≤ T _J ≤ 125°C	4.9		5.1	
LM22672-ADJ						
V _{FB}	Feedback Voltage	V _{IN} = 4.7 V to 42 V	1.266	1.285	1.304	V
		V _{IN} = 4.7 V to 42 V, −40°C ≤ T _J ≤ 125°C	1.259		1.311	
ALL OUTPUT VOLTAGE VERSIONS						
I _Q	Quiescent Current	V _{FB} = 5 V		3.4		mA
		V _{FB} = 5 V, −40°C ≤ T _J ≤ 125°C			6	
I _{STDBY}	Standby Quiescent Current	EN Pin = 0 V		25	40	μA
I _{CL}	Current Limit		1.3	1.5	1.7	A
		−40°C ≤ T _J ≤ 125°C	1.2		1.8	
I _L	Output Leakage Current	V _{IN} = 42 V, EN Pin = 0 V, V _{SW} = 0 V		0.2	2	μA
		V _{SW} = −1 V		0.1	3	μA
R _{DS(ON)}	Switch On-Resistance			0.2	0.24	Ω
		−40°C ≤ T _J ≤ 125°C			0.32	
F _{sw}	Oscillator Frequency			500		kHz
		−40°C ≤ T _J ≤ 125°C	400		600	
T _{OFF}	Minimum Off-time			200		ns
		−40°C ≤ T _J ≤ 125°C	100		300	
T _{ON}	Minimum On-time			100		ns
I _{BIAS}	Feedback Bias Current	V _{FB} = 1.3 V (ADJ Version Only)		230		nA
V _{EN}	Enable Threshold Voltage	Falling		1.6		V
		Falling, −40°C ≤ T _J ≤ 125°C	1.3		1.9	
V _{ENHYST}	Enable Voltage Hysteresis			0.6		V
I _{EN}	Enable Input Current	EN Input = 0 V		6		μA
F _{SYNC}	Maximum Synchronization Frequency	V _{SYNC} = 3.5 V, 50% duty-cycle		1		MHz
V _{SYNC}	Synchronization Threshold Voltage			1.75		V
I _{SS}	Soft-Start Current			50		μA
		−40°C ≤ T _J ≤ 125°C	30		70	
T _{SD}	Thermal Shutdown Threshold			150		°C

(1) MIN and MAX limits are 100% production tested at 25°C . Limits over the operating temperature range are ensured through correlation using Statistical Quality Control (SQC) methods. Limits are used to calculate Average Outgoing Quality Level (AOQL).

MIN 및 MAX 한계는 25°C 에서 100 % 생산 테스트를 거쳤다. 작동온도 범위에 대한 제한은 통계적 품질 관리(SQC) 방법을 사용하여 상관 관계를 통해 보장된다. 한계는 평균발신품질수준(AOQL)을 계산하는데 사용된다.

(2) Typical values represent most likely parametric norms at the conditions specified and are not ensured. 일반적인 값은 명시된 조건에서 가장 가능성있는매개변수 표준을 나타내며 보증되지 않습니다.

6.7 Typical Characteristics

$V_{IN} = 12\text{ V}$, $T_J = 25^\circ\text{C}$ (unless otherwise specified) (달리 명시하지않는한)

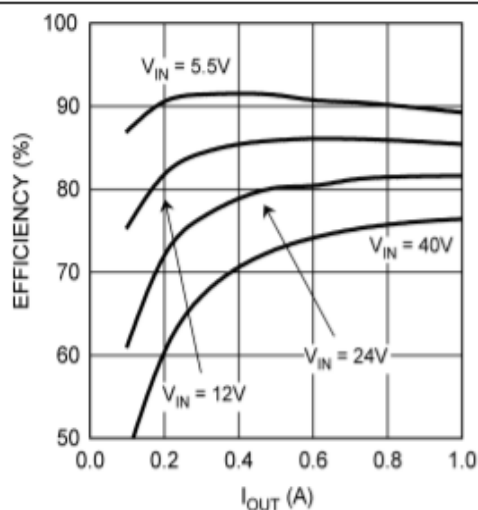


Figure 1. Efficiency vs I_{OUT} and V_{IN} , $V_{OUT} = 3.3\text{ V}$

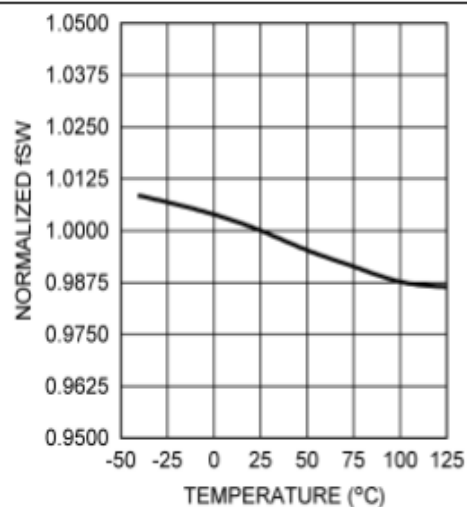


Figure 2. Normalized Switching Frequency vs Temperature

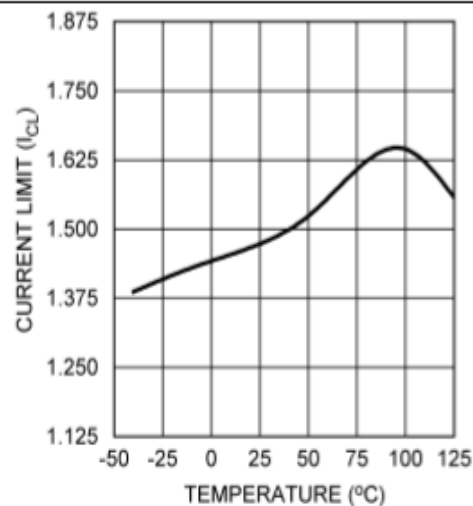


Figure 3. Current Limit vs Temperature

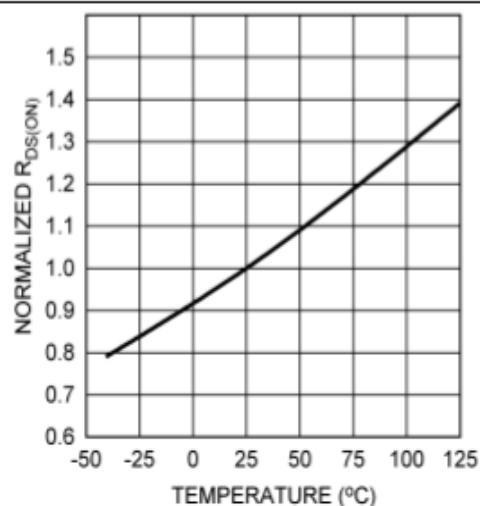


Figure 4. Normalized $R_{DS(ON)}$ vs Temperature

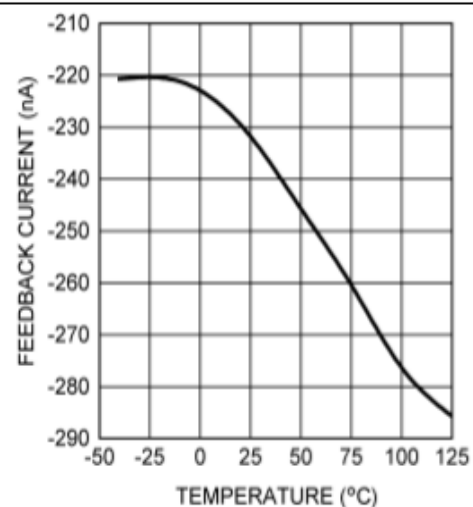


Figure 5. Feedback Bias Current vs Temperature

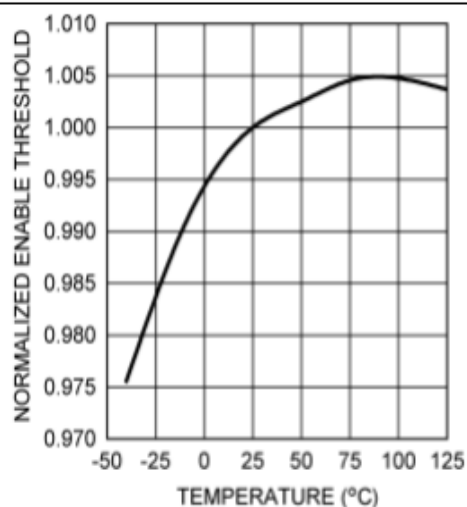


Figure 6. Normalized Enable Threshold Voltage vs Temperature

Typical Characteristics (continued)

$V_{in} = 12\text{ V}$, $T_J = 25^\circ\text{C}$ (unless otherwise specified)

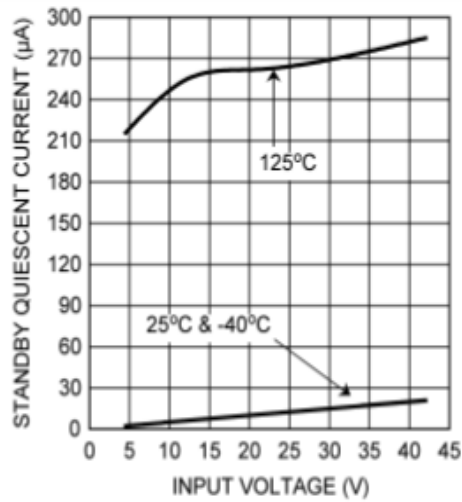


Figure 7. Standby Quiescent Current vs Input Voltage

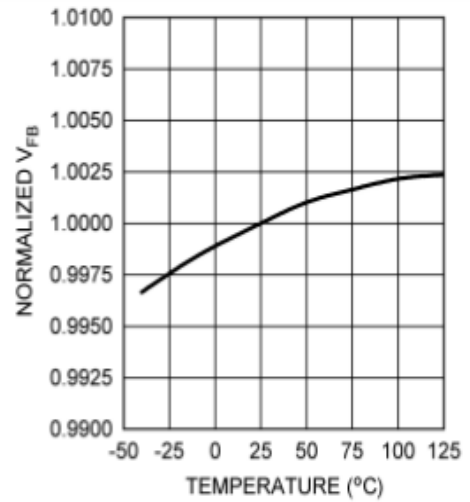


Figure 8. Normalized Feedback Voltage vs Temperature

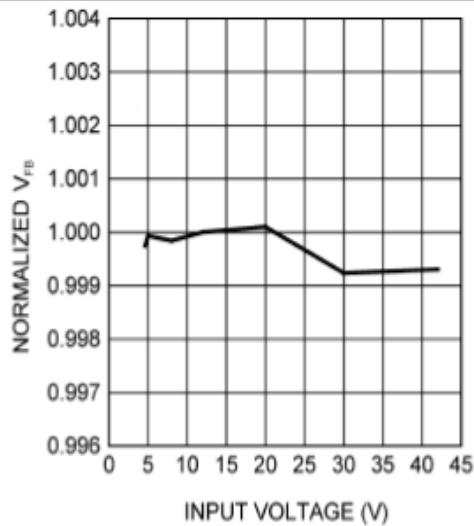


Figure 9. Normalized Feedback Voltage vs Input Voltage

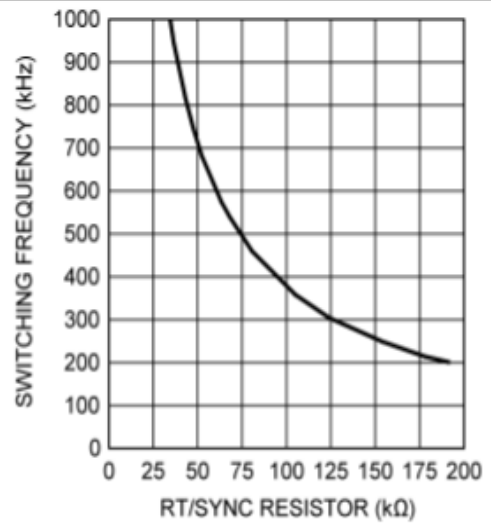


Figure 10. Switching Frequency vs RT/SYNC Resistor

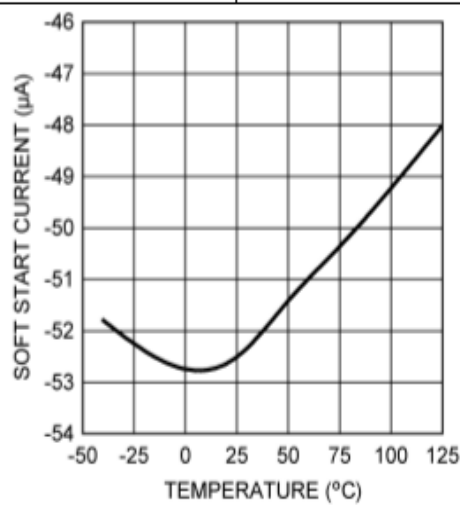
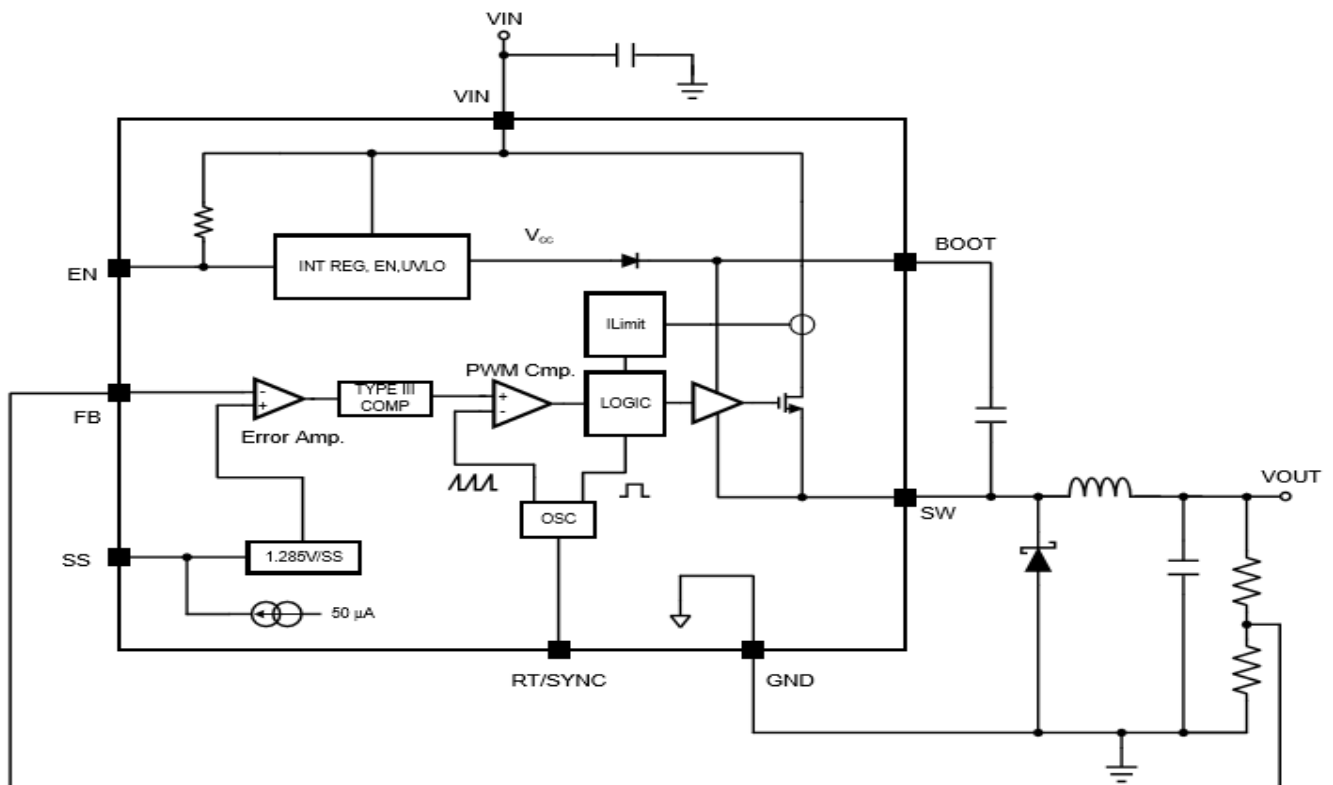


Figure 11. Soft-Start Current vs Temperature



7.3 Feature Description

7.3.1 Precision Enable and UVLO 정밀도활성화 및 UVLO

The precision enable input(EN) is used to control the regulator. The precision feature allows simple sequencing of multiple power supplies with a resistor divider from another supply. Connecting this pin to ground or to a voltage less than 1.6 V(typ) will turn off the regulator. The current drain from the input supply, in this state, is 25 μ A(typ) at an input voltage of 12 V. The EN input has an internal pullup of about 6 μ A. Therefore this pin can be left floating or pulled to a voltage greater than 2.2 V(typ) to turn the regulator on. The hysteresis on this input is about 0.6 V(typ) above the 1.6-(typ) threshold. When driving the enable input, the voltage must never exceed the 6 V absolute maximum specification for this pin.

정밀 인 에이블 입력 (EN)은 레귤레이터를 제어하는 데 사용된다. 이 정밀 기능을 통해 다른 공급 장치의 저항 분배기로 여러 전원 공급 장치를 간단히 시퀀싱(순서화) 할 수 있다. 이 핀을 그라운드 또는 1.6V (일반) 미만의 전압에 연결하면 레귤레이터가 꺼진다. 이 상태에서 입력 전원의 전류 드레인은 12V의 입력 전압에서 25 μ A (일반)이다. EN 입력은 약 6 μ A의 내부 풀업을 갖는다. 따라서 이 핀은 레귤레이터를 켜기 위해 2.2V (일반) 이상의 전압으로 플로팅 또는 풀링 될 수 있다. 이 입력의 이력현상은 1.6V (일반) 임계값보다 약 0.6V (일반)이다. 인에이블 입력을 구동 할 때, 전압은 이 핀의 절대 최대 사양 인 6V를 초과해서는 안된다

Although an internal pullup is provided on the EN pin, it is good practice to pull the input high, when this feature is not used, especially in noisy environments. This can most easily be done by connecting a resistor between VIN and the EN pin. The resistor is required, because the internal zener diode, at the EN pin, will conduct for voltages above about 6 V. The current in this zener must be limited to less than 100 μ A. A resistor of 470 k Ω will limit the current to a safe value for input voltages as high as 42 V. Smaller values of resistor can be used at lower input voltages.

EN 핀에 내부 풀업이 제공되지만, 특히 잡음이 많은 환경에서 이 기능을 사용하지 않을 때 입력을 하이로 풀 (pull)하는 것이 좋다. 이것은 VIN과 EN 핀 사이에 저항을 연결함으로써 가장 쉽게 수행 할 수 있다. EN 핀에서 내부 제너 다이오드가 약 6V 이상의 전압에 대해 작동하므로 저항이 필요하다. 이 제너의 전류는 100 μ A 미만으로 제한되어야 한다. 470k Ω 의 저항은 높은 42V의 입력 전압에 대해 안전한 값으로 전류를 제한한다. 더 낮은 입력 전압에서 더 작은 값의 저항을 사용할 수 있습니다.

The LM22672 device also incorporates an input undervoltage lock-out (UVLO) feature. This prevents the regulator from turning on when the input voltage is not great enough to properly bias the internal circuitry. The rising threshold is 4.3 V (typ) while the falling threshold is 3.9 V (typ). In some cases these thresholds may be too low to provide good system performance. The solution is to use the EN input as an external UVLO to disable the part when the input voltage falls below a lower boundary. This is often used to prevent excessive battery discharge or early turn-on during start-up. This method is also recommended to prevent abnormal device operation in applications where the input voltage falls below the minimum of 4.5 V. Figure 12 shows the connections to implement this method of UVLO. Equation 1 and Equation 2 can be used to determine the correct resistor values.

LM22672 디바이스는 또한 입력 저전압록 아웃 (UVLO) 기능을 통합하고있다. 이렇게하면 입력 전압이 내부 회로를 적절하게 바이어스하기에 충분하지 않을 때 레귤레이터가 켜지지 않게된다. 상승 임계 값은 4.3V (일반)이며 하강 임계 값은 3.9V (일반)입니다. 경우에 따라 이러한 임계 값이 너무 낮아 시스템 성능이 좋지 않을 수 있다. 해결 방법은 EN 입력을 외부 UVLO로 사용하여 입력 전압이 낮은 경계 아래로 떨어지면 부품을 비활성화하는 것이다. 이는 시동 중 과도한 배터리 방전 또는 조기 켜짐을 방지하기 위해 종종 사용된다. 이 방법은 입력 전압이 최소 4.5V 아래로 떨어지는 애플리케이션에서 비정상적인 소자 동작을 방지하기 위해 권장된다. 그림 12는 UVLO의이 방법을 구현하는 연결을 보여준다. 방정식 1과 방정식 2를 사용하여 올바른 저항 값을 결정할 수 있습니다.

$$R_{ENT} = R_{ENB} \cdot \left(\frac{V_{off}}{V_{EN}} - 1 \right) \quad (1)$$

$$V_{on} = V_{off} \cdot \left(\frac{V_{EN} + V_{ENHYST}}{V_{EN}} \right) \quad (2)$$

Where:

V_{off} is the input voltage where the regulator shuts off.

V_{off}는 레귤레이터가 차단되는 입력 전압이다.

V_{on} is the voltage where the regulator turns on.

V_{on}은 레귤레이터가 켜지는 전압입니다.

Due to the 6 μ A pullup, the current in the divider should be much larger than this. A value of 20 k Ω , for R_{ENB} is a good first choice. Also, a zener diode may be needed between the EN pin and ground in order to comply with the absolute maximum ratings on this pin.

6 μ A 풀업으로 인해 디바이더의 전류는 이보다 훨씬 커야한다. R_{ENB}의 경우 20 k Ω 의 값을 사용하는 것이 가장 좋습니다. 또한 이 핀의 절대 최대 정격을 준수하기 위해 EN 핀과 그라운드 사이에 제너 다이오드가 필요할 수 있다.

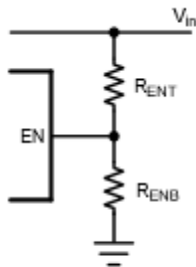


Figure 12. External UVLO Connections

7.3.2 Soft-Start

The soft-start feature allows the regulator to gradually reach steady-state operation, thus reducing start-up stresses. The internal soft-start feature brings the output voltage up in about 500 μ s. This time can be extended by using an external capacitor connected to the SS pin. Values in the range of 100 nF to 1 μ F are recommended. The approximate soft-start time can be estimated from Equation 3.

소프트스타트 기능은 레귤레이터가 점진적으로 정상 상태 동작에 도달하도록하여 스타트 업 스트레스(압박)를 감소시킨다. 내부 소프트 스타트 기능은 약 500 μ s의 출력 전압을 제공한다. 이 시간은 SS 핀에 연결된 외부 커패시터를 사용하여 확장 할 수있다. 100nF ~ 1 μ F 범위의 값을 권장합니다. 대략의 소프트 - 스타트 시간은 수학 식 3으로부터 추정 할 수있다.

$$T_{SS} \sim 26 \times 10^3 \cdot C_{SS} \quad (3)$$

Soft-start is reset any time the part is shut down or a thermal overload event occurs.

소프트스타트는 부품이 정지되거나 온도 과부하 이벤트가 발생할 때마다 재설정된다.

7.3.3 Switching Frequency Adjustment and Synchronization 스위칭 주파수 조정 및 동기화

The LM22672 device will operate in three different modes, depending on the condition of the RT/SYNC pin. With the RT/SYNC pin floating, the regulator will switch at the internally set frequency of 500 kHz (typ). With a resistor in the range of 25 k Ω to 200 k Ω , connected from RT/SYNC to ground, the internal switching frequency can be adjusted from 1 MHz to 200 kHz. Figure 13 shows the typical curve for switching frequency versus the external resistance connected to the RT/SYNC pin. The accuracy of the switching frequency, in this mode, is slightly worse than that of the internal oscillator; about $\pm 25\%$ is to be expected. Finally, an external clock can be applied to the RT/SYNC pin to allow the regulator to synchronize to a system clock or another LM22672. The mode is set during start up of the regulator. When the LM22672 is enabled, or after VIN is applied, a weak pullup is connected to the RT/SYNC pin and, after approximately 100 μ s, the voltage on the pin is checked against a threshold of about 0.8 V. With the RT/SYNC pin open, the voltage floats above this threshold, and the mode is set to run with the internal clock. With a frequency set resistor present, an internal reference holds the pin voltage at 0.8 V; thus, the resulting current sets the mode to allow the resistor to control the clock frequency. If the external circuit forces the RT/SYNC pin to a voltage much greater or less than 0.8 V, the mode is set to allow external synchronization. The mode is latched until either the EN or the input supply is cycled.

LM22672 디바이스는 RT / SYNC 핀의 상태에 따라 세 가지 모드로 동작한다. RT / SYNC 핀이 플로팅상태에 있을 때, 레귤레이터는 내부적으로 설정된 500kHz (일반)의 주파수에서 스위칭한다. RT / SYNC에서 그라운드로 연결된 25kΩ ~ 200kΩ 범위의 저항을 사용하면 내부 스위칭 주파수를 1MHz ~ 200kHz로 조정할 수 있다. 그림 13은 스위칭 주파수와 RT / SYNC 핀에 연결된 외부 저항의 일반적인 곡선을 보여준다. 이 모드에서 스위칭 주파수의 정확도는 내부 오실레이터의 정확도보다 약간 더 낮다. 약 ± 25 %가 예상된다. 마지막으로 외부 클록을 RT / SYNC 핀에 적용하여 레귤레이터가 시스템 클럭이나 다른 LM22672와 동기화되도록 할 수 있다. 모드는 레귤레이터가 시동되는 동안 설정된다. LM22672가 활성화되거나 VIN이 인가된 후, 약한 풀업은 RT / SYNC 핀에 연결되고, 약 100μs 후에 핀의 전압은 약 0.8V의 임계 값과 비교하여 점검된다. RT / SYNC 핀이 열린 상태에서 전압은 이 임계 값 이상으로 플로팅되며, 모드는 내부 클럭과 함께 실행되도록 설정됩니다. 주파수 설정 저항이 존재하면 0.8V의 핀 전압을 내부 기준 전압으로 유지한다. 따라서 결과적인 전류는 저항이 클록 주파수를 제어 할 수 있도록 모드를 설정한다. 외부 회로가 RT / SYNC 핀을 0.8V보다 훨씬 높거나 낮은 전압으로 강제로 전환하면 모드가 외부 동기화를 허용하도록 설정된다. 모드는 EN 또는 입력 전원이 순환 될 때까지 고정된다.

The choice of switching frequency is governed by several considerations. As an example, lower frequencies may be desirable to reduce switching losses or improve duty cycle limits. Higher frequencies, or a specific frequency, may be desirable to avoid problems with EMI or reduce the physical size of external components. The flexibility of increasing the switching frequency above 500 kHz can also be used to operate outside a critical signal frequency band for a given application. Keep in mind that the values of inductor and output capacitor cannot be reduced dramatically by operating above 500 kHz. This is true because the design of the internal loop compensation restricts the range of these components.

스위칭 주파수의 선택은 몇 가지 고려 사항에 의해 결정된다. 예를 들어 스위칭 손실을 줄이거나 듀티 사이클 제한을 향상 시키려면 주파수가 더 낮을 수 있다. EMI 문제를 피하거나 외부 부품의 물리적 크기를 줄이려면 주파수가 높거나 특정 주파수가 바람직하다. 스위칭 주파수를 500kHz 이상으로 높일 수 있는 유연성은 주어진 애플리케이션에서 중요한 신호 주파수 대역 외부에서 작동하는 데에도 사용될 수 있다. 이것은 내부 루프 보상 설계가 이러한 구성 요소의 범위를 제한하기 위해 적용된다.

Frequency synchronization requires some care. First the external clock frequency must be greater than the internal clock frequency, and less than 1 MHz. The maximum internal switching frequency is ensured in the Electrical Characteristics table.

주파수 동기화에는 몇 가지 주의가 필요합니다. 먼저 외부 클럭 주파수는 내부 클럭 주파수보다 커야하며 1MHz 미만이어야 합니다. 전기적 특성 표에서 최대 내부 스위칭 주파수가 보장됩니다.

NOTE : The frequency adjust feature and the synchronization feature can not be used simultaneously.

참고 : 주파수 조정 기능과 동기화 기능은 동시에 사용할 수 없습니다.

The synchronizing frequency must always be greater than the internal clock frequency. Secondly, the RT/SYNC pin must see a valid high or low voltage, during start-up, in order for the regulator to go into the synchronizing mode. Also, the amplitude of the synchronizing pulses must comport with VSYNC levels found in the Electrical Characteristics table. The regulator will synchronize on the rising edge of the external clock. If the external clock is lost during normal operation, the regulator will revert to the 500 kHz (typ) internal clock.

동기화 빈도는 항상 내부 클럭 주파수보다 커야합니다. 둘째, RT / SYNC 핀은 레귤레이터가 동기화 모드로 들어가기 위해 시동 중에 유효한 높은 전압 또는 낮은 전압을 볼 수 있어야한다. 또한 동기화 펄스의 진폭은 전기적 특성 표에있는 VSYNC 레벨과 일치해야합니다. 레귤레이터는 외부 클럭의 상승 에지에서 동기화 할 것이다. 정상 작동 중에 외부 클럭이 손실되면 레귤레이터는 500kHz (일반) 내부 클럭으로 되돌아갑니다.

If the frequency synchronization feature is used, current limit foldback is not operational; see the Current Limit section for details.

주파수 동기화 기능을 사용하면 전류 제한 폴드 백이 작동하지 않습니다. 자세한 내용은 전류 제한 섹션을 참조하십시오.

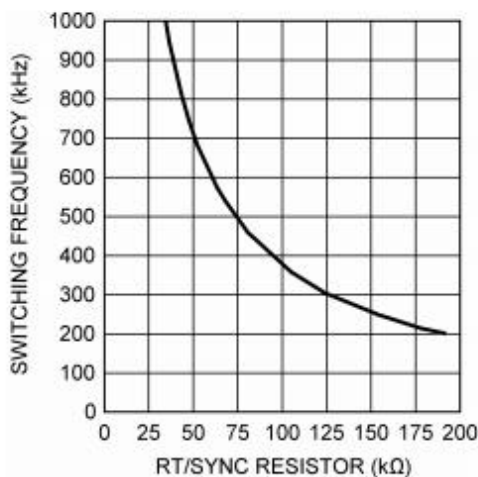


Figure 13. Switching Frequency vs RT/SYNC Resistor

7.3.4 Self-Synchronization

It is possible to synchronize multiple LM22672 regulators together to share the same switching frequency. This can be done by tying the RT/SYNC pins together through a MOSFET and connecting a 1 k Ω resistor to ground at each pin. Figure 14 shows this connection. The gate of the MOSFET should be connected to the regulator with the highest output voltage. Also, the EN pins of both regulators should be tied to the common system enable, in order to properly initialize both regulators. The operation is as follows: When the regulators are enabled, the outputs are low and the MOSFET is off. The 1 k Ω resistors pull the RT/SYNC pins low, thus enabling the synchronization mode. These resistors are small enough to pull the RT/SYNC pin low, rather than activate the frequency adjust mode. Once the output voltage of one of the regulators is sufficient to turn on the MOSFET, the two RT/SYNC pins are tied together and the regulators will run in synchronized mode. The two regulators will be clocked at the same frequency but slightly phase shifted according to the minimum off-time of the regulator with the fastest internal oscillator. The slight phase shift helps to reduce stress on the input capacitors of the regulator. It is important to choose a MOSFET with a low gate threshold voltage so that the MOSFET will be fully enhanced. Also, a MOSFET with low inter-electrode capacitance is required. The 2N7002 is a good choice.

여러 개의 LM22672 레귤레이터를 함께 동기화하여 동일한 스위칭 주파수를 공유 할 수있다. 이것은 RT / SYNC 핀을 MOSFET을 통해 함께 연결하고 각 핀의 접지에 1k Ω 저항을 연결하여 수행 할 수 있습니다. 그림 14는이 연결을 보여줍니다.MOSFET의 게이트는 최고 출력 전압을 갖는 레귤레이터에 연결되어야한다. 또한 두 레귤레이터를 모두 올바르게 초기화하려면 두 레귤레이터의 EN 핀을 공통 시스템 인 에이블에 연결해야한다. 동작은 다음과 같다 :레귤레이터가 인 에이블되면, 출력은 로우이고 MOSFET은 오프이다.1k Ω 저항은 RT / SYNC 핀을 로우로 끌어 와서 동기화 모드를 가능하게한다. 이 저항은 주파수 조정 모드를 활성화하기보다는 RT / SYNC 핀을 낮추기에 충분히 작습니다.레귤레이터 중 하나의 출력 전압이 MOSFET을 켜기에 충분하면 두 개의 RT / SYNC 핀이 함께 연결되고 레귤레이터는 동기화 된 모드로 동작한다.2개의 레귤레이터는 동일한 주파수에서 클럭되지만 가장 빠른 내부 오실레이터를 사용하는 레귤레이터의 최소 오프 타임에 따라 위상이 약간 쉬프트된다.약간의 위상 변이는 레귤레이터의 입력 커패시터에 가해지는 압박을 줄이는 데 도움이됩니다.MOSFET이 완전히 향상되도록 게이트 임계 전압이 낮은 MOSFET을 선택하는 것이 중요합니다. 또한, 전극 간 커패시턴스가 낮은 MOSFET이 필요하다. 2N7002가 좋은 선택입니다.

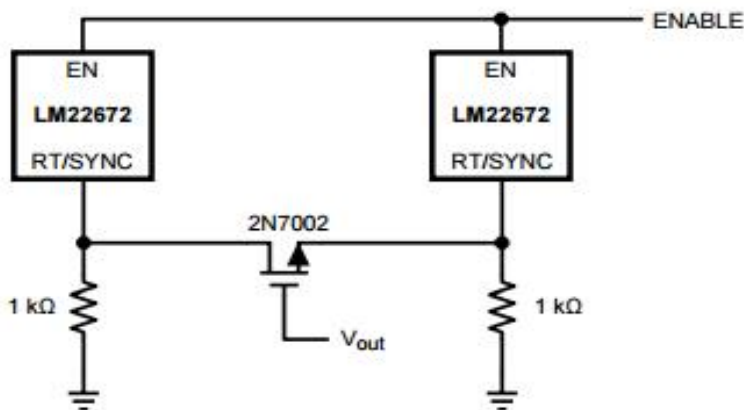


Figure 14. Self-Synchronizing Setup

7.3.5 Boot-Strap Supply

The LM22672 incorporates a floating high-side gate driver to control the power MOSFET. The supply for this driver is the external boot-strap capacitor connected between the BOOT pin and SW. A good quality 10 nF ceramic capacitor must be connected to these pins with short, wide PCB traces. One reason the regulator imposes a minimum off-time is to ensure that this capacitor recharges every switching cycle. A minimum load of about 5 mA is required to fully recharge the boot-strap capacitor in the minimum off-time. Some of this load can be provided by the output voltage divider, if used.

LM22672는 전력 MOSFET을 제어하기 위해 플로팅 하이 사이드 게이트 드라이버를 통합하고있다. 이 드라이버의 전원은 BOOT 핀과 SW 사이에 연결된 외부 부트 스트랩커패시터이다. 양질의 10 nF 세라믹 커패시터는 짧고 넓은 PCB선과 핀을 연결해야한다. 레귤레이터가 최소 오프 타임을 부과하는 한 가지 이유는 이커패시터가 모든 스위칭 사이클을 재충전하도록하는 것이다. 최소 오프 타임으로 부트 스트랩커패시터를 완전히 충전하려면 최소 5mA의 부하가 필요하다. 이 부하 중 일부는 출력 전압 분배기 (사용되는 경우)를 통해 제공 될 수 있습니다.

7.3.6 Internal Loop Compensation

The LM22672 device has internal loop compensation designed to provide a stable regulator over a wide range of external power stage components. The internal compensation of the -ADJ option is optimized for output voltages below 5 V. If an output voltage of 5 V or greater is needed, the -5.0 option with an external resistor divider can be used.

LM22672 디바이스는 광범위한 외부 전원 스테이지 부품에서 안정적인 레귤레이터를 제공하도록 설계된 내부 루프 보상 기능을 갖추고있다. -ADJ 옵션의 내부 보상은 5V 미만의 출력 전압에 최적화되어 있습니다. 5V 이상의 출력 전압이 필요한 경우 외부 저항 분배기가있는 -5.0 옵션을 사용할 수 있습니다.

Ensuring stability of a design with a specific power stage (inductor and output capacitor) can be tricky. The LM22672 stability can be verified using the WEBENCH Designer online circuit simulation tool. A quick start spreadsheet can also be downloaded from the online product folder.

특정 전력 단 (인덕터 및 출력 커패시터)으로 설계의 안정성을 보장하는 것은 까다로울 수 있다. LM22672 안정성은 WEBENCH Designer 온라인 회로 시뮬레이션 도구를 사용하여 확인할 수 있습니다. 빠른 시작 스프레드 시트는 온라인 제품 폴더에서도 다운로드 할 수 있습니다.

The complete transfer function for the regulator loop is found by combining the compensation and power stage transfer functions. The LM22672 has internal type III loop compensation, as detailed in Figure 15. This is the approximate "straight line" function from the FB pin to the input of the PWM modulator. The power stage transfer function consists of a dc gain and a second order pole created by the inductor and output capacitor(s). Due to the input voltage feedforward employed in the LM22672, the power stage dc gain is fixed at 20 dB. The second order pole is characterized by its resonant frequency and its quality factor (Q). For a first pass design, the product of inductance and output capacitance should conform to Equation 4.

레귤레이터 루프의 완전한 전달 함수는 보상 및 전력 단 전달 함수를 결합하여 구할 수 있다. LM22672는 그림 15와 같이 내부 III 형 루프 보상 기능을 가지고 있다. 이것은 FB 핀에서 PWM 모듈레이터의 입력에 이르는 대략적인 "직선" 함수이다. 전력 단 전송 기능은 dc 게인과 인덕터 및 출력 커패시터에 의해 생성된 2 차 극으로 구성된다. LM22672에 사용된 입력 전압 피드 포워드로 인해, 파워 스테이지 DC 게인은 20dB로 고정됩니다. 2 차 극점은 공진 주파수와 품질 계수 (Q)로 특징지어집니다. 첫 번째 패스 설계에서 인덕턴스와 출력 커패시턴스의 곱은 식 4를 따라야 한다.

$$L \cdot C_{out} \approx 1.1 \times 10^{-9}$$

Alternatively, this pole should be placed between 1.5 kHz and 15 kHz and is given by Equation 5. 또는 이 극은 1.5 kHz와 15 kHz 사이에 놓여야 하며 식 5로 표시됩니다.

$$F_o = \frac{1}{2\pi \cdot \sqrt{L \cdot C_{out}}}$$

The Q factor depends on the parasitic resistance of the power stage components and is not typically in the control of the designer. Of course, loop compensation is only one consideration when selecting power stage components; see the Application Information section for more details.

Q 인자는 파워 스테이지 부품의 기생 저항에 따라 달라지며 일반적으로 설계자가 제어하지 못합니다. 물론 루프 보정은 파워 스테이지 구성 요소를 선택할 때 고려해야 할 사항 중 하나입니다. 자세한 내용은 응용 프로그램 정보 섹션을 참조하십시오.

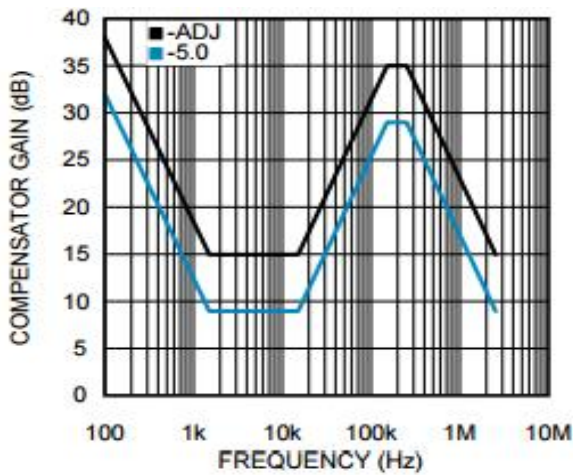


Figure 15. Compensator Gain

In general, hand calculations or simulations can only aid in selecting good power stage components. Good design practice dictates that load and line transient testing should be done to verify the stability of the application. Also, Bode plot measurements should be made to determine stability margins. AN-1889 How to Measure the Loop Transfer Function of Power Supplies (SNVA364) shows how to perform a loop transfer function measurement with only an oscilloscope and function generator.

일반적으로 손 계산 또는 시뮬레이션은 우수한 파워 스테이지 구성 요소를 선택하는 데 도움이 된다. 좋은 설계 방법은 응용 프로그램의 안정성을 확인하기 위해 부하 및 라인 과도 테스트를 수행해야 한다는 것이다. 또한 안정도 마진을 결정하기 위해 보드플롯 측정을 수행해야 한다. AN-1889 전원 공급 장치의 루프 전달 기능 측정 방법 (SNVA364)은 오실로스코프 및 함수 발생기만으로 루프 전달 함수 측정을 수행하는 방법을 보여준다.

7.4 Device Functional Mode

7.4.1 Current Limit

The LM22672 device has current limiting to prevent the switch current from exceeding safe values during an accidental overload on the output. This peak current limit is found in the Electrical Characteristics table under the heading of ICL. The maximum load current that can be provided, before current limit is reached, is determined from Equation 6.

LM22672 디바이스는 실수로 출력에 과부하가 걸리는 동안 스위치 전류가 안전 값을 초과하지 않도록 전류 제한 기능을 갖추고 있다. 이 피크 전류 제한은 ICL 표제 아래의 전기적 특성 표에 나와 있다. 전류 제한에 도달하기 전에 제공 할 수 있는 최대 부하 전류는 식 6에서 결정된다.

$$I_{out|_{max}} \approx I_{CL} - \frac{(V_{in} - V_{out})}{2 \cdot L \cdot F_{sw}} \cdot \frac{V_{out}}{V_{in}}$$

Where:

L is the value of the power inductor.

When the LM22672 device enters current limit, the output voltage will drop and the peak inductor current will be fixed at ICL at the end of each cycle. The switching frequency will remain constant while the duty cycle drops. The load current will not remain constant, but will depend on the severity of the overload and the output voltage.

여기서 L은 파워 인덕터의 값이다

LM22672 디바이스가 전류 제한치에 들어갈 때, 출력 전압은 떨어지고 피크 인덕터 전류는 각 사이클의 끝에서 ICL로 고정 된다. 스위칭 주파수는 듀티 사이클이 떨어지는 동안 일정하게 유지됩니다. 부하 전류는 일정하게 유지되지 않지만 과부하 및 출력 전압의 심각성에 따라 달라집니다.

For very severe overloads ("short-circuit"), the regulator changes to a low frequency current foldback mode of operation. The frequency foldback is about 1/5 of the nominal switching frequency. This will occur when the current limit trips before the minimum on-time has elapsed. This mode of operation is used to prevent inductor current "run-away", and is associated with very low output voltages when in overload. Equation 7 can be used to determine what level of output voltage will cause the part to change to low frequency current foldback.

매우 심각한 과부하 (" short-circuit ")의 경우, 레귤레이터는 저주파 전류 폴드 백 모드로 변경됩니다. 주파수 폴드 백은 공칭 스위칭 주파수의 약 1/5이다. 이것은 전류 제한이 최소 온 타임이 경과하기 전에 트립 될 때 발생합니다. 이 동작 모드는 인덕터 전류가 "벗어남"을 방지하는 데 사용되며 과부하시 매우 낮은 출력 전압과 관련이있다. 식7은 출력 전압의 어떤 레벨이 부품을 저주파 전류 폴드 백으로 변경 시킬지 결정하는 데 사용할 수있다.

$$V_x \leq V_{in} \cdot F_{sw} \cdot T_{on} \cdot 1.8$$

Where:

F_{sw} is the normal switching frequency.

V_{in} is the maximum for the application.

If the overload drives the output voltage to less than or equal to V_x, the part will enter current foldback mode. If a given application can drive the output voltage to $\leq V_x$ during an overload, then a second criterion must be checked. Equation 8 gives the maximum input voltage, when in this mode, before damage occurs.

여기서 F_{sw} 는 정상 스위칭 주파수이다.

V_{in} 은 애플리케이션의 최대 값입니다.

과부하로 인해 출력 전압이 V_x 보다 작거나 같으면 부품은 전류 폴드 백 모드로 들어간다. 과부하 중에 주어진 애플리케이션이 출력 전압을 V_x 미만으로 구동 할 수 있다면 두 번째 기준을 확인해야 합니다. 식 8은 이 모드에서 손상이 발생하기 전 최대 입력 전압을 보여줍니다.

$$V_{in} \leq \frac{V_{sc} + 0.4}{T_{on} \cdot F_{sw} \cdot 0.36}$$

Where:

V_{sc} is the value of output voltage during the overload.

F_{sw} is the normal switching frequency.

여기서 V_{sc} 는 과부하 동안의 출력 전압 값입니다.

F_{sw} 는 정상 스위칭 주파수입니다.

NOTE

If the input voltage should exceed this value, while in foldback mode, the regulator and/or the diode may be damaged.

폴드백모드에서 입력전압이 이값을 초과하는 경우 레귤레이터 및/또는 다이오드가 손상될 수 있다.

It is important to note that the voltages in these equations are measured at the inductor. Normal trace and wiring resistance will cause the voltage at the inductor to be higher than that at a remote load. Therefore, even if the load is shorted with zero volts across its terminals, the inductor will still see a finite voltage. It is this value that should be used for V_x and V_{sc} in the calculations. In order to return from foldback mode, the load must be reduced to a value much lower than that required to initiate foldback. This load "hysteresis" is a normal aspect of any type of current limit foldback associated with voltage regulators.

이 방정식의 전압은 인덕터에서 측정된다는 점에 유의해야 한다. 일반적인 트레이스 및 배선 저항은 인덕터의 전압이 원격 부하에서의 전압보다 높습니다. 따라서 부하가 단자에서 0 볼트로 단락 되더라도 인덕터에는 여전히 제한된 전압이 표시됩니다. 계산에서 V_x 및 V_{sc} 에 사용해야 하는 값입니다. 폴드 백 모드에서 복귀하려면 폴드 백을 시작하는 데 필요한 것보다 훨씬 낮은 값으로 부하를 줄여야 합니다. 이 부하 "히스테리시스"는 전압 레귤레이터와 관련된 모든 유형의 전류 제한 폴드 백의 정상적인 측면입니다.

If the frequency synchronization feature is used, the current limit frequency foldback is not operational, and the system may not survive a hard short-circuit at the output.

The safe operating areas, when in short circuit mode, are shown in Figure 16 through Figure 18 for different switching frequencies. Operating points below and to the right of the curve represent safe operation.

주파수 동기화 기능을 사용하면 전류 제한 주파수 폴드백이 작동하지 않으며 시스템이

단락 회로 모드에서의 안전한 작동 영역은 다양한 스위칭 주파수에 대해 그림 16에서 그림 18까지와 같다. 곡선의 아래쪽과 오른쪽의 작동 점은 안전한 작동을 나타낸다.

NOTE

The curves shown in Figure 16, Figure 17, and Figure 18 are not valid when the LM22672 is in frequency synchronization mode.

그림16,그림17, 그림18의 곡선은 LM22672가 주파수 동기화 모드 일 때 유효하지 않는 것을 보여준다.

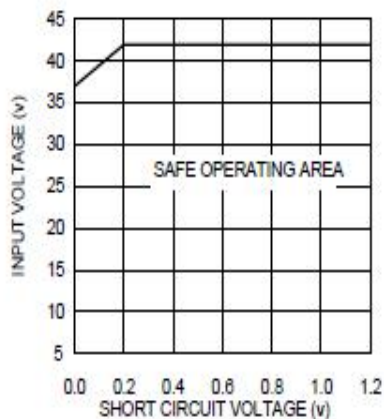


Figure 16. SOA at 300 kHz



Figure 17. SOA at 500 kHz



Figure 18. SOA at 800 kHz

7.4.2 Thermal Protection

Internal thermal shutdown circuitry protects the LM22672 should the maximum junction temperature be exceeded. This protection is activated at about 150°C, with the result that the regulator will shutdown until the temperature drops below about 135°C.

내부온도 셧다운 회로는 최대 접합 온도를 초과하면 LM22672를 보호한다. 이 보호 기능은 약 150 ° C에서 활성화되며 온도가 약 135 ° C 이하로 내려가면 레귤레이터가 종료된다.

7.4.3 Duty-Cycle Limits

Ideally the regulator would control the duty cycle over the full range of zero to one. However due to inherent delays in the circuitry, there are limits on both the maximum and minimum duty cycles that can be reliably controlled. This in turn places limits on the maximum and minimum input and output voltages that can be converted by the LM22672. A minimum on-time is imposed by the regulator in order to correctly measure the switch current during a current limit event. A minimum off-time is imposed in order to re-charge the bootstrap capacitor. Equation 9 can be used to determine the approximate maximum input voltage for a given output voltage.

이상적으로 레귤레이터는 듀티 사이클을 0에서 1까지의 전체 범위에서 제어할 수 있다. 그러나 회로의 잠재적인 지연 때문에 안정적으로 제어할 수 있는 최대 및 최소 듀티 사이클에 대한 요구가 있다. 이는 LM22672로 변환할 수 있는 최대 및 최소 입출력 전압에 대한 제한을 설정한다. 이는 LM22672로 변환할 수 있는 최대 및 최소 입출력 전압에 대한 제한을 설정한다. 전류 제한 이벤트 동안 스위치 전류를 정확하게 측정하기 위해서는 레귤레이터가 최소 온 타임을 인가해야 한다. 부트스트랩 커패시터를 재충전하기 위해서는 최소한의 오프 타임이 필요하다. 식 9는 주어진 출력 전압에 대한 대략적인 최대 입력 전압을 결정하는데 사용될 수 있다.

$$V_{in|_{max}} \approx \frac{V_{out} + 0.4}{T_{on} \cdot F_{sw} \cdot 1.8} \quad (9)$$

Where:

F_{sw} is the switching frequency.

T_{on} is the minimum on-time.

Both parameters can be found in the [Electrical Characteristics](#) table.

If the frequency adjust feature is used, that value should be used for F_{sw} . Nominal values should be used. The worst case is lowest output voltage and highest switching frequency. If this input voltage is exceeded, the regulator will skip cycles, effectively lowering the switching frequency. The consequences of this are higher output voltage ripple and a degradation of the output voltage accuracy.

The second limitation is the maximum duty cycle before the output voltage will "dropout" of regulation. Equation 10 can be used to approximate the minimum input voltage before dropout occurs.

여기에서 F_{sw} 는 스위칭 주파수이다.

T_{ON} 은 최소 온타임 이다.

두 매개 변수는 전기 특성 표에서 찾을 수 있다.

주파수 조정 기능이 사용되면 F_{sw} 에 해당 값을 사용해야 한다. 명목상의 값(공칭 값)을 사용해야 한다. 최악의 경우는 최저 출력 전압과 최고 스위칭 주파수입니다. 이 입력 전압이 초과되면 레귤레이터는 사이클을 스킵하여 스위칭 주파수를 효과적으로 낮춘다. 이 결과 출력 전압 리플이 더 높아지고 출력 전압 정확도가 떨어진다. 두 번째 제한은 출력 전압이 레귤레이션을 "드롭 아웃"하기 전의 최대 듀티 사이클이다.

식 10은 드롭 아웃이 발생하기 전에 최소 입력 전압에 접근하는 데 사용할 수 있다.

$$V_{in|min} \approx \frac{V_{out} + 0.4 + I_{out} \cdot R_L}{1 - T_{off} \cdot F_{sw} \cdot 1.8} + I_{out} \cdot R_{dson} \quad (10)$$

Where:

The values of T_{OFF} and $R_{DS(ON)}$ are found in the [Electrical Characteristics](#) table.

The worst case here is highest switching frequency and highest load. In this equation, R_L is the dc inductor resistance. Of course, the lowest input voltage to the regulator must not be less than 4.5 V (typ).

여기에서 T_{OFF} 및 $R_{DS(ON)}$ 의 값은 전기 특성표에 나와 있다.

최악의 경우는 최고 스위칭 주파수와 최대 부하이다. 이 식에서 R_L 은 dc인덕터 저항이다. 물론 레귤레이터의 최저 입력 전압은 4.5V(일반)보다 낮아서는 안된다.

8 Application and Implementation

NOTE

Information in the following applications sections is not part of the TI components specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

다음 애플리케이션 섹션의 정보는 TI 구성 요소 사양의 일부가 아니며 TI는 그 정확성이나 완전성을 보증하지 않습니다. TI 고객은 자신의 목적을 위한 구성 요소의 적합성을 결정할 책임이 있습니다. 고객은 시스템 기능을 확인하기 위해 설계 구현을 검증하고 테스트해야 합니다.

8.1 Application Information

The LM22672 device is a step down dc-to-dc regulator. It is typically used to convert a higher dc voltage to a lower dc voltage with a maximum output current of 1 A. [Detailed Design Procedure](#) can be used to select components for the LM22670 device. Alternately, the WEBENCH® software may be used to generate completed designs. When generating a design, the WEBENCH® software utilizes iterative design procedure and accesses comprehensive databases of components. Go to [WEBENCH Designer](#) for more details. This section presents a simplified discussion of the design process.

LM22672 디바이스는 스텝 다운 DC-DC 레귤레이터이다. 일반적으로 최대 출력 전류가 1 A 인 높은 dc 전압을 낮은 dc 전압으로 변환하는 데 사용된다. 상세 설계 절차를 사용하여 LM22670 디바이스 용 부품을 선택할 수 있다. 또는 WEBENCH® 소프트웨어를 사용하여 완전한 회로를 생성할 수 있다. 설계를 생성할 때 WEBENCH® 소프트웨어는 반복 설계 절차를 사용하고 포괄적인 구성 요소 데이터베이스에 액세스한다. 자세한 내용은 WEBENCH Designer를 방문하십시오. 이 섹션에서는 설계 프로세스에 대해 간단하게 설명한다.

8.1.1 Output Voltage Divider Selection

For output voltages between about 1.285 V and 5 V, the -ADJ option should be used, with an appropriate voltage divider as shown in Figure 19. Equation 11 can be used to calculate the resistor values of this divider:

약 1.285V와 5V 사이의 출력 전압의 경우 그림 19와 같이 적절한 전압 분배기를 사용하여 -ADJ 옵션을 사용해야 한다. 식 11은 이 분배기의 저항 값을 계산하는 데 사용할 수 있다.

$$R_{FBT} = \left[\frac{V_{out}}{1.285} - 1 \right] \cdot R_{FBB} \quad (11)$$

A good value for R_{FBB} is 1k Ω . This will help to provide some of the minimum load current requirement and reduce susceptibility to noise pick-up. The top of R_{FBT} should be connected directly to the output capacitor or to the load for remote sensing. If the divider is connected to the load, a local high-frequency bypass should be provided at that location.

R_{FBB} 에 적합한 값은 1k Ω 이다. 이렇게하면 최소 부하 전류 조건 중 일부를 제공하고 노이즈 픽업에 대한 민감성을 줄일 수 있다. R_{FBT} 의 상단은 원격 감지를 위해 출력 커패시터 또는 부하에 직접 연결되어야 한다. 디바이더가 부하에 연결되어 있으면 해당 위치에 로컬 고주파 바이패스가 제공되어야 한다.

For output voltages of 5 V, the -5.0 option should be used. In this case no divider is needed and the FB pin is connected to the output. The approximate values of the internal voltage divider are as follows: 7.38k from the FB pin to the input of the error amplifier and 2.55k from there to ground.

5V의 출력 전압의 경우, -5.0 옵션을 사용해야 한다. 이 경우 디바이더가 필요없고 FB 핀이 출력에 연결된다. 내부 전압 분배기의 대략적인 값은 다음과 같다. FB 핀에서 오류 증폭기의 입력까지 7.38k, 거기에서 (오류 증폭기)그라운드까지 2.55k입니다.

Both the -ADJ and -5.0 options can be used for output voltages greater than 5 V, by using the correct output divider. As mentioned in the Internal Loop Compensation section, the -5.0 option is optimized for output voltages of 5 V. However, for output voltages greater than 5 V, this option may provide better loop bandwidth than the -ADJ option, in some applications. If the -5.0 option is to be used at output voltages greater than 5 V, Equation 12 should be used to determine the resistor values in the output divider:

-ADJ 및 -5.0 옵션은 올바른 출력 분배기를 사용하여 5V 이상의 출력 전압에 사용할 수 있다. Internal Loop Compensation 섹션에서 언급했듯이, -5.0 옵션은 5V의 출력 전압에 최적화되어 있습니다. 그러나 5V보다 큰 출력 전압의 경우 이 옵션은 -ADJ 옵션보다 더 나은 루프 대역폭을 제공할 수 있습니다. 5.0 옵션이 5V보다 큰 출력 전압에서 사용될 경우, 출력 분배기의 저항 값을 결정하기 위해 식 12를 사용해야 합니다.

$$R_{FBT} = \frac{R_{FBB} \cdot (V_{out} - 5)}{5 + R_{FBB} \cdot 5 \times 10^{-4}} \quad (12)$$

Again a value of R_{FBB} of about 1k Ω is a good first choice.

RFBB 값은 약 $1\text{k}\Omega$ 으로하는게 좋다.

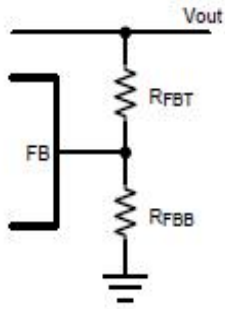


Figure 19. Output Voltage Divider

A maximum value of $10\text{k}\Omega$ is recommended for the sum of R_{FBB} and R_{FBT} to maintain good output voltage accuracy for the -ADJ option. A maximum of $2\text{k}\Omega$ is recommended for the -5.0 option. For the -5.0 option, the total internal divider resistance is typically $9.93\text{k}\Omega$.

-ADJ 옵션의 출력 전압 정확도를 양호하게 유지하기 위해 R_{FBB} 과 R_{FBT} 의 합계는 최대 $10\text{k}\Omega$ 권장한다. -5.0 옵션에는 최대 $2\text{k}\Omega$ 을 권장한다. -5.0 옵션의 경우 총 내부 디바이더 저항은 일반적으로 $9.93\text{k}\Omega$ 이다.

In all cases the output voltage divider should be placed as close as possible to the FB pin of the LM22672; because this is a high impedance input and is susceptible to noise pick-up.

모든경우에있어 출력 전압 분배기는 LM22672의 FB 핀에 최대한 가깝게 위치해야한다. 왜냐하면 높은 임피던스입력은노이즈 픽업의 영향을 받기 쉽기 때문이다.

8.1.2 Power Diode

A Schottky type power diode is required for all LM22672 applications. Ultra-fast diodes are not recommended and may result in damage to the IC due to reverse recovery current transients. The near ideal reverse recovery characteristics and low forward voltage drop of Schottky diodes are particularly important for high input voltage and low output voltage applications common to the LM22672. The reverse breakdown rating of the diode should be selected for the maximum V_{IN} , plus some safety margin. A good rule of thumb is to select a diode with a reverse voltage rating of 1.3 times the maximum input voltage.

모든 LM22672 애플리케이션에는 쇼트키 타입의 전력 다이오드가 필요하다. 초고속 다이오드는 권장하지 않으므로 역회복전류 과도현상으로 인해 IC가 손상될 수 있다. 쇼트키 다이오드의 거의 이상적인 역회복 특성과 낮은 순방향 전압 강하는 LM22672에 공통적인 높은 입력전압 및 낮은 출력 전압 애플리케이션에 특히 중요하다. 다이오드의 역방향 브레이크다운 정격은 최대 V_{IN} 과 약간의 안전 마진을 고려하여 선택해야 한다. 가장 좋은 방법은 역 전압 정격이 최대 입력 전압의 1.3 배인 다이오드를 선택하는 것이다.

Select a diode with an average current rating at least equal to the maximum load current that will be seen in the application.

애플리케이션에서 볼 수 있는 최대 부하 전류와 적어도 같은 평균 전류정격을 갖는 다이오드를 선택한다.

8.2 Typical Application

8.2.1 Typical Buck Regulator Application

Figure 20 shows an example of converting an input voltage range of 5.5 V to 35 V, to an output of 3.3 V at 1 Amp.

그림20은 5.5V ~ 35V의 입력 전압 범위를 1amp에서 3.3V의 출력으로 변환하는 예를 보여준다.

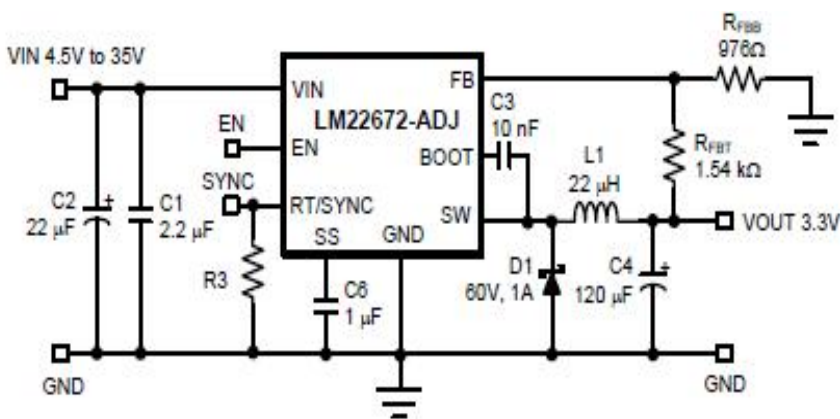


Figure 20. Typical Buck Regulator Application

8.2.1.1 Design Requirements

DESIGN PARAMETERS	EXAMPLE VALUE
Driver Supply Voltage (VIN)	4.5 to 42 V
Output Voltage (VOUT)	3.3 V
RFBT	Calculated based on RFB and VREF of 1.285 V.
RFB	1 kΩ to 10 kΩ
IOUT	3 A

8.2.1.2 Detailed Design Procedure

8.2.1.2.1 External Components

The following guidelines should be used when designing a step-down (buck) converter with the LM22672.

LM22672로 스텝 다운 (벅) 컨버터를 설계 할 때 다음 가이드 라인을 사용해야한다.

8.2.1.2.1.1 Inductor

The inductor value is determined based on the load current, ripple current, and the minimum and maximum input voltages. To keep the application in continuous conduction mode (CCM), the maximum ripple current, I_{RIPPLE} , should be less than twice the minimum load current.

인덕터 값은 부하 전류, 리플 전류 및 최소 및 최대 입력 전압에 따라 결정된다. 응용 프로그램을 전류 연속 모드(CCM)로 유지하려면 최대 리플 전류, I_{RIPPLE} 은 최소 부하 전류의 두배 미만이어야 한다.

The general rule of keeping the inductor current peak-to-peak ripple around 30% of the nominal output current is a good compromise between excessive output voltage ripple and excessive component size and cost. Using this value of ripple current, the value of inductor, L , is calculated using Equation 13.

인덕터 전류 피크 - 피크 리플을 공칭 출력 전류의 약

30 %로 유지하는 일반적인 규칙은 과도한 출력 전압 리플과 과도한 부품 크기 및 비용 간의 적절한 절충안이다. 이 리플 전류 값을 사용하여 인덕터 값 L 은 식 13을 사용하여 계산된다.

$$L = \frac{(V_{in} - V_{out}) \cdot V_{out}}{0.3 \cdot I_{out} \cdot F_{sw} \cdot V_{in}} \quad (13)$$

Where:

F_{sw} is the switching frequency.

V_{in} should be taken at its maximum value, for the given application.

The formula in Equation 13 provides a guide to select the value of the inductor L ; the nearest standard value will then be used in the circuit.

Once the inductor is selected, the actual ripple current can be found from Equation 14:

여기서 F_{sw} 는 스위칭 주파수입니다.

주어진 응용 프로그램에 대해 V_{in} 은 최대 값으로 가져와야 한다.

식 13의 공식은 인덕터 L 의 값을 선택하는 가이드를 제공한다.

가장 가까운 표준 값이 회로에서 사용됩니다. 일단 인덕터가 선택되면 실제 리플 전류는 식 14에서 찾을 수 있다.

$$\Delta I = \frac{(V_{in} - V_{out}) \cdot V_{out}}{L \cdot F_{sw} \cdot V_{in}} \quad (14)$$

Increasing the inductance will generally slow down the transient response but reduce the output voltage ripple. Reducing the inductance will generally improve the transient response but increase the output voltage ripple.

인덕턴스를 증가시키면 일반적으로 과도 응답은 느려지지만 출력 전압 리플은 감소합니다. 인덕턴스를 줄이면 일반적으로 과도 응답이 개선되지만 출력 전압 리플이 증가합니다.

The inductor must be rated for the peak current, I_{PK} , in a given application, to prevent saturation. During normal loading conditions, the peak current is equal to the load current plus 1/2 of the inductor ripple current.

포화를 방지하기 위해 인덕터는 특정 애플리케이션에서 최대 전류 (I_{PK})에 대한 정격을 가져야 한다.

정상 부하 조건에서 피크 전류는 부하 전류에 인덕터 리플 전류의 1/2을 더한 값과 같습니다.

During an overload condition, as well as during certain load transients, the controller may trip current limit. In this case the peak inductor current is given by I_{CL} , found in the *Electrical Characteristics* table. Good design practice requires that the inductor rating be adequate for this overload condition.

과부하 상태 및 특정 부하 과도 상태 동안 컨트롤러는 전류 제한을 트립할 수 있습니다. 이 경우 피크 인덕터 전류는 전기적 특성 표에 있는 I_{CL} 로 표시됩니다. 우수한 설계 기법을 위해서는 인덕터 정격이 과부하 상태에 적합해야 한다.

NOTE

If the inductor is not rated for the maximum expected current, it can saturate resulting in damage to the LM22672 and/or the power diode.

인덕터가 최대 예상 전류에 대해 정격을 받지 못하면 포화되어 LM22672 및 / 또는 전원 다이오드가 손상될 수 있습니다.

8.2.1.2.1.2 Input Capacitor

The input capacitor selection is based on both input voltage ripple and RMS current. Good quality input capacitors are necessary to limit the ripple voltage at the VIN pin while supplying most of the regulator current during switch on-time. Low ESR ceramic capacitors are preferred. Larger values of input capacitance are desirable to reduce voltage ripple and noise on the input supply. This noise may find its way into other circuitry, sharing the same input supply, unless adequate bypassing is provided. A very approximate formula for determining the input voltage ripple is shown in Equation 15.

입력 커패시터 선택은 입력 전압 리플과 RMS

전류를 기반으로 한다. 스위치 온 시간 동안 대부분의 레귤레이터 전류를 공급하면서 VIN

핀의 리플 전압을 제한하려면 양질의 입력 커패시터가 필요하다. 낮은 ESR

세라믹 커패시터가 선호된다. 입력 전원의 전압 리플 및 잡음을 줄이려면 입력 커패시터의 값을 크게 하는 것이 바람직합니다. 이 잡음은 바이패싱이 제공되지 않는 한 동일한 입력 전원을 공유하는 다른 회로로 옮길 수 있다. 입력 전압 리플을 결정하기 위한 매우 근사 공식은 식 15와 같다.

$$V_{ri} \approx \frac{I_{out}}{4 \cdot F_{sw} \cdot C_{in}} \quad (15)$$

Where:

V_{ri} is the peak-to-peak ripple voltage at the switching frequency.

Another concern is the RMS current passing through this capacitor. Equation 16 gives an approximation to this current:

여기에서 V_{ri} 는 스위칭 주파수에서 최대 최소 리플 전압이다. 또 다른 문제는 이 커패시터를 통과하는 RMS 전류이다. 식 16은 이 전류에 대한 근사 값을 제공한다.

$$I_{rms} \approx \frac{I_{out}}{2} \quad (16)$$

The capacitor must be rated for at least this level of RMS current at the switching frequency.

커패시터는 적어도 스위칭 주파수에서 RMS 전류 레벨 이상이어야 한다.

All ceramic capacitors have large voltage coefficients, in addition to normal tolerances and temperature coefficients. To help mitigate these effects, multiple capacitors can be used in parallel to bring the minimum capacitance up to the desired value. This may also help with RMS current constraints by sharing the current among several capacitors. Many times it is desirable to use an electrolytic capacitor on the input, in parallel with the ceramics. The moderate ESR of this capacitor can help to damp any ringing on the input supply caused by long power leads. This method can also help to reduce voltage spikes that may exceed the maximum input voltage rating of the LM22672.

모든 세라믹 커패시터는 일반적인 허용 오차 및 온도 계수 외에도 큰 전압 계수를 갖는다. 이러한 효과를 줄이기 위해 여러 커패시터를 병렬로 사용하여 최소 커패시턴스를 원하는 값까지 높일 수 있다. 이는 여러 커패시터 사이에서 전류를 공유함으로써 RMS 전류 제한에도 도움이 될 수 있다. 종종 입력에 세라믹과 병렬로 전해 커패시터를 사용하는 것이 바람직하다. 이 커패시터의 적당한 ESR은 전원 리드에 의해 발생하는 입력 전원의 울림을 완화하는 데 도움이 될 수 있습니다. 이 방법은 또한 LM22672의 최대 입력 전압 정격을 초과 할 수있는 전압 스파이크를 줄이는 데 도움이 될 수 있습니다.

It is good practice to include a high frequency bypass capacitor as close as possible to the LM22672. This small case size, low ESR, ceramic capacitor should be connected directly to the VIN and GND pins with the shortest possible PCB traces. Values in the range of 0.47 μ F to 1 μ F are appropriate. This capacitor helps to provide a low impedance supply to sensitive internal circuitry. It also helps to suppress any fast noise spikes on the input supply that may lead to increased EMI.

LM22672에 가능한 한 가깝게 고주파 바이패스 커패시터를 포함하는 것이 좋다. 이 소형 케이스 크기, 낮은 ESR, 세라믹 커패시터는 가능한 가장 짧은 PCB 선으로 VIN 및 GND 핀에 직접 연결해야 한다. 0.47 μ F ~ 1 μ F 범위의 값이 적절합니다. 이 커패시터는 민감한 내부 회로에 낮은 임피던스 전원을 공급하는 데 도움이 된다. 또한 EMI가 증가 할 수있는 입력 서플라이의 빠른 노이즈 스파이크를 억제하는 데 도움이 된다.

8.2.1.2.1.3 Output Capacitor

The output capacitor is responsible for filtering the output voltage and supplying load current during transients. Capacitor selection depends on application conditions as well as ripple and transient requirements. Best performance is achieved with a parallel combination of ceramic capacitors and a low ESR SP™ or POSCAP™ type. Very low ESR capacitors such as ceramics reduce the output ripple and noise spikes, while higher value electrolytics or polymer provide large bulk capacitance to supply transients. Assuming very low ESR, Equation 17 gives an approximation to the output voltage ripple.

출력 커패시터는 출력 전압을 필터링하고 과도 상태 동안 부하 전류를 공급한다. 커패시터 선택은 리플 및 과도 조건뿐 아니라 적용 조건에 따라 달라진다. 최고의 성능은 세라믹 커패시터와 저 ESR SP™ 또는 POSCAP™ 유형의 병렬 조합으로 얻을 수 있다. 세라믹과 같은 매우 낮은 ESR 커패시터는 출력 리플과 잡음 스파이크를 줄이는 반면, 높은 값의 전해질 또는 폴리머는 과도 전압을 공급하기 위해 대량의 커패시턴스를 제공한다. 매우 낮은 ESR을 가정 할 때, Equation 17은 출력 전압 리플에 대한 근사값을 제공한다.

$$V_{ro} \approx \frac{(V_{in} - V_{out}) \cdot V_{out}}{8 \cdot V_{in}} \cdot \frac{1}{F_{sw}^2 \cdot L \cdot C_{out}} \quad (17)$$

Typically, a total value of 100 μ F or greater is recommended for output capacitance.

In applications with Vout less than 3.3 V, it is critical that low ESR output capacitors are selected. This will limit potential output voltage overshoots as the input voltage falls below the device normal operating range.

If the switching frequency is set higher than 500 kHz, the capacitance value may not be reduced proportionally due to stability requirements. The internal compensation is optimized for circuits with a 500 kHz switching frequency. See the Internal Loop Compensation section for more details.

일반적으로 출력 커패시턴스에는 총 100 μ F 이상의 값을 권장한다.

V_{out}이 3.3V 미만인 애플리케이션에서는 낮은 ESR 출력 커패시터를 선택해야한다. 이렇게하면 입력 전압이 장치 정상 작동 범위 아래로 떨어질때 잠재적 인 출력 전압 오버 슈트 제한된다.

스위칭 주파수가 500kHz보다 높게 설정된 경우, 커패시턴스 값은 안정성 요건으로 인해 비례 적으로 감소하지 않을 수 있습니다. 내부 보상은 500kHz 스위칭 주파수를 갖는 회로에 최적화되어있다. 자세한 내용은 내부 루프 보정 섹션을 참조하십시오.

8.2.1.2.1.4 Boot-strap Capacitor

The bootstrap capacitor between the BOOT pin and the SW pin supplies the gate current to turn on the Nchannel MOSFET. The recommended value of this capacitor is 10 nF and should be a good quality, low ESR ceramic capacitor.

BOOT 핀과 SW 핀 사이의 부트 스트랩 커패시터는 게이트 전류를 공급하여 N 채널 MOSFET을 켜다. 이 커패시터의 권장 값은 10nF이며 양질의 낮은 ESR 세라믹 커패시터여야 한다.

In some cases it may be desirable to slow down the turn-on of the internal power MOSFET, in order to reduce EMI. This can be done by placing a small resistor in series with the Cboot capacitor. Resistors in the range of 10 Ω to 50 Ω can be used. This technique should only be used when absolutely necessary, because it will increase switching losses and, thereby reduce efficiency.

어떤 경우에는 EMI를 줄이기 위해 내부 파워 MOSFET의 턴 온을 늦추는 것이 바람직하다. 이는 Cboot 커패시터와 직렬로 작은 저항을 배치하여 수행 할 수 있다. 10 Ω ~ 50 Ω 범위의 저항을 사용할수 있다. 이 기법은 절대적으로 필요한 경우에만 사용해야하며, 왜냐하면 스위칭 손실을 증가시켜 효율을 저하시키기 때문이다.

8.2.1.3 Application Curves

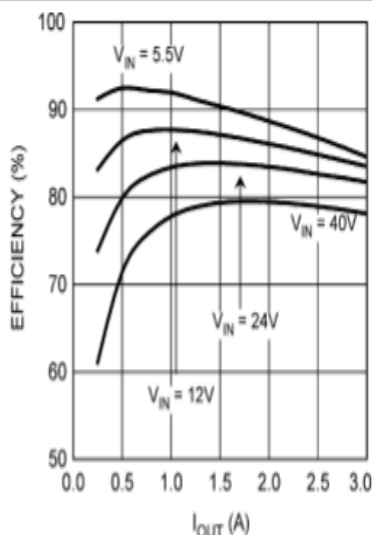


Figure 21. Efficiency vs I_{OUT} and V_{IN}, V_{OUT} = 3.3 V

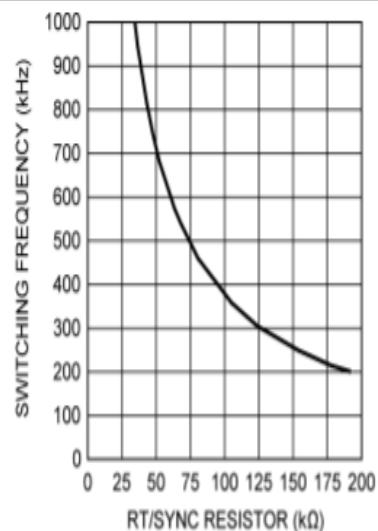


Figure 22. Switching Frequency vs RT/SYNC Resistor

9 Power Supply Recommendations

The LM22672 device is designed to operate from an input voltage supply range between 4.5 V and 42 V. This input supply should be well regulated and able to withstand maximum input current and maintain a stable voltage. The resistance of the input supply rail should be low enough that an input current transient does not cause a high enough drop at the LM22672 supply voltage that can cause a false UVLO fault triggering and system reset. If the input supply is located more than a few inches from the LM22672 device, additional bulk capacitance may be required in addition to the ceramic bypass capacitors. The amount of bulk capacitance is not critical, but a 47 μ F or 100 μ F electrolytic capacitor is a typical choice.

LM22672 디바이스는 4.5V ~ 42V의 입력 전압 범위에서 동작하도록 설계되었다. 이 입력 전원은 잘 조절되어야 하며 최대 입력 전류를 견딜 수 있어야 하며 안정적인 전압을 유지해야 한다. 입력 전원 레일의 저항은 입력 과도 전류에 의해 LM22672의 전원 전압이 충분히 하락하지 않기 때문에 잘못된 UVLO 오류트리거와 시스템 리셋이 발생할 수 있다. 입력 전원이 LM22672 디바이스로부터 몇 인치 이상 떨어져 있으면 세라믹 바이 패스 커패시터에 추가로 커다란 커패시턴스가 필요할 수 있다. 벌크 커패시턴스의 양은 중요하지 않지만 47 μ F 또는 100 μ F 전해 커패시터가 일반적으로 선택됩니다.

10 Layout

10.1 Layout Guidelines

Board layout is critical for the proper operation of switching power supplies. First, the ground plane area must be sufficient for thermal dissipation purposes. Second, appropriate guidelines must be followed to reduce the effects of switching noise. Switch mode converters are very fast switching devices. In such cases, the rapid increase of input current combined with the parasitic trace inductance generates unwanted $L di/dt$ noise spikes. The magnitude of this noise tends to increase as the output current increases. This noise may turn into electromagnetic interference (EMI) and can also cause problems in device performance. Therefore, care must be taken in layout to minimize the effect of this switching noise.

보드 레이아웃은 스위칭 전원 공급 장치의 적절한 작동에 중요합니다. 첫째, 그라운드면 영역은 방열 목적으로 충분해야 한다. 둘째, 스위칭 노이즈의 영향을 줄이기 위해 적절한 지침을 따라야 한다. 스위치 모드 변환기는 매우 빠른 스위칭 장치이다. 이러한 경우 기생 트레이스 인덕턴스와 결합 된 입력 전류의 급격한 증가는 불필요한 $L di/dt$ 잡음 스파이크를 발생시킨다. 이 잡음의 크기는 출력 전류가 증가함에 따라 증가하는 경향이 있다. 이 잡음은 전자파 장애 (EMI)로 변할 수 있으며 장치 성능에 문제를 일으킬 수도 있다. 따라서 스위칭 잡음의 영향을 최소화하기 위해 레이아웃을 주의해야 합니다.

The most important layout rule is to keep the ac current loops as small as possible. Figure 23 shows the current flow in a buck converter. The top schematic shows a dotted line which represents the current flow during the FET switch on-state. The middle schematic shows the current flow during the FET switch off-state.

가장 중요한 레이아웃 규칙은 AC 전류 루프를 가능한 작게 유지하는 것입니다. 그림 23은 벅 컨버터의 전류 흐름을 보여준다. 상단의 회로도는 FET 스위치가 켜진 상태에서의 전류 흐름을 나타내는 점선을 보여줍니다. 가운데의 개략도는 FET 스위치 오프 상태 동안의 전류 흐름을 보여준다.

The bottom schematic shows the currents referred to as ac currents. These ac currents are the most critical because they are changing in a very short time period. The dotted lines of the bottom schematic are the traces to keep as short and wide as possible. This will also yield a small loop area reducing the loop inductance. To avoid functional problems due to layout, review the PCB layout example. Best results are achieved if the placement of the LM22672 device, the bypass capacitor, the Schottky diode, RFBB, RFBT, and the inductor are placed as shown in the example. Note that, in the layout shown, R1 = RFBB and R2 = RFBT. It is also recommended to use 2 oz copper boards or heavier to help thermal dissipation and to reduce the parasitic inductances of board traces. See application note AN-1229 SIMPLE SWITCHER® PCB Layout Guidelines (SNVA054) for more information.

하단의 개략도는 교류 전류라고하는 전류를 보여줍니다. 이러한 교류 전류는 매우 짧은 시간 내에 변하기 때문에 가장 중요합니다. 맨 아래 회로도의 점선은 가능한 한 짧고 넓은 흔적입니다. 이것은 또한 루프 인덕턴스를 감소시키는 작은 루프 면적을 산출 할 것이다. 레이아웃으로 인한 기능적 문제를 피하려면 PCB 레이아웃 예를 검토하십시오. LM22672 디바이스, 바이 패스 커패시터, 쇼트 키 다이오드, RFBB, RFBT 및 인덕터의 배치가 예제와 같이 배치되면 최상의 결과를 얻을 수 있다. 표시된 레이아웃에서 R1 = RFBB 및 R2 = RFBT입니다. 또한 열 발산을 돕고 보드 트레이스의 기생 인덕턴스를 줄이려면 2 온스 이상의 동판을 사용하는 것이 좋습니다. 자세한 정보는 애플리케이션 노트 AN-1229 SIMPLE SWITCHER® PCB 레이아웃 가이드 라인 (SNVA054)을 참조하십시오.

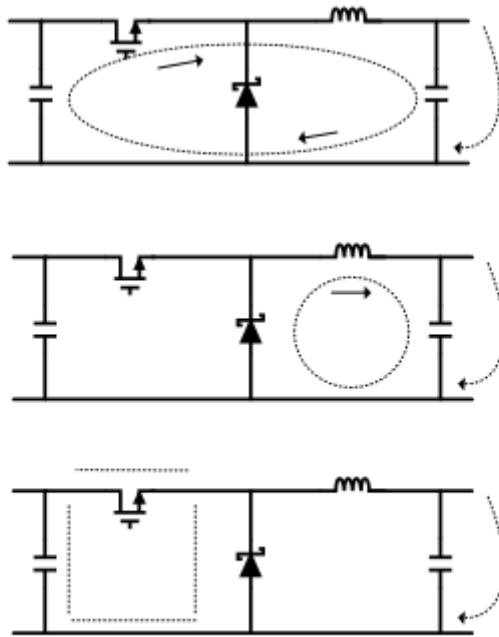


Figure 23. Current Flow in a Buck Application

10.3 Thermal Considerations

The components with the highest power dissipation are the power diode and the power MOSFET internal to the LM22672 regulator. The easiest method to determine the power dissipation within the LM22672 is to measure the total conversion losses then subtract the power losses in the diode and inductor. The total conversion loss is the difference between the input power and the output power. An approximation for the power diode loss is shown in Equation 18:

전력 손실이 가장 큰 부품은 LM22672 레귤레이터 내부의 전원 다이오드 및 전력 MOSFET이다. LM22672에서 전력 손실을 결정하는 가장 쉬운 방법은 총 변환 손실을 측정 한 다음 다이오드 및 인덕터에서 전력 손실을 빼는 것이다. 총 변환 손실은 입력 전력과 출력 전력의 차이입니다. 전력 다이오드 손실에 대한 근사값은 식 18과 같다.

$$P_D = I_{out} \cdot V_D \cdot \left[1 - \frac{V_{out}}{V_{in}} \right] \quad (18)$$

where

- V_D is the diode voltage drop.

An approximation for the inductor power is shown in Equation 19:

여기서 V_D 는 다이오드 전압 강하입니다.

인덕터 전력에 대한 근사값은 식 19를 참조

$$P_L = I_{out}^2 \cdot R_L \cdot 1.1 \quad (19)$$

Where:

R_L is the dc resistance of the inductor.

The 1.1 factor is an approximation for the ac losses.

R_L 은 인덕터의 DC 저항이다.

1.1 인자는 교류 손실에 대한 근사치입니다.

The regulator has an exposed thermal pad to aid power dissipation. Adding multiple vias under the device to the ground plane will greatly reduce the regulator junction temperature. Selecting a diode with an exposed pad will also aid the power dissipation of the diode. The most significant variables that affect the power dissipation of the regulator are output current, input voltage and operating frequency. The power dissipated while operating near the maximum output current and maximum input voltage can be appreciable. The junction-to-ambient thermal resistance of the LM22672 will vary with the application. The most significant variables are the area of copper in the PC board, the number of vias under the IC exposed pad and the amount of forced air cooling provided. A large continuous ground plane on the top or bottom PCB layer will provide the most effective heat dissipation. The integrity of the solder connection from the IC exposed pad to the PC board is critical. Excessive voids will greatly diminish the thermal dissipation capacity. The junction-to-ambient thermal resistance of the LM22672 SO PowerPAD package is specified in the Electrical Characteristics table. See AN-2020 Thermal Design By Insight, Not Hindsight (SNVA419) for more information.

레귤레이터에는 전력 소모를 돕기 위해 노출 된 열 패드가 있습니다. 소자 아래에 다중 비아를 접지면에 추가하면 레귤레이터 접합 온도가 크게 낮아진다. 노출 패드가있는 다이오드를 선택하면 다이오드의 전력 손실을 도울 수 있다. 레귤레이터의 전력 손실에 영향을 미치는 가장 중요한 변수는 출력 전류, 입력 전압 및 동작 주파수이다. 최대 출력 전류 및 최대 입력 전압 근처에서 동작하는 동안 소비되는 전력은 상당 할 수 있습니다. LM22672의 접합부 - 주변부 내열성은 애플리케이션에 따라 다릅니다. 가장 중요한 변수는 PC 보드의 구리 면적, IC 노출 패드 아래의 비아 수 및 제공된 강제 냉각 냉각량입니다. 상단 또는 하단 PCB 레이어에 커다란 연속 접지면이 가장 효과적인 열 발산을 제공합니다. IC 노출 패드에서 PC 보드로의 솔더 연결의 무결성이 중요합니다. 과도한 보이드는 열 방출 용량을 크게 감소시킵니다. LM22672 SO PowerPAD 패키지의 접합부 - 대기 간 열 저항은 전기적 특성 표에 명시되어 있습니다. 더 자세한 정보는 통찰력에 의한 AN-2020 열 설계 (SNVA419)를 참조하십시오.