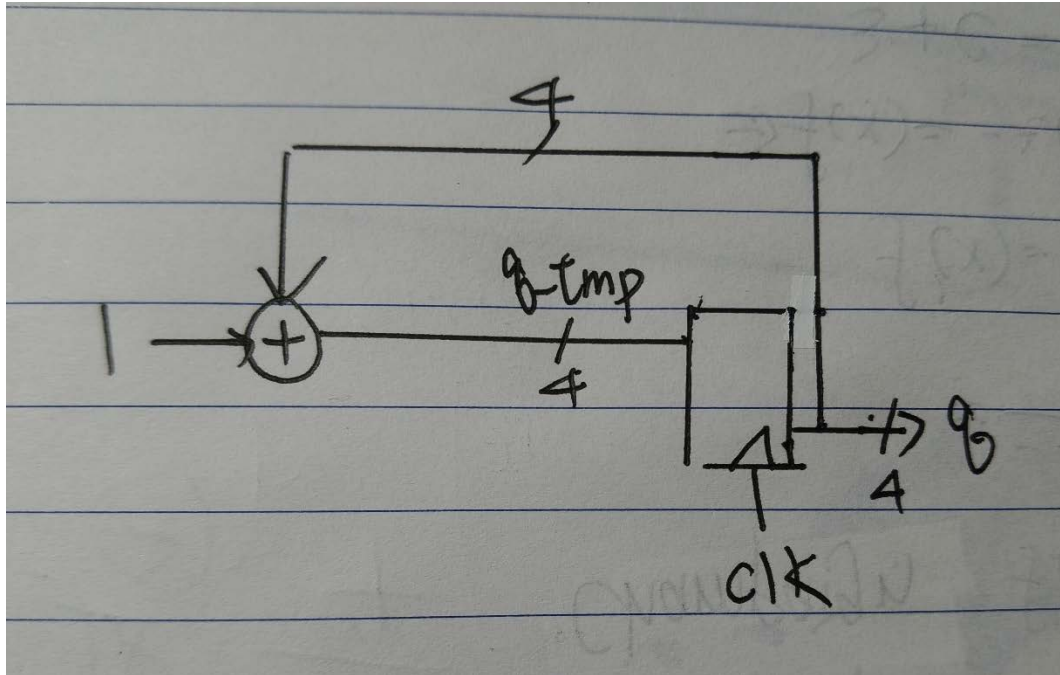


# PreLab03 Counters and Shift Registers I

107061112 王昊文

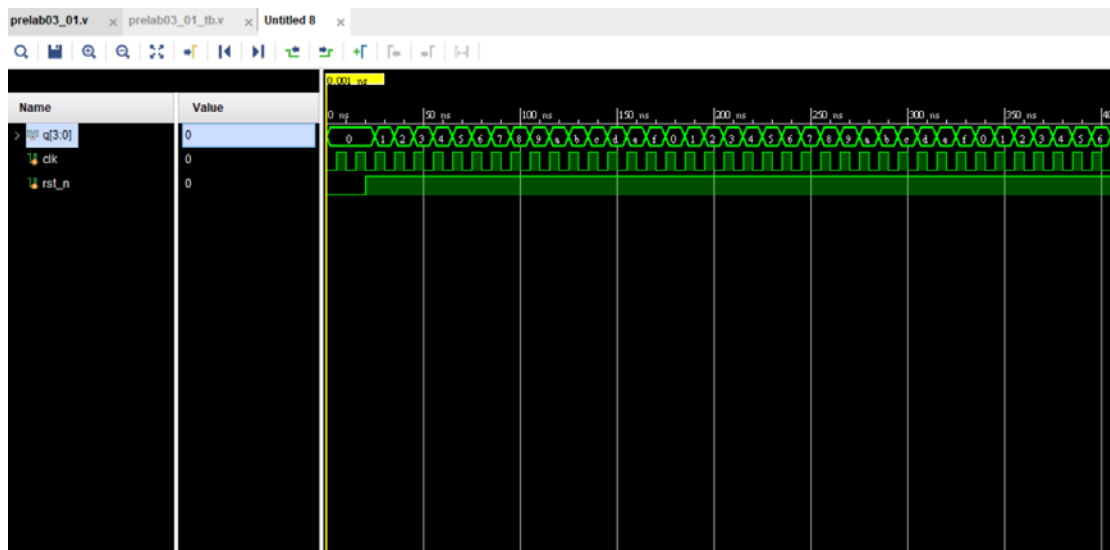
1 Consider a 4-bit synchronous binary up counter.

1.1 Draw the logic diagram



如果rst\_n為0，logic 0會成為q\_tmp的input，即為重置。反之則q\_tmp會接收q的值。然後不斷往上加一。

1.2 Construct Verilog RTL representation for the logics with verification.

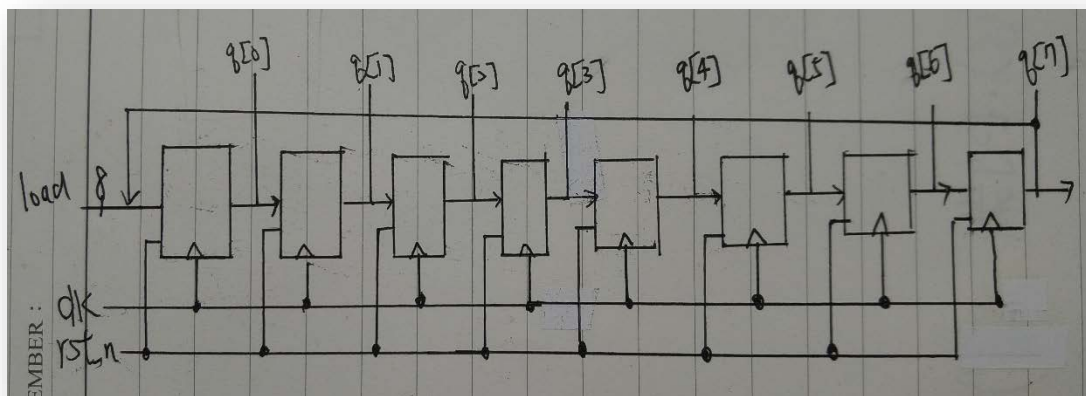


Discussion:

剛開始下手時接了四個flip-flop，其實在code部分只要針對一個up counter，然後將輸入的部分改成四bit即可。

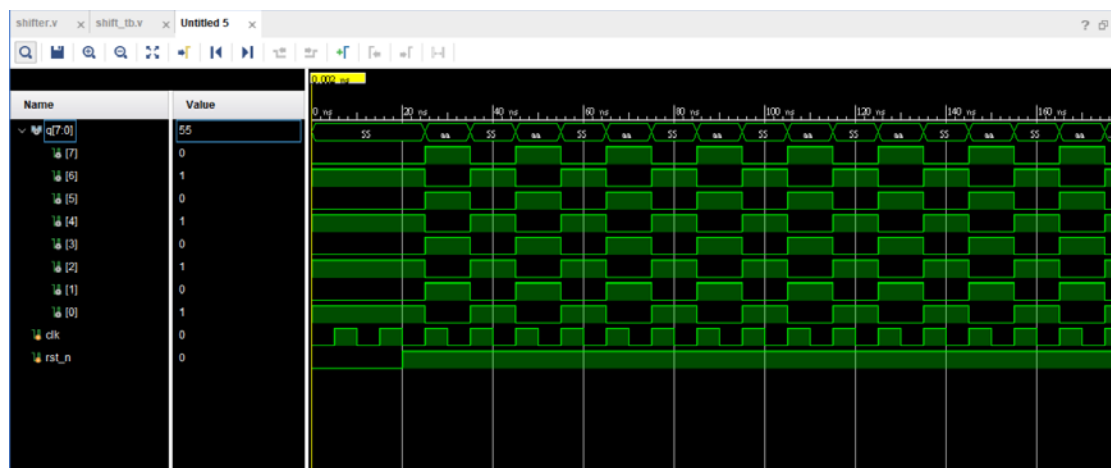
2 Cascade eight DFFs together as a shift register. Connect the output of the last DFF to the input of the first DFF as a ring counter. Let the initial value of DFF output after reset be 01010101. Construct the Verilog RTL representation for the logics with verification.

Logic Block



每一個bit會在一個clock cycle傳遞給下個register，q[7]則是接回輸入。

Waveform:



Discussion:

這一題讓我真的思考了很久，其實我一直卡在要接八個flip flop。其實只要設定八個output即可。這一題讓我看到了verilog 跟真正硬體的差別，verilog有if else等等的語法可以使用，要load一個初始值直接assign即可。但是在真正硬體上要設計一個load，rst的邏輯是比較複雜的。透過這件事，我更體認到事先畫好邏輯概念圖的重要，其實verilog的語法可以用很簡單的方式就達到要

求。

Conclusion:

上學期在修邏輯設計的時候也是從sequential logic開始變難。其實當時的我並沒有很理解Sequential logic到底用途是什麼。FF Register我一直沒有很明白其中的意義。希望透過邏輯設計實驗讓我對這方面有更深入的理解。