

# Digitaltechnik

Andrej Scheuer  
ascheuer@student.ethz.ch  
28. Oktober 2020

## Gates

### AND

$$Y = A \wedge B \quad Y = A \cdot B$$

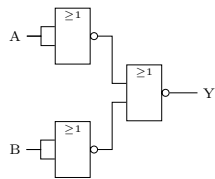


| A | B | Y |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

### NAND

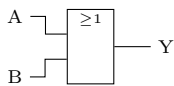


### AND aus NOR



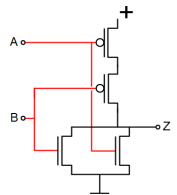
### OR

$$Y = A \vee B \quad Y = A + B$$

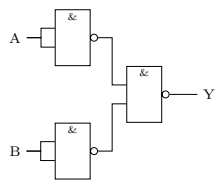


| A | B | Y |
|---|---|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

### NOR

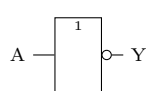


### OR aus NAND

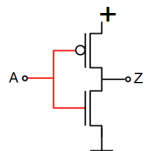


### NOT

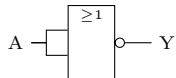
$$Y = \overline{A}$$



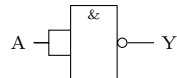
| A | Y |
|---|---|
| 0 | 1 |
| 1 | 0 |



### NOT aus NOR



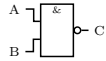
### NOT aus NAND



## Weitere Gates

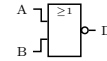
### NAND

$$C = \overline{A \wedge B}$$



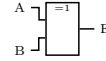
### NOR

$$D = \overline{A \vee B}$$



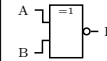
### XOR

$$E = A \oplus B$$



### XNOR

$$F = \overline{A \oplus B}$$

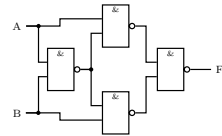


| A | B | C | D | E | F |
|---|---|---|---|---|---|
| 0 | 0 | 1 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 |

$$XOR = (A \wedge \overline{B}) \vee (\overline{A} \wedge B)$$

$$XNOR = (A \wedge B) \vee (\overline{A} \wedge \overline{B})$$

### XOR aus NAND



**XOR aus NOR:** Gleiches Schema wie NAND + 1 Inverter

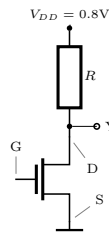
**XNOR aus NAND:** Gleiches Schema wie XOR aus NOR

**XNOR aus NOR:** Gleiches Schema wie XOR aus NAND

Es versteht sich natürlich, dass wenn von „Gleichem Schema wie...“ gesprochen wird, die Gates trotzdem getauscht werden müssen.

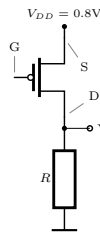
## CMOS

### NMOS



| G | Schalter | Y |
|---|----------|---|
| 0 | offen    | 1 |
| 1 | zu       | 0 |

### PMOS



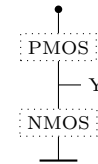
| G | Schalter | Y |
|---|----------|---|
| 0 | zu       | 1 |
| 1 | offen    | 0 |

### Konstruktion von CMOS-Gates

Regeln für CMOS-Schaltungen

1. CMOS-Gates bestehen aus gleich vielen NMOS und PMOS.
2.  $m$  Eingänge:  $m$  NMOS und  $m$  PMOS.
3. NMOS in Serie  $\rightarrow$  PMOS parallel
4. NMOS parallel  $\rightarrow$  PMOS Serie

## Allg. Aufbau CMOS

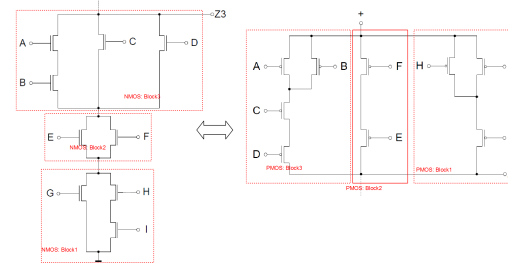


Pull-up: PMOS  
Pull-down: NMOS

Pfade sind komplementär  
(Serie  $\Leftrightarrow$  Parallel)

### Umwandlung Pull-up zu Pull-down

1. Teilbereiche (Blöcke) identifizieren.
2. Schritt 1 wiederholen, bis nur noch einzelne Transistoren vorkommen.
3. Falls Pull-down:
  - Von GND aus mit äusserstem Block beginnen.
  - PMOS  $\rightarrow$  NMOS
4. Falls Pull-up:
  - Von  $V_{DD}$  aus mit äusserstem Block beginnen.
  - NMOS  $\rightarrow$  PMOS.



### Funktionsgleichung

parallel:  $\vee$  | Pull-Up:  $y = 1$  | alle I : 0  $\rightarrow$  I invert.  
Serie:  $\wedge$  | Pull-Down:  $y = 0$  | alle I : 1  $\rightarrow$  Gl. invert.

## Boolesche Algebra

### Grundregeln

### Kommutativität

$$A \wedge B = B \wedge A$$

$$A \vee B = B \vee A$$

### Assoziativität

$$A \wedge (B \wedge C) = (A \wedge B) \wedge C$$

$$A \vee (B \vee C) = (A \vee B) \vee C$$

### Distributivität

$$(A \wedge B) \vee (A \wedge C) = A \wedge (B \vee C)$$

$$(A \vee B) \wedge (A \vee C) = A \vee (B \wedge C)$$

Nicht  $\overline{\overline{A}} = A$

|            |   |   |
|------------|---|---|
| Null-Th.   | $A \vee 0 = A$                                  | $A \wedge 0 = 0$                              |
| Eins-Th.   | $A \vee 1 = 1$                                  | $A \wedge 1 = A$                              |
| Idempotenz | $A \vee A = A$                                  | $A \wedge A = A$                              |
| V. Komp.   | $A \vee \overline{A} = 1$                       | $A \wedge \overline{A} = 0$                   |
| Adsorp.    | $A \vee (\overline{A} \wedge B) = A \vee B$     | $A \wedge (\overline{A} \vee B) = A \wedge B$ |
| Adsorp.    | $A \vee (A \wedge B) = A$                       | $A \wedge (A \vee B) = A$                     |
| Nachbar.G. | $(A \wedge B) \vee (\overline{A} \wedge B) = B$ | $(A \vee B) \wedge (\overline{A} \vee B) = B$ |

### De Morgan

$$1. \text{ Regel } \overline{A \wedge B} = \overline{A} \vee \overline{B}$$

$$2. \text{ Regel } \overline{A \vee B} = \overline{A} \wedge \overline{B}$$

Regeln gelten auch für  $n$  verknüpfte Terme.

### Normalformen

| Minterm  | Maxterm  |
|--|--|
| AND-Ausdruck                                     | OR-Ausdruck                                      |
| Output: 1  | Output: 0  |
| $n$ Schaltvar. $\rightarrow 2^n$ mögl. Minterme. | $n$ Schaltvar. $\rightarrow 2^n$ mögl. Maxterme. |
| nicht-invertierte Var: 1                         | nicht-invertierte Var: 0                         |
| invertierte Var: 0                               | invertierte Var: 0                               |

### Disjunktive Normalform

1. Identifiziere WT-Zeilen mit Output 1
2. **Minterme** für diese Zeilen aufstellen
3. Minterme mit **OR** verknüpfen

### Konjunktive Normalform

1. Identifiziere WT-Zeilen mit Output 0
2. **Maxterme** für diese Zeilen aufstellen
3. Maxterme mit **AND** verknüpfen

| A | B | Y | Minterme     | Maxterme              |
|---|---|---|--------------|-----------------------|
| 0 | 0 | 1 | $A \wedge B$ |                       |
| 0 | 1 | 0 |              | $A \vee \overline{B}$ |
| 1 | 0 | 0 |              | $\overline{A} \vee B$ |
| 1 | 1 | 1 | $A \wedge B$ |                       |

$$\text{DNF } Y = (\overline{A} \wedge \overline{B}) \vee (A \wedge B) \quad 1 \text{ Mint. erf. } \rightarrow 1$$

$$\text{KNF } Y = (A \vee \overline{B}) \wedge (\overline{A} \vee B) \quad 1 \text{ Maxt. erf. } \rightarrow 0$$

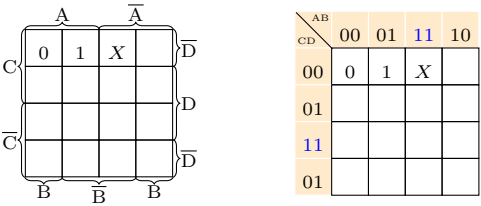
Schaltung nur aus:

- NOR: KNF  $\rightarrow$  De Morgan
- NAND: DNF  $\rightarrow$  De Morgan

Schaltung nur aus:

- NOR: KNF  $\rightarrow$  De Morgan
- XNOR: DNF  $\rightarrow$  De Morgan

Karnaugh Diagramme (KVD)



Hat das Karnaugh Diagramm 5 Dimensionen, wird die 5te Dimension auf zwei Tabellen aufgeteilt.

**Don't-Care-Zustände**  $X \in \{0, 1\}$  Redundante, überflüssige oder unmögliche Kombinationen der Eingangsvariablen werden mit einem  $X$  markiert.

Päckchen

- Päckchen immer rechteckig (Ausnahme: über Ecken).
- Umfassen möglichst grosse Zweierpotenz.
- Dürfen über Ecken und Grenzen hinausgehen und sich überlappen.

DNF

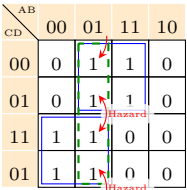
1. KVD ausfüllen.
2. Päckchen mit **1** uo  $X$ .
3. Vereinfachte Minterme aufstellen.
4. Minterme mit OR verbinden.

KNF

1. KVD ausfüllen.
2. Päckchen mit **0** uo  $X$ .
3. Vereinfachte Maxterme aufstellen.
4. Maxterme mit AND verbinden.

Hazard

Kurzzeitige, unerwünschte Änderung der Signalwerte, die durch Zeitverzögerung der Gatter entstehen.



**Statische Hazards** Stellen im KVD, an denen sich Päckchen orthogonal berühren, aber nicht überlappen.  
**Lösung** Berührende **Päckchen** mit zusätzlichen (möglichst grossen) **Päckchen** verbinden.

Zahlensysteme

$D$  zu berechnende positive Zahl  
 $R$  Basis/Radix von  $D$   
 $b_i$  Koeffizient

$$D = \sum_{-\infty}^{\infty} b_i \cdot R^i$$

Darstellung  $D$  in Basis  $R$ :  $\dots b_2 b_1 b_0 . b_{-1} b_{-2} \dots_R$

|            |    |   |
|------------|----|---|
| Dezimal    | 10 | $b_i \in \{0, 1, \dots, 9\}$              |
| Dual/Binär | 2  | $b_i \in \{0, 1\}$                        |
| Oktal      | 8  | $b_i \in \{0, 1, \dots, 7\}$              |
| Hexa       | 16 | $b_i \in \{0, 1, \dots, 9, A, \dots, F\}$ |

Umwandlung Zahlensysteme

1. Ganzzahlige Division mit R:  $D/R = Q_0 + r_0$ .
2.  $Q_i/R = Q_{i+1} + r_{i+1}$   
bis  $Q_i = 0$ .
3. Zahl ist Reste rückwärts abgelesen.

Für  $1 > D \geq 0$

Zweierkomplement

Cheatsheet

| B    | Z  | B    | Z  |
|------|----|------|----|
| 0000 | 0  | 1000 | -8 |
| 0001 | +1 | 1001 | -7 |
| 0010 | +2 | 1010 | -6 |
| 0011 | +3 | 1011 | -5 |
| 0100 | +4 | 1100 | -4 |
| 0101 | +5 | 1101 | -3 |
| 0110 | +6 | 1110 | -2 |
| 0111 | +7 | 1111 | -1 |

| B     | R      | B     | R      |
|-------|--------|-------|--------|
| 0.000 | 0      | 1.000 | -1.0   |
| 0.001 | +0.125 | 1.001 | -0.875 |
| 0.010 | +0.25  | 1.010 | -0.75  |
| 0.011 | +0.375 | 1.011 | -0.625 |
| 0.100 | +0.5   | 1.100 | -0.5   |
| 0.101 | +0.625 | 1.101 | -0.375 |
| 0.110 | +0.75  | 1.110 | -0.25  |
| 0.111 | +0.875 | 1.111 | -0.125 |