

Digitaltechnik

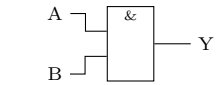
Andrej Scheuer
ascheuer@student.ethz.ch
14. Oktober 2020

Gates

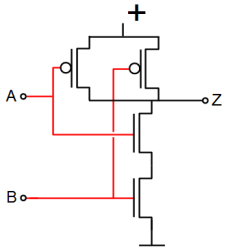
AND

$$Y = A \wedge B \quad Y = A \cdot B$$

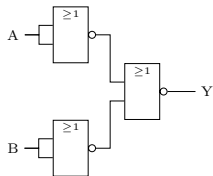
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1



NAND



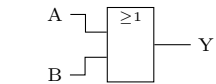
AND aus NOR



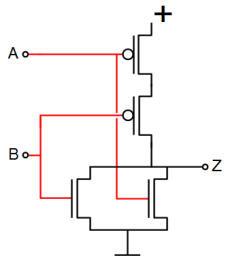
OR

$$Y = A \vee B \quad Y = A + B$$

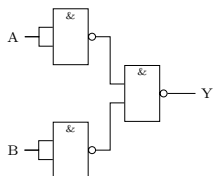
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1



NOR



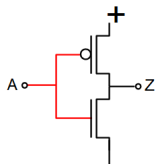
OR aus NAND



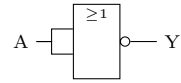
NOT

$$Y = \overline{A}$$

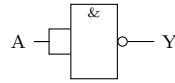
A	Y
0	1
1	0



NOT aus NOR



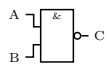
NOT aus NAND



Weitere Gates

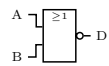
NAND

$$C = \overline{A \wedge B}$$



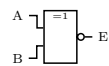
NOR

$$D = \overline{A \vee B}$$



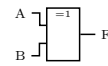
XNOR

$$E = \overline{A \oplus B}$$



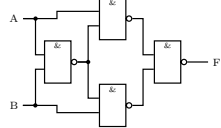
XOR

$$F = A \oplus B$$



A	B	NAND	NOR	XNOR	XOR
0	0	1	0	1	0
0	1	1	0	0	1
1	0	1	0	0	1
1	1	0	1	1	0

XOR aus NAND



XOR aus NOR: Gleiches Schema wie NAND + 1 Inverter

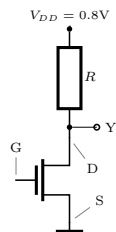
XNOR aus NAND: Gleiches Schema wie XOR aus NOR

XNOR aus NOR: Gleiches Schema wie XOR aus NAND

Es versteht sich natürlich, dass wenn von „Gleiches Schema wie...“ gesprochen wird, die Gates trotzdem getauscht werden müssen.

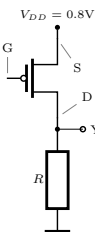
CMOS

NMOS



G	Schalter	Y
0	offen	1
1	zu	0

PMOS



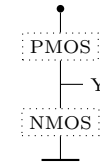
G	Schalter	Y
0	zu	1
1	offen	0

Konstruktion von CMOS-Gates

Regeln für CMOS-Schaltungen

1. CMOS-Gates bestehen aus gleich vielen NMOS und PMOS.
2. m Eingänge: m NMOS und m PMOS.
3. NMOS in Serie \rightarrow PMOS parallel
4. NMOS parallel \rightarrow PMOS Serie

Allg. Aufbau CMOS

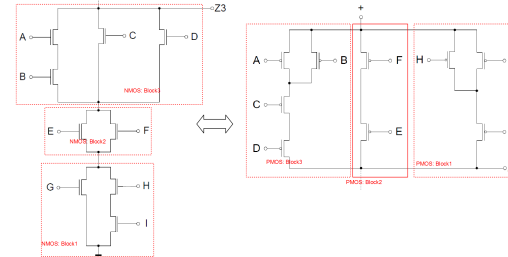


Pull-up: PMOS
Pull-down: NMOS

Pfade sind komplementär
(Serie \Leftrightarrow Parallel)

Umwandlung Pull-up zu Pull-down

1. Teilbereiche (Blöcke) identifizieren.
2. Schritt 1 wiederholen, bis nur noch einzelne Transistoren vorkommen.
3. Falls Pull-down:
 - Von GND aus mit äusserstem Block beginnen.
 - PMOS \rightarrow NMOS
4. Falls Pull-up:
 - Von V_{DD} aus mit äusserstem Block beginnen.
 - NMOS \rightarrow PMOS.



Funktionsgleichung

PMOS Parallel \rightarrow NAND Serie \rightarrow NOR
NMOS Parallel \rightarrow NOR Serie \rightarrow NAND

Boolesche Algebra

Grundregeln

Kommutativität

$$A \wedge B = B \wedge A$$

$$A \vee B = B \vee A$$

Assoziativität

$$A \wedge (B \wedge C) = A \wedge (B \wedge C)$$

$$A \vee (B \vee C) = A \vee (B \vee C)$$

Distributivität

$$(A \wedge B) \vee (A \wedge C) = A \wedge (B \vee C)$$

$$(A \vee B) \wedge (A \vee C) = A \vee (B \wedge C)$$

Nicht	$\overline{\overline{A}} = A$	
Null-Th.	$A \vee 0 = A$	$A \wedge 0 = 0$
Eins-Th.	$A \vee 1 = 1$	$A \wedge 1 = A$
Idempotenz	$A \vee A = A$	$A \wedge A = A$
V. Komp.	$A \vee \overline{A} = 1$	$A \wedge \overline{A} = 0$
Adsorp.	$A \vee (\overline{A} \wedge B) = A \vee B$	
	$A \wedge (\overline{A} \vee B) = A \wedge B$	
Adsorp.	$A \vee (A \wedge B) = A$	
	$A \wedge (A \vee B) = A$	
Nachbar.G.	$(A \wedge B) \vee (\overline{A} \wedge B) = B$	
	$(A \vee B) \wedge (\overline{A} \vee B) = B$	

De Morgan

1. Regel $\overline{A \wedge B} = \overline{A} \vee \overline{B}$
2. Regel $\overline{A \vee B} = \overline{A} \wedge \overline{B}$

Regeln gelten auch für n verknüpfte Terme.

Normalformen

Minterm	Maxterm
AND-Ausdruck	OR-Ausdruck
Output: 1	Output: 0
n Schaltvar. $\rightarrow 2^n$ mögl. Minterme.	n Schaltvar. $\rightarrow 2^n$ mögl. Maxterme.
nicht-invertierte Var: 1	nicht-invertierte Var: 0
invertierte Var: 0	invertierte Var: 0

Disjunktive Normalform

1. Identifiziere WT-Zeilen mit Output 1
2. **Minterme** für diese Zeilen aufstellen
3. Minterme mit **OR** verknüpfen

Konjunktive Normalform

1. Identifiziere WT-Zeilen mit Output 0
2. **Maxterme** für diese Zeilen aufstellen
3. Maxterme mit **AND** verknüpfen

A	B	Y	Minterme	Maxterme
0	0	1	$\overline{A} \wedge \overline{B}$	
0	1	0		$A \vee \overline{B}$
1	0	0		$\overline{A} \vee B$
1	1	1	$A \wedge B$	

DNF $Y = (\overline{A} \wedge \overline{B}) \vee (A \wedge B)$ 1 Mint. erf. $\rightarrow 1$

KNF $Y = (A \vee \overline{B}) \wedge (\overline{A} \vee B)$ 1 Maxt. erf. $\rightarrow 0$

Schaltung nur aus:

- NOR: KNF \rightarrow De Morgan
- NAND: DNF \rightarrow De Morgan