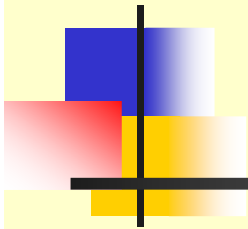
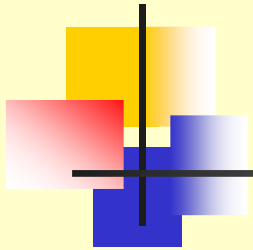


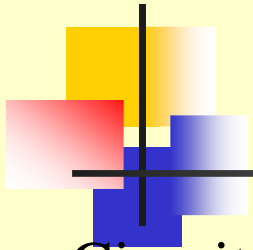
V. CIRCUITE LOGICE SECVENTIALE





Circuite logice secvențiale

- Circuitele logice secvențiale, **CLS**, sunt automate de grad 1
- CLS se obțin din CLC prin introducerea unor **reacții inverse**
- CLS alcătuite din:
 - Elemente de memorie binară
 - CLC
- CLS se caracterizează prin faptul că **variabilele de ieșire** sunt **și dependente de timp și de starea internă**



Circuite logice secvențiale

- Circuitele logice secvențiale sunt caracterizate printr-o **secvență a variabilelor de ieșire** și o **secvență a stărilor elementelor de memorie**, pentru fiecare **secvență a variabilelor de intrare**
- **Clasificare** după modul de funcționare (modul de transmitere a semnalelor)
 - **CLS asincrone**
 - Comportarea este determinată de aplicarea pe intrări a semnalelor în momente oarecare
 - Starea circuitului depinde de ordinea în care se schimbă semnalele
 - **CLS sincrone**
 - Comportarea este determinată de aplicarea pe intrări a semnalelor în momente discrete, bine determinate în timp
 - Sincronizarea se realizează cu ajutorul unor impulsuri date de un generator de tact (ceas; clock)
- **Exemple:** bistabile, numărătoare, registre, memorii RAM



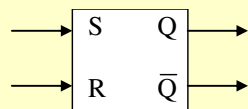
5.1. Circuite basculante bistabile

- **Definiție:** Circuitele basculante bistabile (CBB sau bistabile) sunt circuite logice secvențiale care au **două stări stabile distincte**. Trecerea dintr-o stare în alta se face la aplicarea unei **comenzi** din exterior
- Bistabil:
 - **Sistem cu memorie** (element de memorie binară) – memorează un bit
 - Se asociază uneia dintre cele 2 stări ale bistabilului funcția de memorare a cifrei binare 1 și celei de a doua stări funcția de memorare a cifrei binare 0
 - Poate păstra un timp nedefinit informația binară și în același timp starea sa poate fi citită în orice moment
 - Are 2 ieșiri:
 - Una pune în evidență cifra binară memorată, numită ieșire adevărată Q
 - A doua pune în evidență valoarea negată a cifrei binare memorate, denumită ieșire negată \bar{Q}

5.1.1. Bistabil RS asincron (latch)

- Bistabilul RS asincron are 2 intrări de date: **S (Set)** și **R (Reset)** și două ieșiri **Q** și **\bar{Q}** (complementare)

- **Simbol**



- **Tabel de adevăr**

t_n		t_{n+1}
S_n	R_n	Q_{t+1}
0	0	Q_t
0	1	0
1	0	1
1	1	*

- Din punct de vedere logic nu are sens să se facă simultan înscrierea și ștergerea informației, ca urmare $S_n = 1$ și $R_n = 1$ va fi o situație interzisă (de **nedeterminare**, pentru că nu se poate prevedea starea finală)
- **Condiția de bună funcționare** care se impune este: $S_n \cdot R_n = 0$



5.1.1. Bistabil RS asincron (latch)

■ Sinteza circuitului

- Vom considera semnalul de ieșire Q_{t+1} la momentul t_{n+1}
- Ieșirea Q_{t+1} depinde atât de starea intrărilor S_n și R_n cât și de starea Q_t , la momentul t_n
- Vom scrie Q_{t+1} ca o funcție de 3 variabile:

Q_t	S_n	R_n	Q_{t+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	*
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	*

5.1.1. Bistabil RS asincron (latch)

■ Sinteza circuitului

- Diagramele Karnaugh pentru ieșiri:

Q_{t+1} :

$Q_t \backslash S_n R_n$	00	01	11	10
0	0	0	x	1
1	1	0	x	1

$\overline{Q_{t+1}}$:

$Q_t \backslash S_n R_n$	00	01	11	10
0	1	1	x	0
1	0	1	x	0

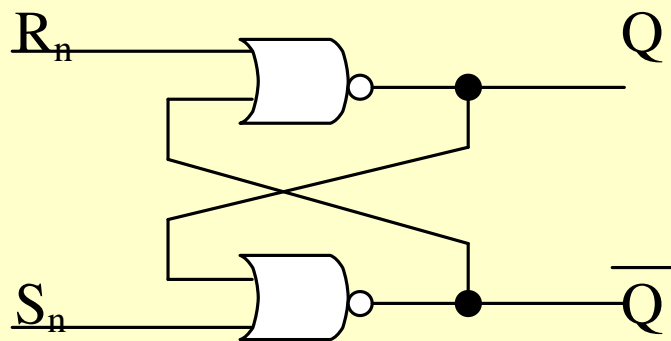
- Funcțiile minimizate în FCM

$$\begin{cases} Q_{t+1} = \overline{R_n} \cdot (S_n + Q_t) \\ \overline{Q_{t+1}} = \overline{S_n} \cdot (R_n + \overline{Q_t}) \end{cases}$$

5.1.1. Bistabil RS asincron (latch)

- Funcțiile ieșirilor pentru schema circuitului cu **porți de tip SAU-NU**:

$$\left\{ \begin{array}{l} Q_{t+1} = \overline{\overline{Q_{t+1}}} = \overline{\overline{R_n} \cdot (S_n + Q_t)} = R_n + \overline{(S_n + Q_t)} \\ \overline{Q_{t+1}} = \overline{\overline{\overline{Q_{t+1}}}} = \overline{\overline{S_n} \cdot (R_n + \overline{Q_t})} = S_n + \overline{(R_n + \overline{Q_t})} \end{array} \right.$$



■ Observație

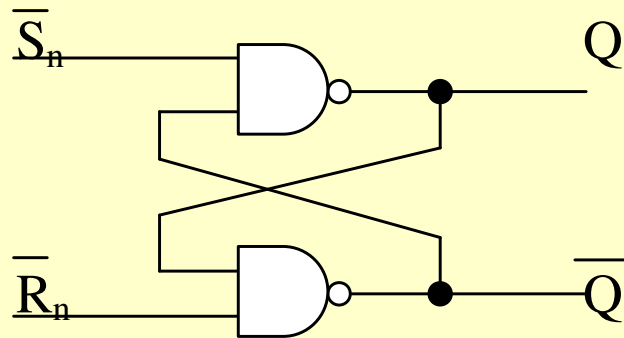
- Pentru $S_n = R_n = 1$ rezultă $Q_{t+1} = 0$ și $\overline{Q_{t+1}} = 0$, cele două ieșiri nefiind complementare
- Circuitul își pierde în acest caz caracterul de circuit bistabil, cu două stări distincte stabile

5.1.1. Bistabil RS asincron (latch)

- Funcțiile ieșirilor pentru schema circuitului cu **porți de tip ȘI-NU** se obțin din FDM rezultate din DK:

$$\begin{cases} Q_{t+1} = S_n + (Q_t \cdot \overline{R_n}) \\ \overline{Q}_{t+1} = R_n + (\overline{Q_t} \cdot \overline{S_n}) \end{cases}$$

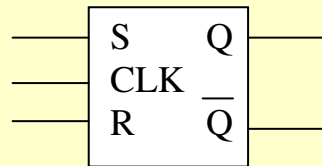
$$\begin{cases} Q_{t+1} = \overline{\overline{S_n + (Q_t \cdot \overline{R_n})}} = \overline{\overline{S_n}} \cdot \overline{\overline{(Q_t \cdot \overline{R_n})}} \\ \overline{Q}_{t+1} = \overline{\overline{R_n + (\overline{Q_t} \cdot \overline{S_n})}} = \overline{\overline{R_n}} \cdot \overline{\overline{(\overline{Q_t} \cdot \overline{S_n})}} \end{cases}$$



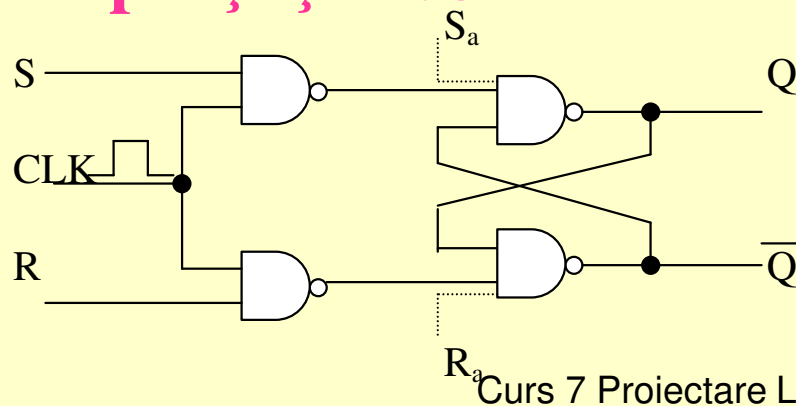
5.1.2. Bistabil RS sincron (latch cu ceas)

- Bistabilul RS sincron se obține din bistabilul RS asincron
- Se adaugă porți logice suplimentare cu scopul de a răspunde la semnalele de intrare R și S numai sub acțiunea unui **semnal de comandă**, numit impuls de **tact** (ceas; clock)

- **Simbol**



- **Schema cu porți ȘI-NU**





5.1.2. Bistabil RS sincron (latch cu ceas)

- Ieșirile bistabilului RS sincron se modifică doar când semnalul de tact (ceas) CLK este activ
- Cât timp semnalul de CLK are valoarea 0 logic, intrările de date (S și R) nu influențează bistabilul
- Când semnalul de CLK devine 1, bistabilul urmărește modificările intrărilor de date
- Când CLK redevine 0 bistabilul se zăvorăște (de aceea se numește latch), păstrează informația avută anterior pe ieșire
- Și la acest bistabil situația intrărilor în care $S = R = 1$ introduce o **nedeterminare**, de aceea ea trebuie evitată



5.1.2. Bistabil RS sincron (latch cu ceas)

- **Funcție de excitație** - caracteristică pentru fiecare bistabil
- Pune în evidență cum trebuie să fie intrările bistabilului (ce stare trebuie să aibă) pentru a se realiza o tranziție specifică
- **Tabelul de excitație** pentru bistabilul RS sincron este:

Q_t	Q_{t+1}	R	S
0	0	x	0
0	1	0	1
1	0	1	0
1	1	0	x



5.1.2. Bistabil RS sincron (latch cu ceas)

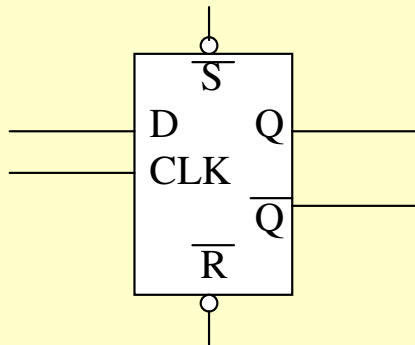
■ Observație

- În afara intrărilor sincrone, la bistabilul RS sincron se introduc și intrări asincrone, R_a și S_a , la nivelul bistabilului RS asincron (ultimele porți ȘI-NU)
- R_a și S_a sunt utilizate cu scopul forțării la 0, prin R_a , sau la 1, prin S_a , a ieșirii Q a bistabilului
- Apariția unor comenzi pe intrările asincrone se execută independent de prezența sau absența tactului CLK
- **Intrările asincrone** ale unui bistabil sunt **prioritare** în raport cu intrările sincrone

5.1.3. Bistabil D sincron (delay)

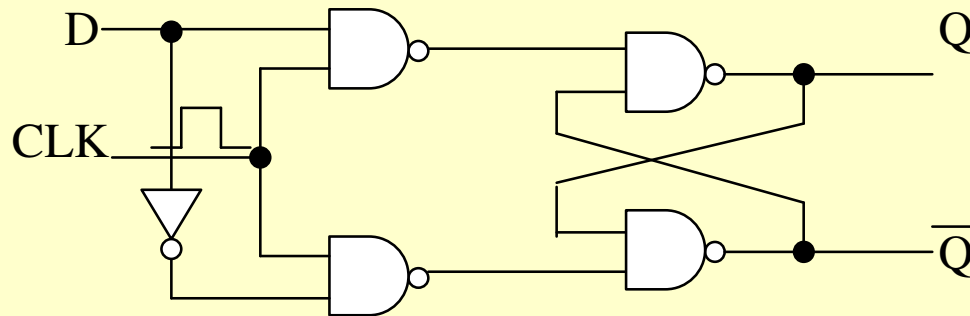
- Are o singură intrare D și 2 ieșiri complementare, Q și \overline{Q}
- Starea următoare a bistabilului D este determinată de modificarea intrării D (nu depinde de valoarea ieșirii, deci de starea anterioară)
- Întârzie cu un tact informația pe care o primește pe intrare (circuit elementar de întârziere)

- Simbol



5.1.3. Bistabil D sincron (delay)

- Bistabilul D sincron se obține din bistabilul RS sincron la care se leagă intrările printr-o poartă de tip NU (negare)



- Funcțiile bistabilului D

$$\begin{cases} Q_{t+1} = D \\ \overline{Q}_{t+1} = \overline{D} \end{cases}$$

- Tabel de adevăr

D	Q
0	0
1	1

5.1.3. Bistabil D sincron (delay)

■ Tabel de excitație

Q_t	Q_{t+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

- Starea următoare a bistabilului de tip D sincron depinde doar de semnalul aplicat pe intrare, ea este independentă de starea actuală a bistabilului
- Bistabilul D este cel mai folosit bistabil în registrele de date
- Bistabil D – comută pe frontul tactului |
- Latch D – comută pe nivelul tactului —



5.1.4. Bistabil JK sincron

- Bistabilul JK sincron elimină nedeterminarea de pe ieșiri pentru intrările $S = R = 1$
- Se introduc reacții (legături inverse) suplimentare

- **Tabel de adevăr**

J	K	Q_{t+1}
0	0	Q_t
0	1	0
1	0	1
1	1	$\overline{Q_t}$

- **Tabel de excitație**

Q_t	Q_{t+1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

5.1.4. Bistabil JK sincron

- Funcțiile bistabilului JK se obțin cu DK, din dezvoltarea tabelului de adevăr
- Tabel de adevăr în forma detaliată

Q_t	J	K	Q_{t+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

- DK este:

Q_{t+1} :

$Q_t \backslash JK$	00	01	11	10
0			1	1
1	1			1

5.1.4. Bistabil JK sincron

■ Funcțiile bistabilului JK

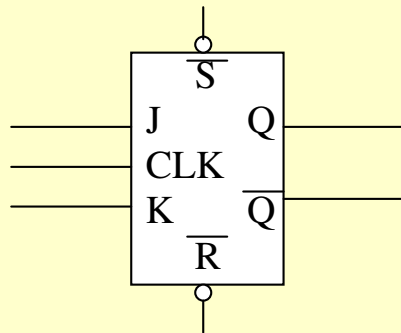
$$\begin{cases} Q_{t+1} = J \cdot \overline{Q}_t + \overline{K} \cdot Q_t \\ \overline{Q}_{t+1} = \overline{J} \cdot Q_t + K \cdot \overline{Q}_t \end{cases}$$

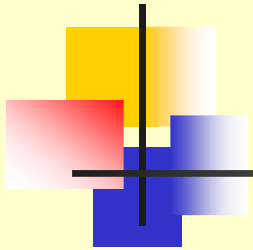
■ Legăturile inverse adăugate

$$R = K \cdot Q_t$$

$$S = J \cdot \overline{Q}_t$$

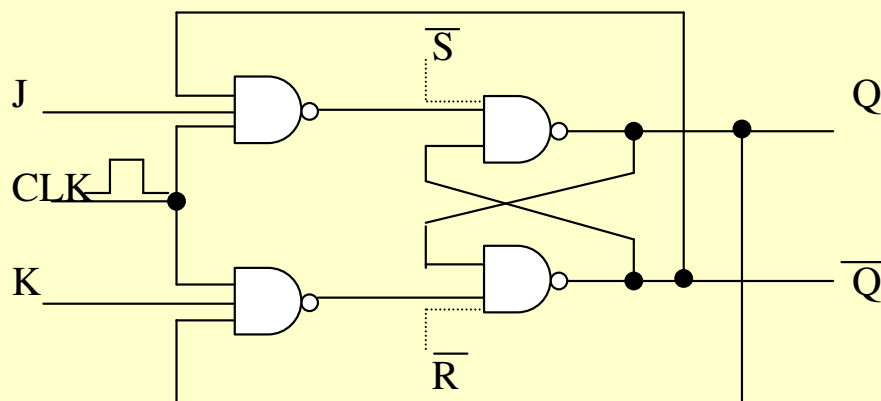
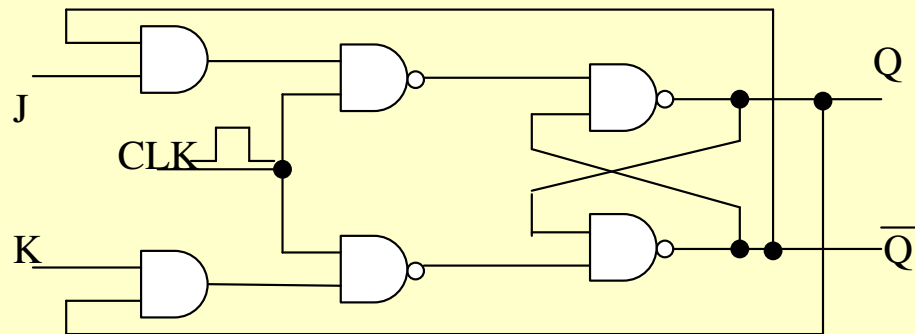
■ Simbol

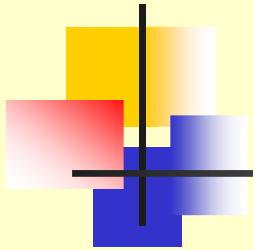




5.1.4. Bistabil JK sincron

■ Schema cu porți ȘI-NU





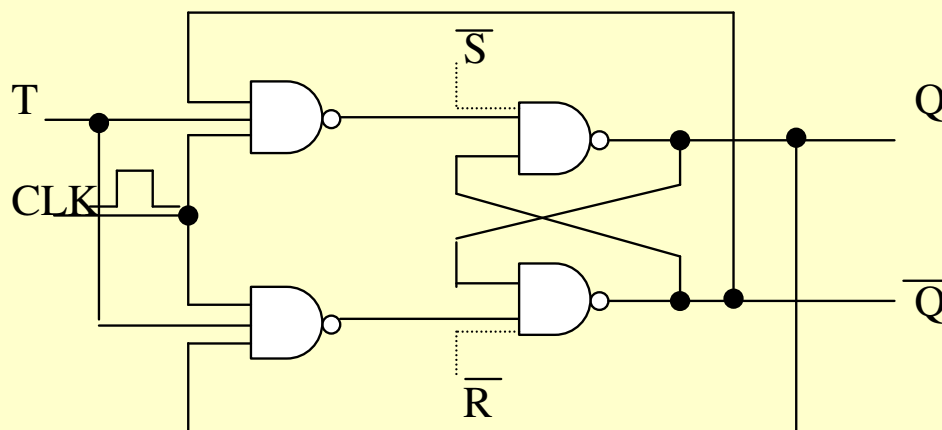
5.1.4. Bistabil JK sincron

■ Observații:

- Și la bistabilul JK apar **intrările asincrone** care sunt **prioritare** în raport cu intrările sincrone
- Atât timp cât intrarea de tact (CLK) rămâne pe 1 logic după stabilirea noii stări, bistabilul intră în **oscilație** (își tot schimbă starea)
- Pentru a exista o singură comutare, durata impulsului pe CLK trebuie să fie mai mare decât timpul de propagare a semnalului printr-o poartă logică și mai mică decât timpul de propagare a semnalului prin două porți logice

5.1.5. Bistabil T sincron (toggle)

- Bistabilul T sincron se obține din bistabilul JK sincron prin legarea intrărilor J și K împreună
- Bistabilul T sincron își schimbă starea (comută) doar dacă pe intrarea T se aplică valoarea 1 logic
- **Schema bistabilului T**



5.1.5. Bistabil T sincron (toggle)

■ Tabel de adevăr

T	Q_{t+1}
0	Q_t
1	$\overline{Q_t}$

■ Tabel de excitație

Q_t	Q_{t+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

■ DK pentru determinarea funcțiilor bistabilului T

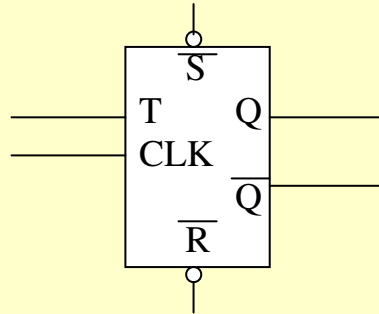
$Q_t \backslash T$	0	1
0		1
1	1	

■ Funcțiile bistabilului T

$$\begin{cases} Q_{t+1} = \overline{T} \cdot Q_t + T \cdot \overline{Q_t} = T \oplus Q_t \\ \overline{Q_{t+1}} = \overline{T} \cdot \overline{Q_t} + T \cdot Q_t = \overline{T \oplus Q_t} = T \odot Q_t \end{cases}$$

5.1.5. Bistabil T sincron (toggle)

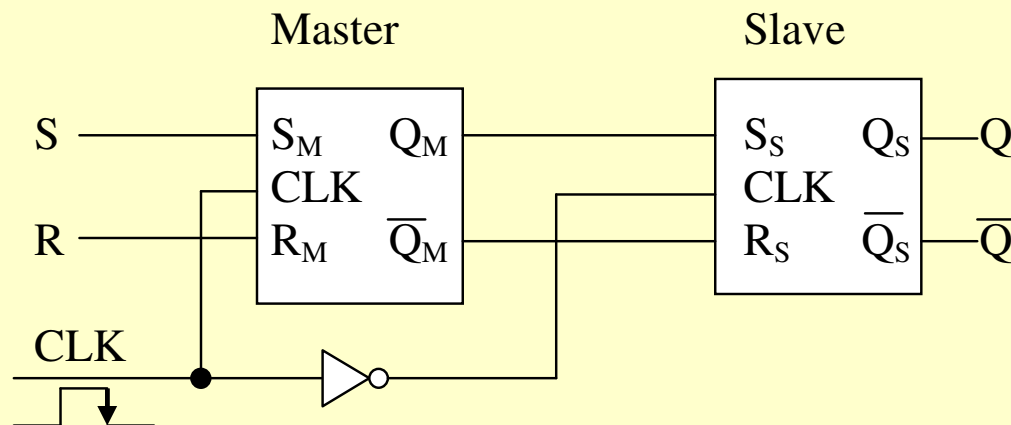
■ Simbol



- Bistabilul T are aceleași probleme de oscilație, care impun durata impulsului de tact, ca și bistabilul JK
- Bistabilul T este folosit în construirea numărătoarelor binare
- **Concluzie:**
 - Deficiența principală a structurilor de bistabile studiate:
 - Nu se poate face o **distincție netă** între intrările care condiționează **momentul comutării** și cele care determină **modul comutării** (nu se face distincție netă între **când** și **cum**)

5.1.6. Bistabilele master – slave (MS)

- Bistabilele master – slave introduc o structură care permite comutarea fără oscilații
- Principiul master-slave poate fi aplicat oricărui tip de circuit bistabil
- **Structura master-slave** este compusă din 2 celule de memorie, una “master” și cealaltă “slave”

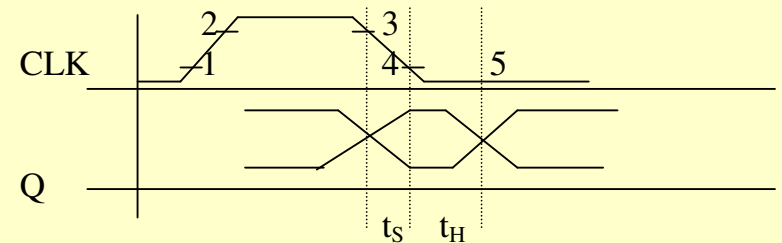
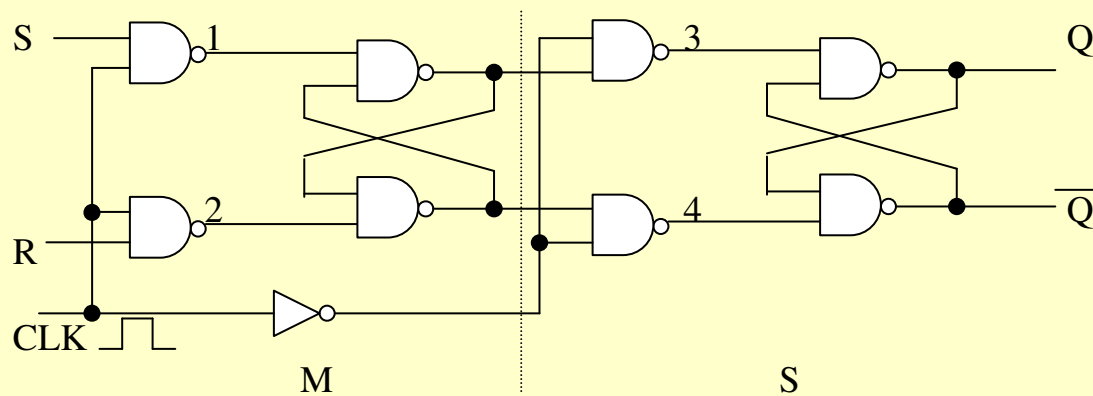


5.1.6. Bistabilele master – slave (MS)

- Impulsul de tact are două fronturi, unul pozitiv \uparrow , crescător (de urcare de la 0 la 1, în logica pozitivă) și unul negativ \downarrow , descrescător (de coborâre de la 1 la 0, în logica pozitivă)
- Pe frontul crescător (ascendent) \uparrow al semnalului de tact se face înscrierea informației în master, slave este deconectat
- Pe frontul descrescător următor \downarrow se face transferul informației din master în slave
- Informația apare la ieșiri după frontul descrescător \downarrow al impulsului de tact
- Se asigură astfel o bună separare între intrările de date și ieșirile bistabilelor
- **Concluzie:** Memorarea informației la bistabilele cu structuri master – slave se face pe frontul descrescător \downarrow al impulsului de tact

5.1.6. Bistabile master – slave (MS)

■ Funcționarea bistabilului master – slave



- t_s este timpul de set-up = perioada în care datele trebuie să fie pregătite înainte de impulsul de tact
- t_H este timpul de holding, de păstrare a datelor
- Pe perioada 1 – 2 a impulsului de ceas, porțile 1,2 de la intrare nu sunt încă deschise, iar porțile 3,4 se blochează și astfel slave se izolează de master
- Pe zona 2 – 3 porțile de intrare 1,2 se deschid și informația trece în master; porțile 3,4 sunt închise și slave își păstrează vechea informație
- Pe zona 3 – 4 porțile 1,2 se închid și porțile 3,4 nu se deschid încă: master este izolat și de intrare și de slave
- Pe perioada 4 – 5 porțile 3,4 se deschid și informația apare pe ieșire, în timp ce porțile 1,2 sunt blocate
- Perioada critică este t_H , cea de menținere a datelor la intrarea porților 3,4 pe perioada 4 – 5