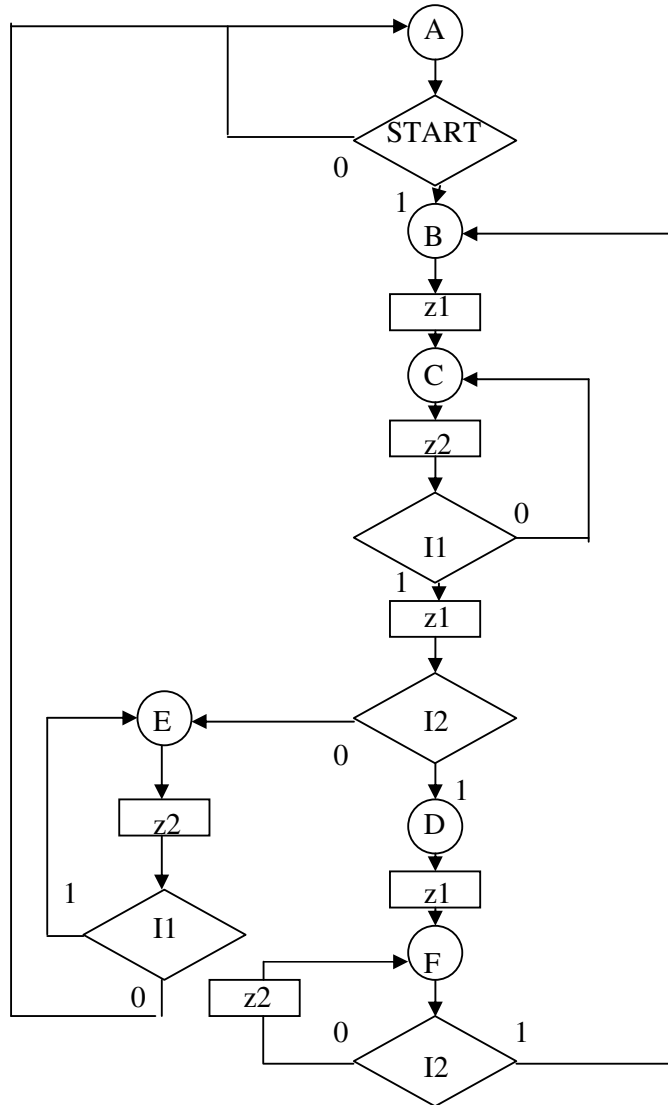


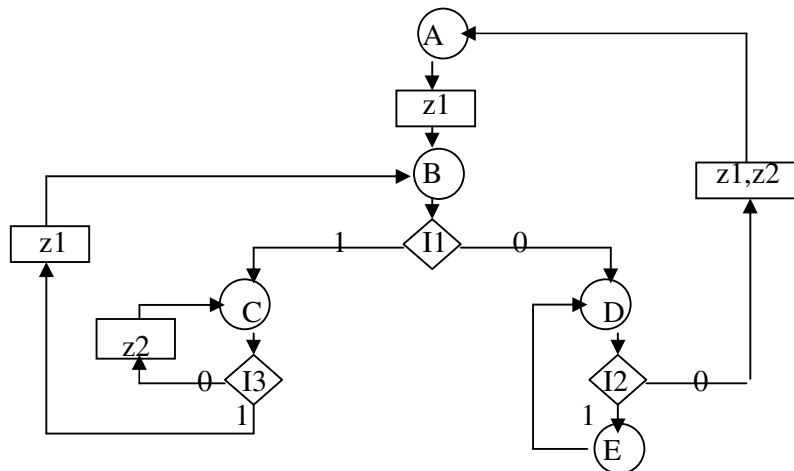
Probleme 6 Proiectare Logică
Sinteza CLS sincrone, circuite FPGA

Sinteza CLS sincrone

1. Proiectați cu bistabile și multiplexoare sistemul logic secvențial sincron descris de organigrama:



2. Proiectați cu bistabile și decodificatoare sistemul secvențial sincron descris de organigrama:



Circuite FPGA

1. Verificați dacă porțile logice SI-NU, SAU-NU și SAU-EXCLUSIV au proprietatea de completitudine funcțională.
2. Proiectați o arhitectură FPGA cu canale de rutare, în care celula logică de bază va avea elementul combinațional realizat cu memorii ROM ca funcții universale, iar elementul secvențial este un bistabil de tip T.