

电子技术实验

实验报告

(2020 - 2021 学年度 秋季学期)

实验名称 实验三 组合逻辑电路的设计

姓名	<u>刘祖炎</u>
学号	<u>2019010485</u>
院系	<u>自动化系</u>
教师	<u>陈莉平</u>
时间	<u>2020 年 11 月 4 日</u>

目录

1	实验目的	1
2	组合逻辑电路的设计	1
2.1	补码运算	1
2.2	74HC 系列芯片数据手册	1
2.3	电路设计	3
2.3.1	一位全加器	3
2.3.2	二位全加器	3
2.3.3	加减运算电路	5
2.4	电路搭接	6
3	选做任务：竞争—冒险现象的观察与消除	7
3.1	理论分析	7
3.2	实验现象	7
4	实验总结	8
4.1	组合逻辑电路的设计和调试步骤	8
4.2	在实验中遇到的问题及解决方法	9
4.3	此次实验的收获	9
5	思考题	10

1. 实验目的

- 学习组合逻辑电路的分析方法和设计方法。
- 初步学会分析实验现象，并且使用仪器查找、排除电路故障的方法。

2. 组合逻辑电路的设计

2.1 补码运算

对于有效数字（不包括符号位）为 n 位的二进制数 N ，它的补码 $(N)_{COMP}$ 可表示为：

$$(N)_{COMP} = N, (N \geq 0)$$

$$(N)_{COMP} = 2^n - N, (N < 0)$$

即：正数的补码与其原码相同，符号位为 0；负数的补码等于 $2^n - N$ ，符号位用 1 表示为负数。此外，负数的补码也可以通过对原码逐位取反后加一得到。

利用补码的性质，可将两数的减法转换为加法运算，两数相减相当于将它们的补码相加。相加结果中，最高位（舍弃产生的进位）表示为符号位。

需要注意的是，在利用补码进行运算时，需先考虑运算数、运算结果所需的二进制位数，其绝对值不能超过数字位能表示数值的最大值，否则会得到错误的结果。

2.2 74HC 系列芯片数据手册

元件盒中，本学期需要使用的 74HC 系列芯片名称与功能如表 1 所示：

表 1: 74HC 芯片功能表			
芯片	功能	芯片	功能
74HC00	2 输入四与非门	74HC02	2 输入四或非门
74HC08	2 输入四与门	74HC11	3 输入三与门
74HC14	六倒相器（施密特触发）	74HC161	4 位二进制同步计数器
74HC20	4 输入双与非门	74HC27	3 输入三或非门
74HC74	双上升沿 D 触发器	74HC86	2 输入四异或门

查阅网站，可知芯片的引脚图如图 1 至图 10 所示：

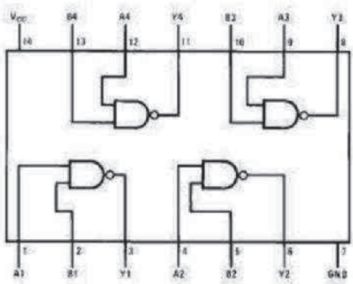


图 1: 74HC00:2 输入四与非门

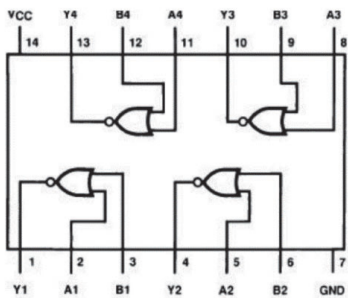


图 2: 74HC02:2 输入四或非门

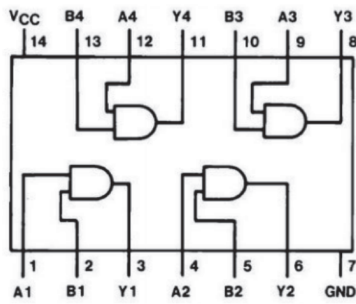


图 3: 74HC08:2 输入四与门

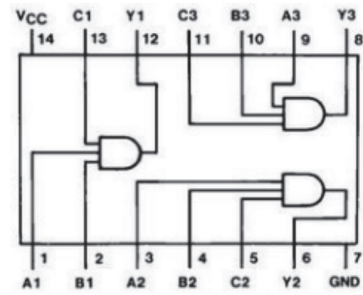


图 4: 74HC11:3 输入三与门

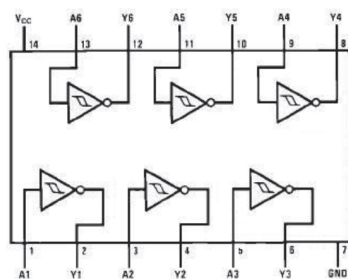


图 5: 74HC14: 六倒相器（施密特触发）

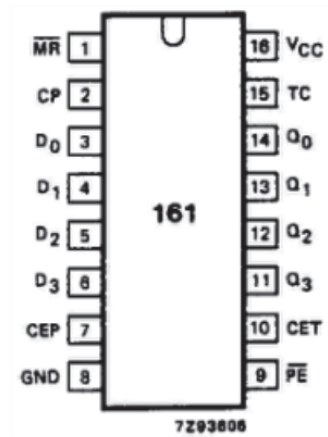


图 6: 74HC161:4 位二进制同步计数器

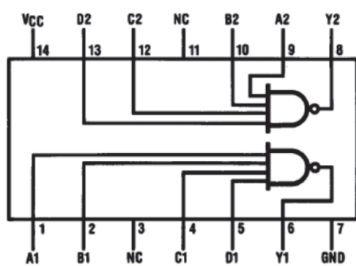


图 7: 74HC20:4 输入双与非门

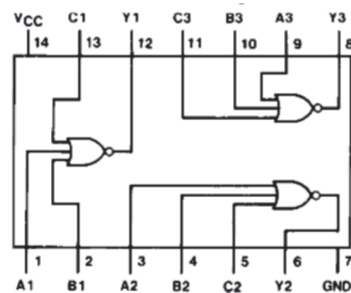


图 8: 74HC27:3 输入三或非门

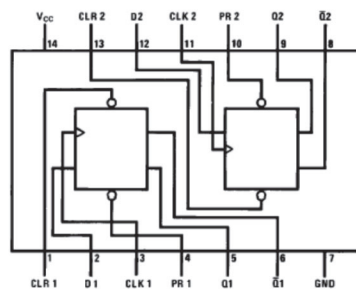


图 9: 74HC74: 双上升沿 D 触发器

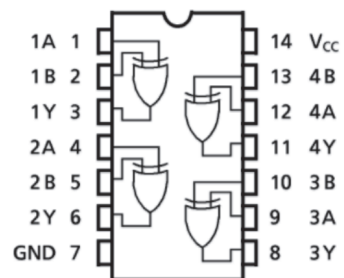


图 10: 74HC86:2 输入四异或门

此外，数码管所用芯片 CD4511B（CMOS BCD 转 7 段 LED 锁存解码驱动器）的引脚图如下图所示：

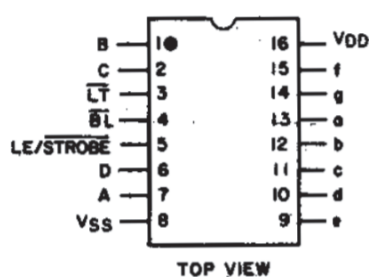


图 11: CD4511B

2.3 电路设计

2.3.1 一位全加器

一位全加器的真值表如表 2 所示：(A、B 为输入加数，CI 为进位输入，CO 为进位输出，S 为运算结果)

表 2: 一位全加器真值表				
A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

根据真值表，可得逻辑式为：

$$S = AB'CI' + A'BCI' + A'B'CI + ABCI = A \oplus B \oplus CI$$

$$CO = ABCI' + A'BCI + AB'CI + ABCI = A \cdot CI + B \cdot CI + A \cdot B = (((A \oplus B)CI)'(AB)')'$$

根据逻辑式，利用异或门、与非门设计组合逻辑电路图如下图所示：

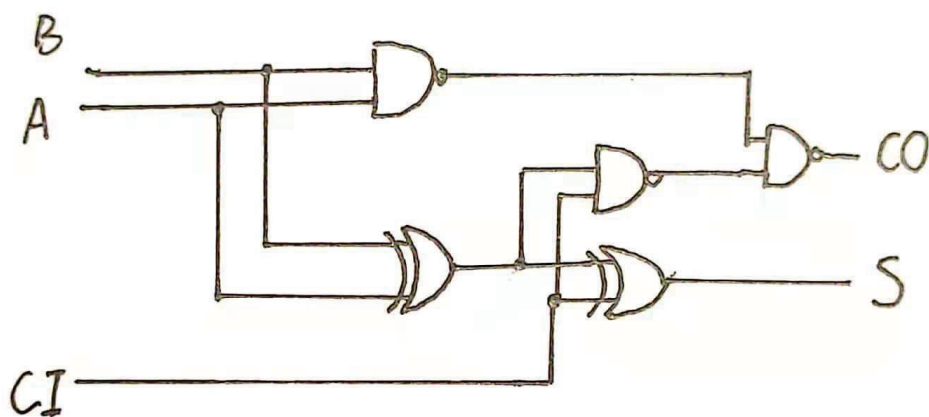


图 12: 一位全加器电路图

2.3.2 二位全加器

将设计好的一位全加器进行封装，如下图所示：

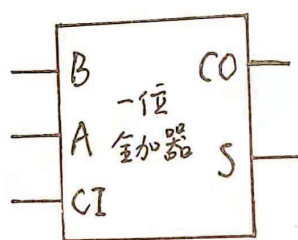


图 13: 一位全加器封装图

将两个封装完成的一位全加器进行串联连接，将其中一个作为低位全加器，一个作为高位全加器，按照高位、低位的规则将输入 A_1 、 B_1 、 A_0 、 B_0 接入全加器中，并将低位全加器的进位输出信号接入高位全加器的进位输入信号，即可得一个二位全加器。高位全加器的进位输出信号作为整个二位全加器的进位输出信号。

由于按照上述方法搭建二位全加器时，不需要列出真值表，故真值表在此略去。

二位全加器的逻辑式、电路图分别为：

$$S_0 = A_0 \oplus B_0 \oplus CI$$

$$CO_0 = (((A_0 \oplus B_0)CI)'(A_0B_0)')'$$

$$S_1 = A_1 \oplus B_1 \oplus CO_0$$

$$CO = (((A_1 \oplus B_1)CO_0)'(A_1B_1)')'$$

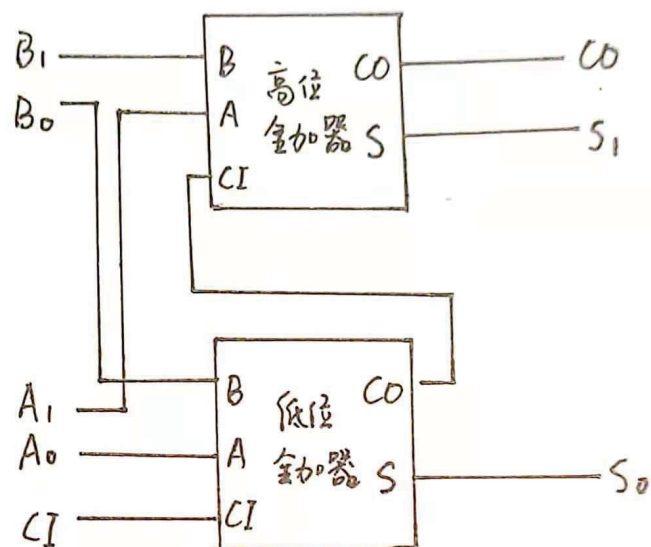


图 14: 二位全加器电路图

2.3.3 加减运算电路

通过控制端 M 进行控制加减的操作。若 $M = 1$ ，表示进行减运算，则需要对输入 B 取补码（即将 B 逐位取反后再加一）其中，加一的操作可以通过将 M 接入低位进位端 CI 实现。若 $M = 0$ ，表示进行加运算，按照二位全加器的电路进行运算即可。通过加法器运算出结果后，还需将结果转换成原码形式输出。

设结果的符号位为 N ， N 为 1 时表示为负数， $Y_2Y_1Y_0$ 表示输出数的绝对值大小，根据逻辑分析，可得真值表如表 3 所示：

表 3: 加减运算电路真值表

运算结果	M	CO	S_1	S_0	N	Y_2	Y_1	Y_0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	1	0	1
6	0	1	1	0	0	1	1	0
-	0	1	1	1	-	-	-	-
-	1	0	0	0	-	-	-	-
-3	1	0	0	1	1	0	1	1
-2	1	0	1	0	1	0	1	0
-1	1	0	1	1	1	0	0	1
0	1	1	0	0	0	0	0	0
1	1	1	0	1	0	0	0	1
2	1	1	1	0	0	0	1	0
3	1	1	1	1	0	0	1	1

化简、整理后，得电路的逻辑式为：

$$Y_2 = CI' \cdot CO$$

$$Y_1 = S_1 \oplus (CI \cdot CO' \cdot S_0)$$

$$Y_0 = S_0$$

$$N = CI \cdot CO'$$

由逻辑式以及封装完成的二位全加器，可得电路图为：

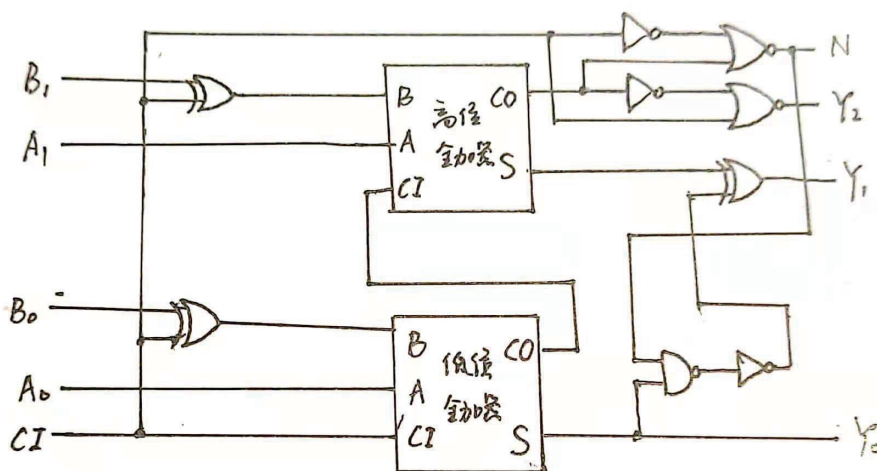


图 15: 加减运算电路图

2.4 电路搭接

在加减运算电路的电路图中，共使用了 7 个异或门，7 个与非门，2 个或非门，3 个反相器（实际电路中，反相器可通过与非门、或非门实现），根据芯片的功能，至少需要 5 片芯片（两片 74HC00、一片 74HC02、两片 74HC86）。实际电路搭接中，为了保持对称性与电路的简洁，共使用了 6 片芯片（两片 74HC00、两片 74HC02、两片 74HC86）。

根据上述原理在面包板上进行电路搭接。将加减控制位 M 、输入数据 A_0 、 A_1 、 B_0 、 B_1 接在拨码开关上，将输出符号位 N 接入发光二极管上，将结果输出 Y_2 、 Y_1 、 Y_0 由高位至低位接入数码管中，并将数码管的最高位接地。

具体电路搭接方式如下图所示：

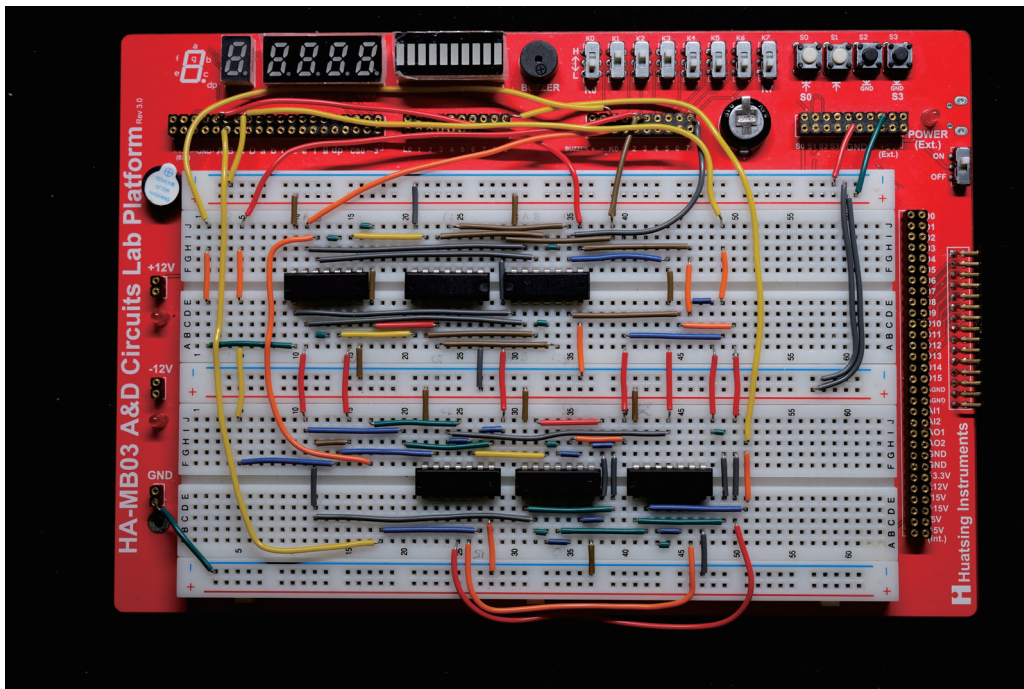


图 16: 电路实际搭接图

经验证，电路能够实现所有功能。

3. 选做任务：竞争—冒险现象的观察与消除

3.1 理论分析

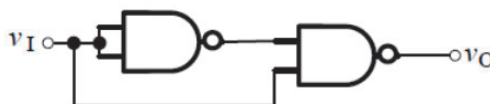


图 17: 选做任务电路图

对上述电路而言，输出变量 Y 与输入变量 A 满足关系式：

$$Y = (A \cdot A')' = 1$$

由于 A' 与 A 信号之间相差一个与非门的传输延迟时间 t_{pd} ，故当 v_I 从低电平变为高电平时，第二个与非门的两输入端均会变为高电平，产生 $v_O = V_{OL}$ 的尖峰脉冲，即“竞争—冒险”现象。

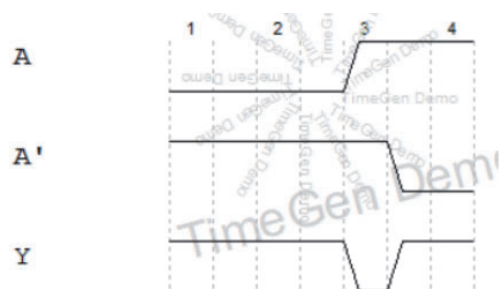


图 18: 竞争—冒险现象示意图

3.2 实验现象

搭接电路后，示波器显示的图像如下图所示，可以观察到明显的“竞争—冒险”现象。

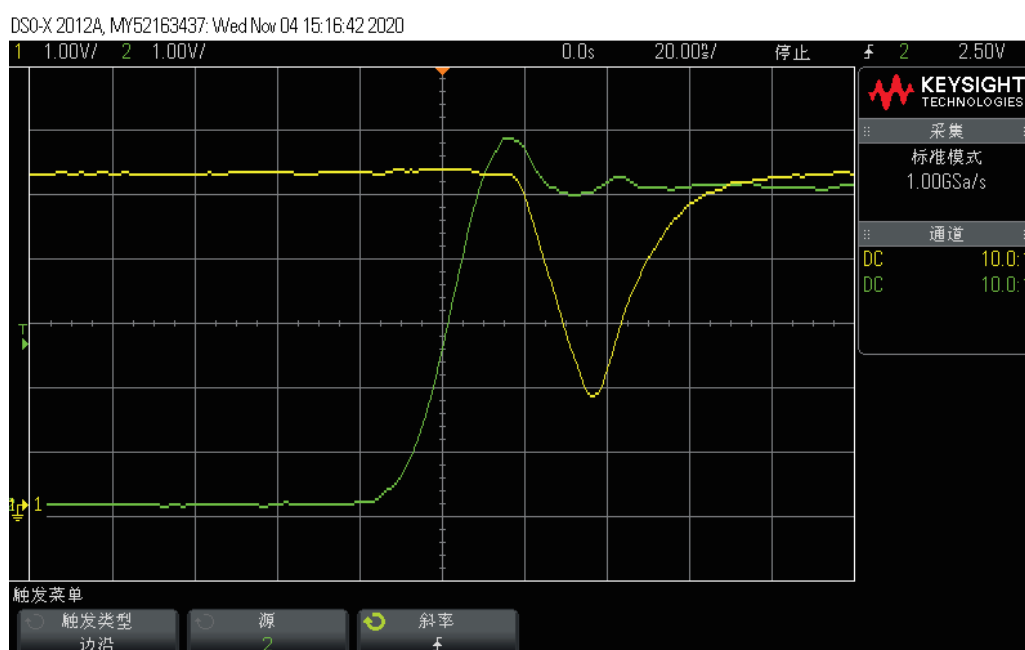


图 19: 竞争—冒险现象波形图

在不改变电路结构的前提下，在输出端与地之间接入一个滤波电容。电容的取值选取原则详见思考题，实验过程中，分别接入 $C = 680pF$ 及以上的几种电容，观察到的波形图差异不大。接入 $C = 680pF$ 的电容后示波器图像如下图所示，可以观察到“竞争—冒险”现象得到了消除。

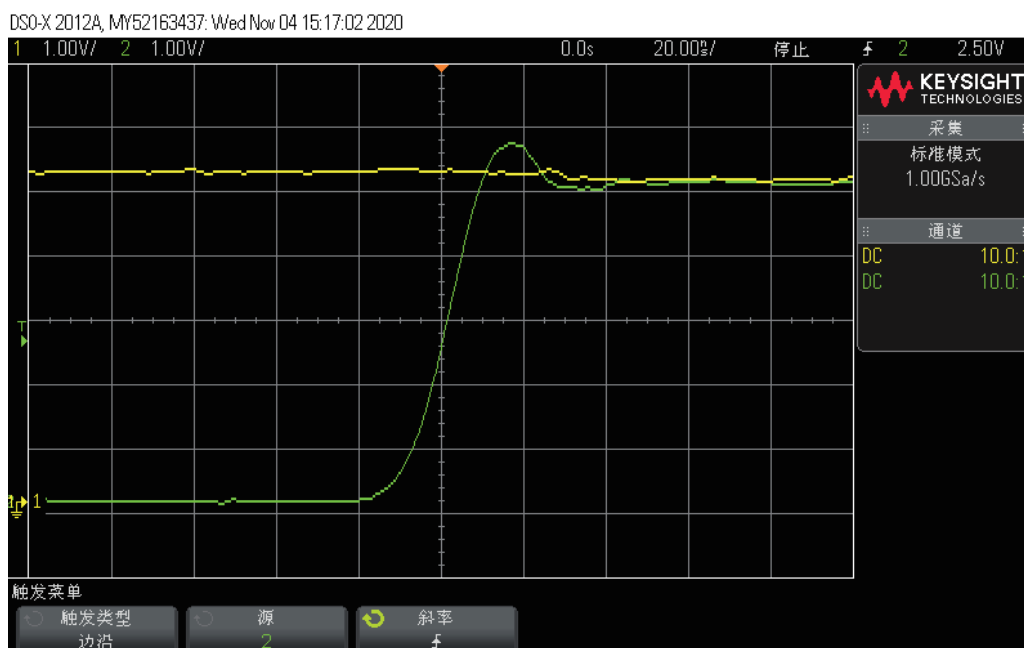


图 20: 消除竞争—冒险现象波形图

4. 实验总结

4.1 组合逻辑电路的设计和调试步骤

总体而言，组合逻辑电路需要首先通过逻辑分析得到正确的原理图。在面包板上大致分析线路布局后，分模块在面包板上进行搭建。为提升成功率，最好对每一个模块分别进行测试确认逻辑正确后再将模块相连。搭建完成后上电进行检验和调试。

对本实验而言，具体步骤如下：

- 按照逻辑图搭建完成一个一位全加器，并将输出接入数码管中，确保实现一位全加器的逻辑功能。
- 按照相同的方式完成第二个一位全加器的搭建，并测试其功能。
- 将两个全加器分别作为高位全加器与低位全加器，按照二位全加器的电路图完成两个一位全加器的连接，并将输出接入数码管中，确保实现二位全加器的逻辑功能。
- 按照逻辑图搭建二位全加器输出端的解码电路和输入端的取反电路，调试其逻辑功能。
- 将整个电路对应的输出接入数码管与二极管中，测试并调试电路的逻辑功能。

4.2 在实验中遇到的问题及解决方法

对本次实验而言，我在宿舍花费不少时间进行电路搭建，在上课前已经完成了全部功能。在搭建过程中，主要遇到了以下一些问题。

- 搭建电路初期时，发现数码管显示的示数不稳定。查阅电路数据手册发现电路由 TTL 构成，因此，我认识到需要将不用的引脚接地处理，接地后，问题得到解决。这启示我们要充分认识元件的组成与特性。
- 调试一位全加器电路时，发现电路结果示数错误。首先考虑检查电路连接方式，仔细检查后发现电路连接不存在问题。在思考解决方案后，考虑对每一个引脚进行检查，发现 74HC00 的一个与非门输

入均为高电平时，输出为高电平。因此，产生问题的原因为芯片本身存在问题。这启示我电路可能在各方面存在问题，在调试电路时，应当全面考虑各种问题原因。

- 调试加减运算电路时，发现电路结果示数错误。对每一个引脚的电平逐个检查，发现在一个引脚处电平始终为 0.2V，与正常的高/低电平值不同。通过反复检查后，发现一处的芯片本应使用 74HC02，但却使用成了 74HC86，由于这两片芯片的引脚输入、输出定义方式不同，这导致将输入信号接入了输出信号。改变芯片后，问题得到解决。这启示我在搭接电路时应当仔细，并充分了解电路的引脚定义。
- 搭接完成电路，实现功能后，发现电路接线混乱，严重影响对电路的观察与调试。因此，我花费大量时间优化接线，将必须交叉的电路在面包板下交叉，最终实现整个加减运算电路没有任何交叉。这启示我在搭接电路初期就应当花费时间考虑电路的布局，尤其需要考虑电路输入、输出的位置，应当仔细选取，尽量避免线路产生长距离的跨越。

4.3 此次实验的收获

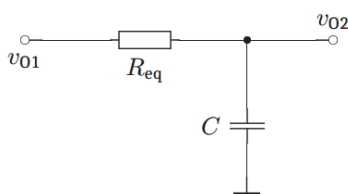
- 实践了组合逻辑电路搭建的全过程，初步认识了对复杂问题分模块分析的方法。
- 进一步熟练了利用面包板搭接电路的方法，并掌握了一定的分析、调试、解决电路问题的思路。
- 掌握了一些搭接面包板电路的技巧与原则，如可以用铅笔在面包板上表明输入、输出变量的位置，便于观察与接线。
- 通过理论分析与实验观察，加深了对“竞争—冒险”现象及其消除这一方面知识的认识。
- 培养了细心与耐心的实验心态，深刻认识到简洁清晰在实验中的作用，为今后进行更复杂的实验打下了良好的基础

最后，感谢老师和助教的悉心指导！

5. 思考题

(1) 试分析选做任务电路，若采用在输出端加滤波电容的方式消除竞争冒险，该电容会对输出信号有何影响？试讨论该电容值的选取并给出理论依据。

由于滤波电容可以滤去信号的高频交流部分，故可以滤除尖峰脉冲而不影响输出的直流电压。考虑输出端的 RC 电路如下图。其中， R_{eq} 为输入端等效电阻：



设 v_{O1} 频率为 ω ，有：

$$v_{O2} = \frac{\frac{1}{j\omega C}}{R + \frac{1}{j\omega C}} v_{O1} = \frac{1}{j\omega RC + 1} v_{O1}$$

对于直流成分， $\omega = 0$ ， $v_{O2} = v_{O1}$ ，不受影响。

故对于交流成分，经过滤波电容后， $v_{O2} = \frac{1}{\sqrt{1 + \omega^2 C^2 R_{eq}^2}}$ ，且电容越大，滤波效果越好。

在本电路中，分别估算电容的上限值与下限值。

考虑电路的实际工作频率，可得电容的上限值。若电容值过大，则会较大程度上降低电路工作的最高频率，故为保证电路的工作频率，应当尽量选取小电容。

考虑电容的滤波效果，可得电容的下限值。根据实验二数据，可得门电路芯片 CD4011 的输出内阻约为 250Ω ，“竞争—冒险”现象产生的脉冲宽度 $t_w \approx 65ns$ 。认为时间常数 $\tau = RC > 2 \cdot t_w$ 时，可消除“竞争—冒险”现象，计算得 $C > \frac{2 \cdot t_w}{R} = 520pF$ ，因此电容取值下限值大约为 $C = 520pF$ 。

根据理论计算结果，选取实际滤波电容 $C = 680pF$ ，观察到“竞争—冒险”现象较好地得到了消除。因实验电路的工作频率较低，故提高电容值也能够完成消除的任务。

(2) 请根据你的 1 位全加器电路设计，并查阅相应门电路的数据手册。试分析该电路传输延迟时间是多少？并说明电路传输延迟时间与哪些因素相关。

一位全加器的电路图为：

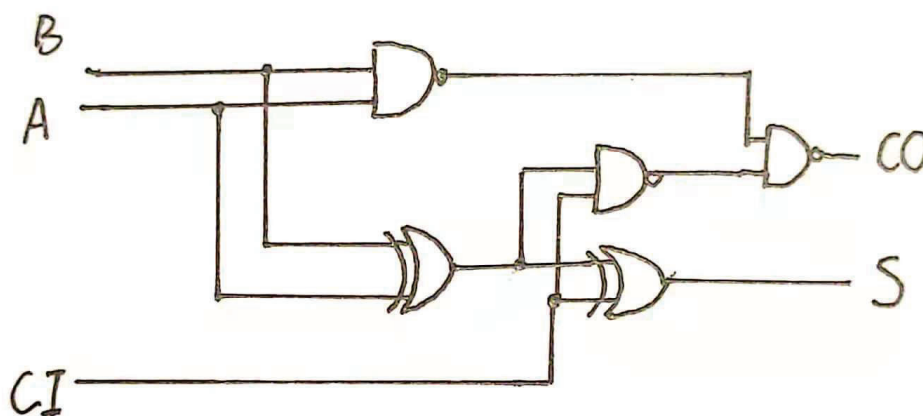


图 21: 一位全加器电路图

实验过程中分别使用了 74HC86 与 74HC00 芯片实现异或门、与非门的功能。查阅数据手册得,74HC86 的 $t_{pd} = 11ns$, 74HC00 的 $t_{pd} = 7ns$ 。根据电路图可知, $t_{pd} = 7 + 7 + 11 = 25ns$, $t_{cd} = 11ns$ 。

影响电路传输延迟时间的因素主要有：

- 芯片的结构与生产工艺。
- 芯片的工作环境（包括温度、湿度等因素）。
- 电路的设计方案，尤其是门电路串接的个数。
- 芯片的供电电压。