

实验一实验套件的使用

赵晓燕

电工电子实验中心

实验教学组成员

赵晓燕 电工电子实验中心 zxyking2016@mail.tsinghua.edu.cn

喻国芳 集成电路学院 ygf20@mails.tsinghua.edu.cn

刘亚斐 集成电路学院 liuyafee@163.com

岑宗骏 电子系 2121548513@qq.com

实验课表

		周二				周三			周四			周五				周六		
周次	周一日期	08:30~09:50	09:50~12:05	13:00~15:15	15:35~17:50	09:50~12:05	13:00~15:15	15:35~17:50	09:50~12:05	13:00~15:15	15:35~17:50	08:30~09:50	09:50~12:05	13:00~15:15	15:35~17:50	08:30~09:50	09:50~12:05	13:00~15:15
3	9.27			套件使用		实验一	软件 DS01 (209)	软件 DS02 (209)		线上分组 14:00~16:15			软件 DS03 (209)					
4	10.4													软件开闭 (209) 13:00~17:00		软件开放 (209) 8:00~9:35		
5	10.11			EDA1		实验二	软件 DS01 (209)	软件 DS02 (209)		线上分组 14:00~16:15			软件 DS03 (209)					
6	10.18						软件开闭 (209) 13:00~17:00							软件开闭 (209) 13:00~17:00				
7	10.25			硬件电路		实验三	软件 DS01 (209)	软件 DS02 (209)		线上分组 14:00~16:15			软件 DS03 (209)					
9	11.8						软件开闭 (209) 13:00~17:00							软件开闭 (209) 13:00~17:00				
10	11.15						软件开闭 (209) 13:00~17:00							软件开闭 (209) 13:00~17:00				
11	11.22						软件开闭 (209) 13:00~17:00							软件开闭 (209) 13:00~17:00				
12	11.29			EDA2		实验四	软件 DS01 (209)	软件 DS02 (209)		线上分组 14:00~16:15 软件开闭 (209) 13:00~17:00		软件开放 (209) 8:00~9:35	软件 DS03 (209)	软件开闭 (209) 13:00~17:00				
13	12.6			EDA验收		实验五	软件 DS01 (209)	软件 DS02 (209)		线上分组 14:00~16:15 软件开闭 (209) 13:00~17:00			软件 DS03 (209)	软件开闭 (209) 13:00~17:00				
14	12.13			EDA验收		实验六	软件 DS01 (209)	软件 DS02 (209)		线上分组 14:00~16:15 软件开闭 (209) 13:00~17:00			软件 DS03 (209)	软件开闭 (209) 13:00~17:00				

实验安排

✓地点：西主楼四区209

✓时间

➤ 周次：3、5、7、12、13、14周

➤ 节次：33、34、52、线上分组43

✓内容

✓答疑

课上+微信

✓线上分组

腾讯+微信

套件使用	硬件电路	EDA1	EDA2
Quartus II 使用	面包板 中规模集 成电路 加减运算 电路	Verilog语 言实现组 合电路 ALU	Verilog语 言实现时 序电路 自动售货 机

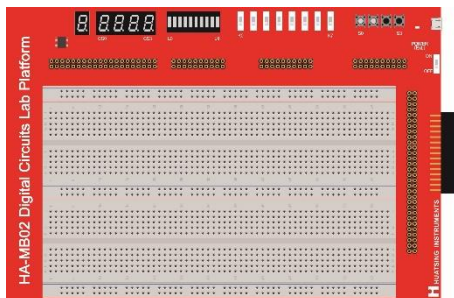
实验要求

- ✓ 分组名单对号入座
- ✓ 有事提前请假
- ✓ 按时完成实验
- ✓ 按时提交实验报告
- ✓ 按时实验评分 课堂+实验报告
- ✓ 爱护实验室设备及实验套装

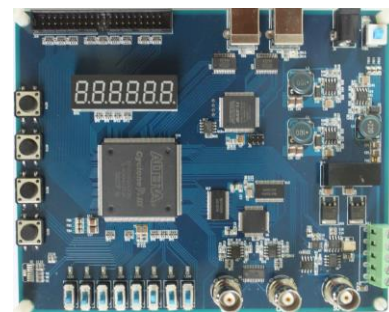
套件使用	硬件电路	EDA 1	EDA 2
5	10	5	5

实验套件

- ✓ 请在发放表格上签字
- ✓ 请检查套件是否齐全



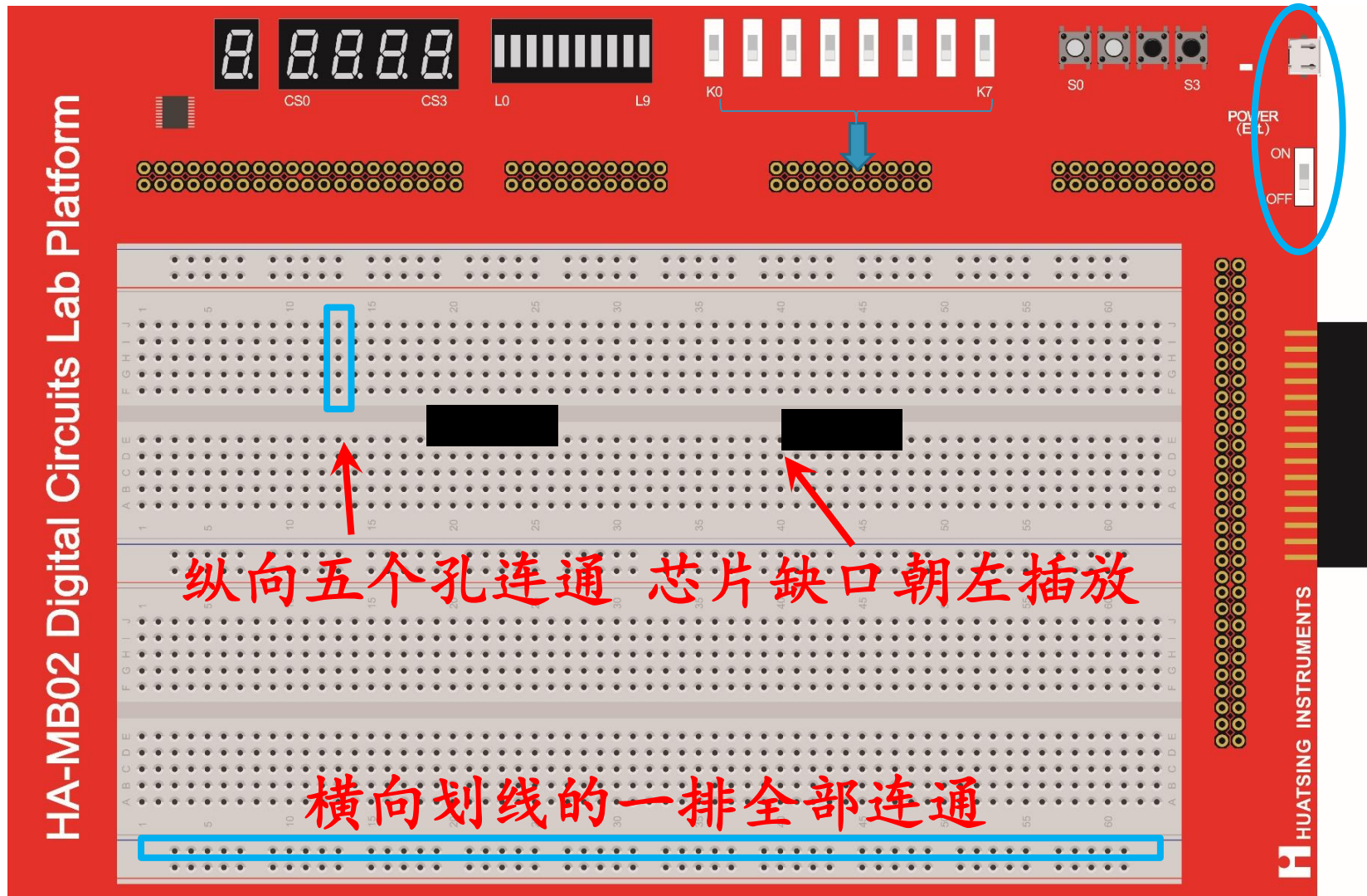
or



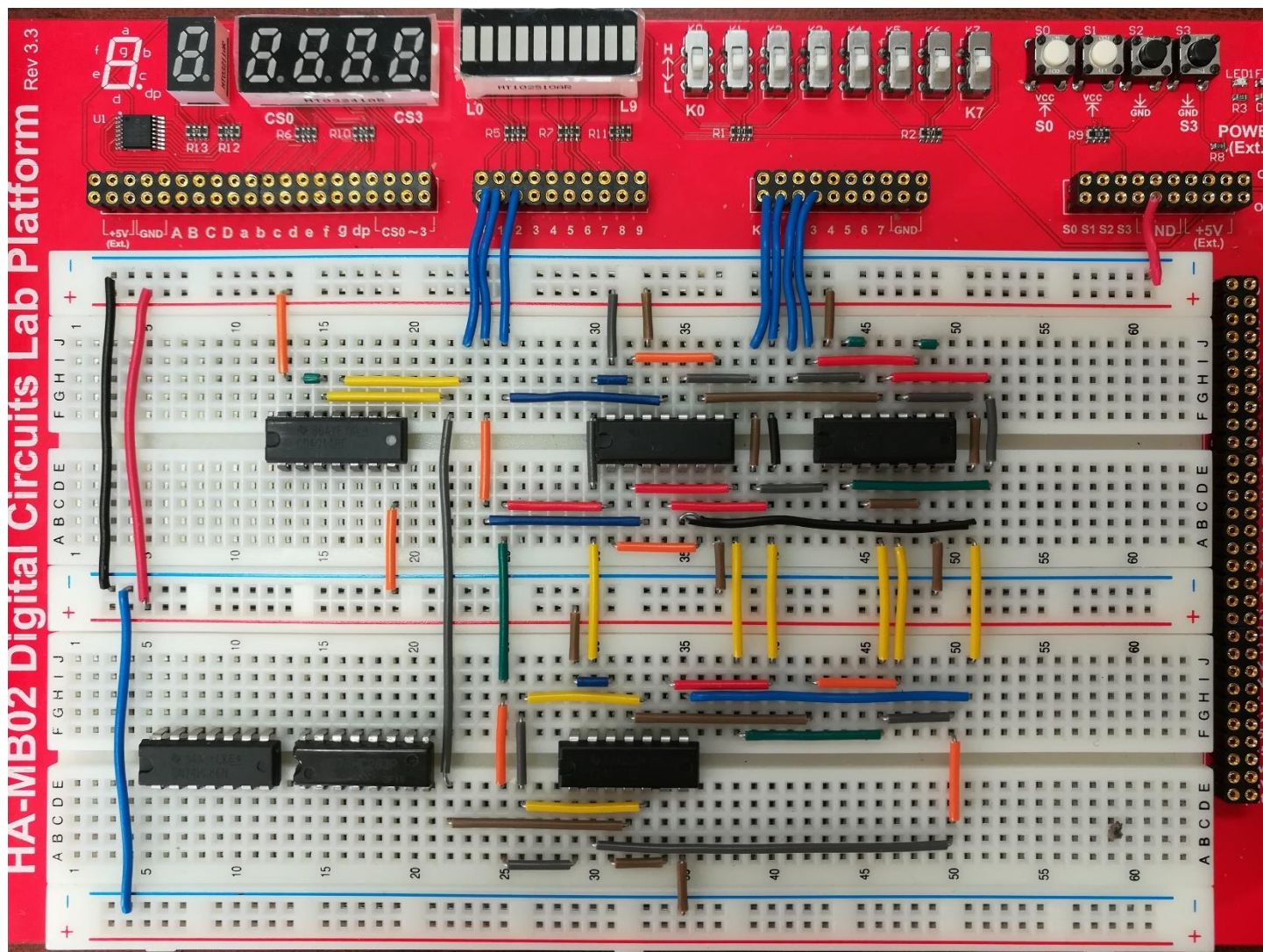
+5V
GND
+12V
GND
-12V



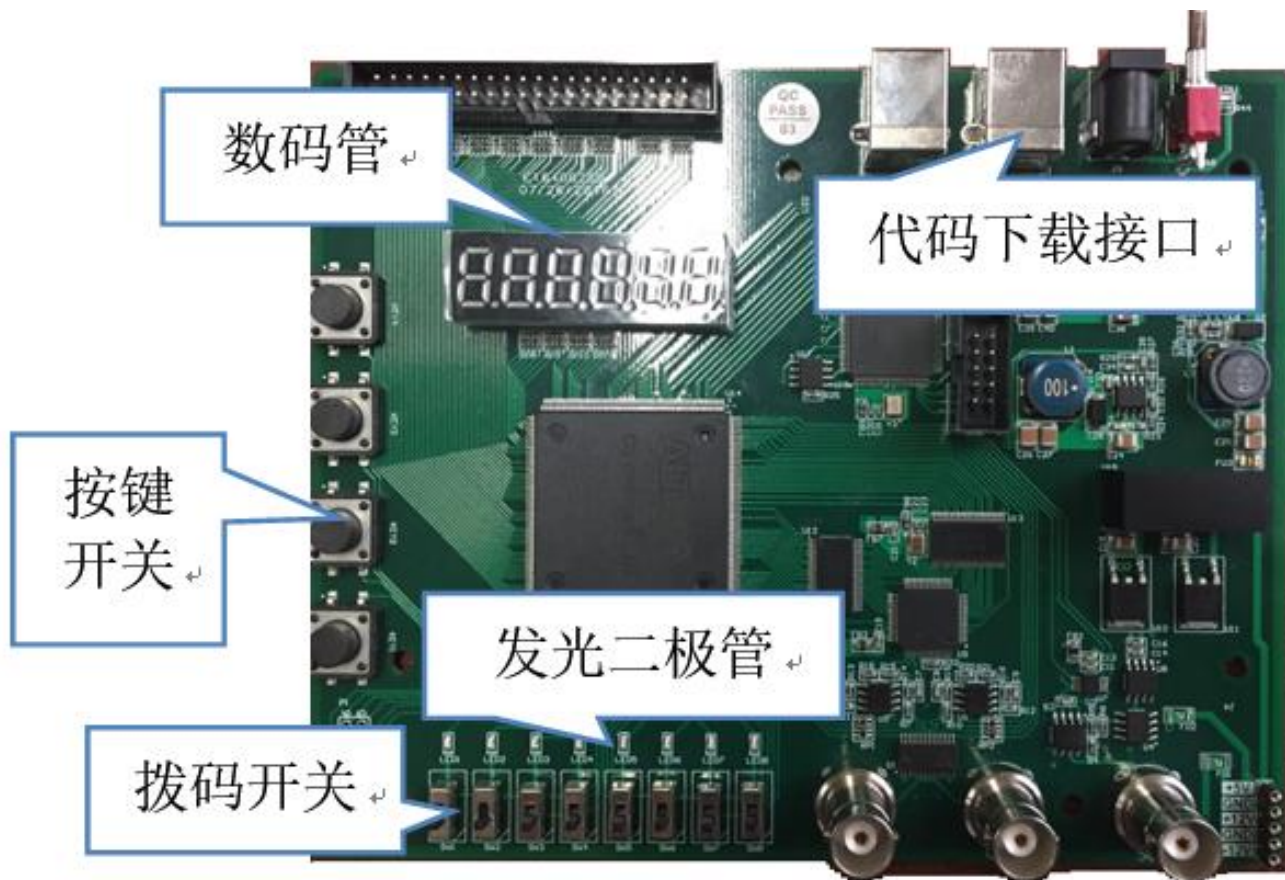
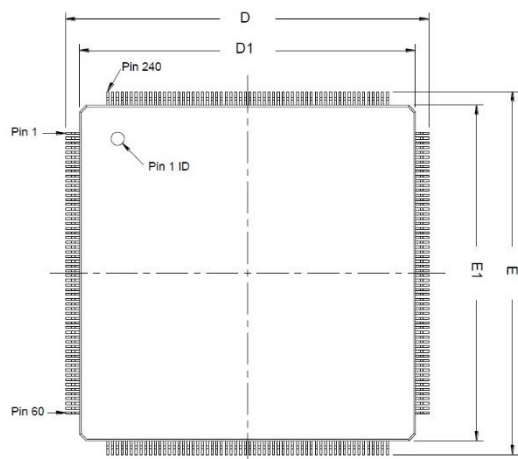
数字实验板



实验板上搭建电路



FPGA开发板



QuartusII软件下载及安装



Quartus II下载：清华云盘

<https://cloud.tsinghua.edu.cn/d/c59e0f8e06ee4ebeb3a3/>



Crack_QII_13.zip

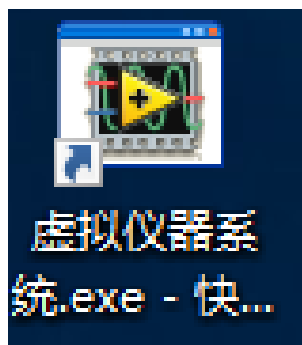


Quartus-13.0.0.156-devices-1.zip



Quartus-13.0.0.156-windows.zip

虚拟仪器软件下载及安装 (可选)



虚拟仪器相关：网络学堂

USB驱动



USB Firmware安装.exe

MyLab安装程序

虚拟仪器使用(可选)

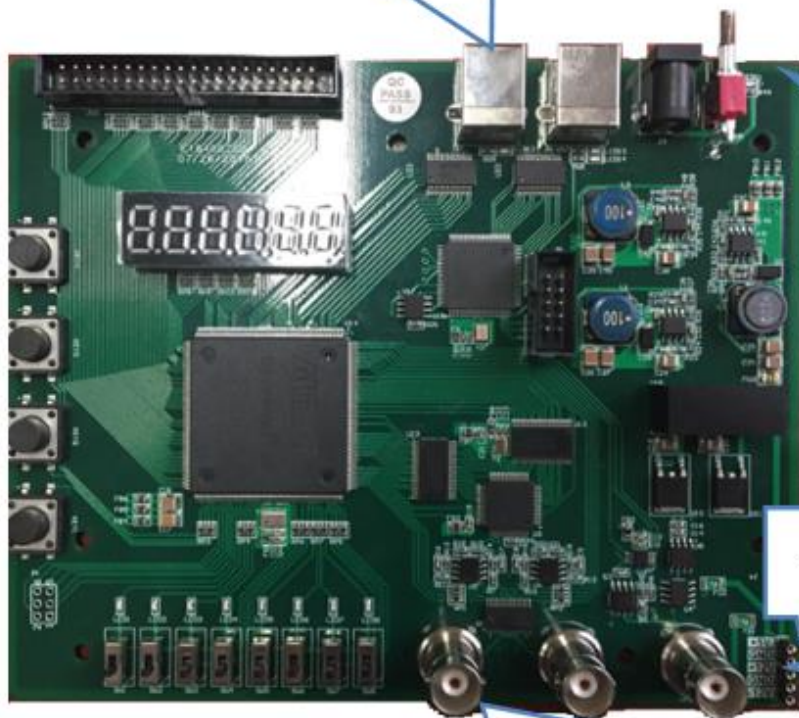
虚拟仪器通讯接口

电源接口及开关

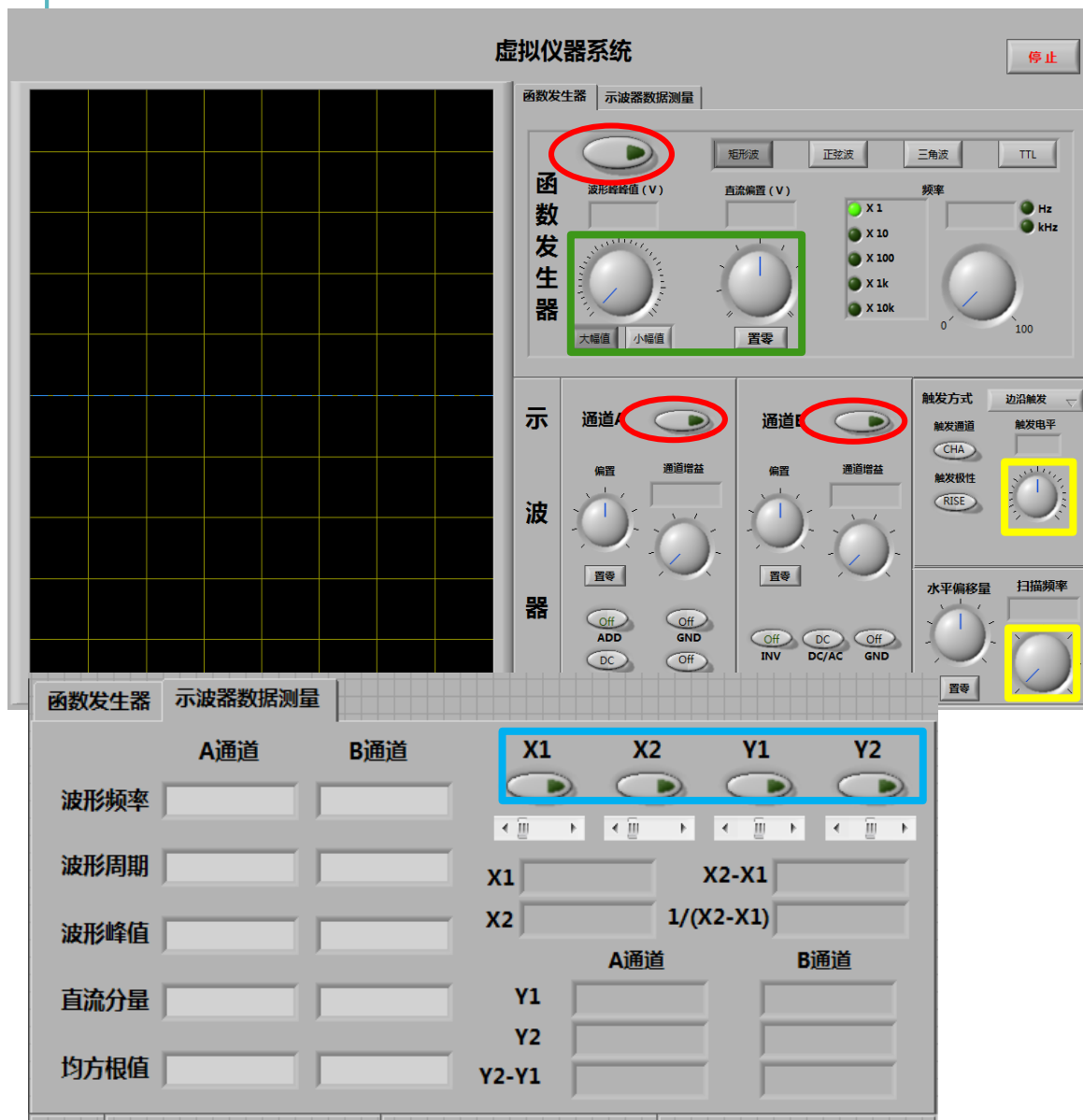
+5V

GND

从左到右依次为示波器 A 通道和 B 通道
输入端子、信号发生器输出端子



虚拟仪器使用（可选）



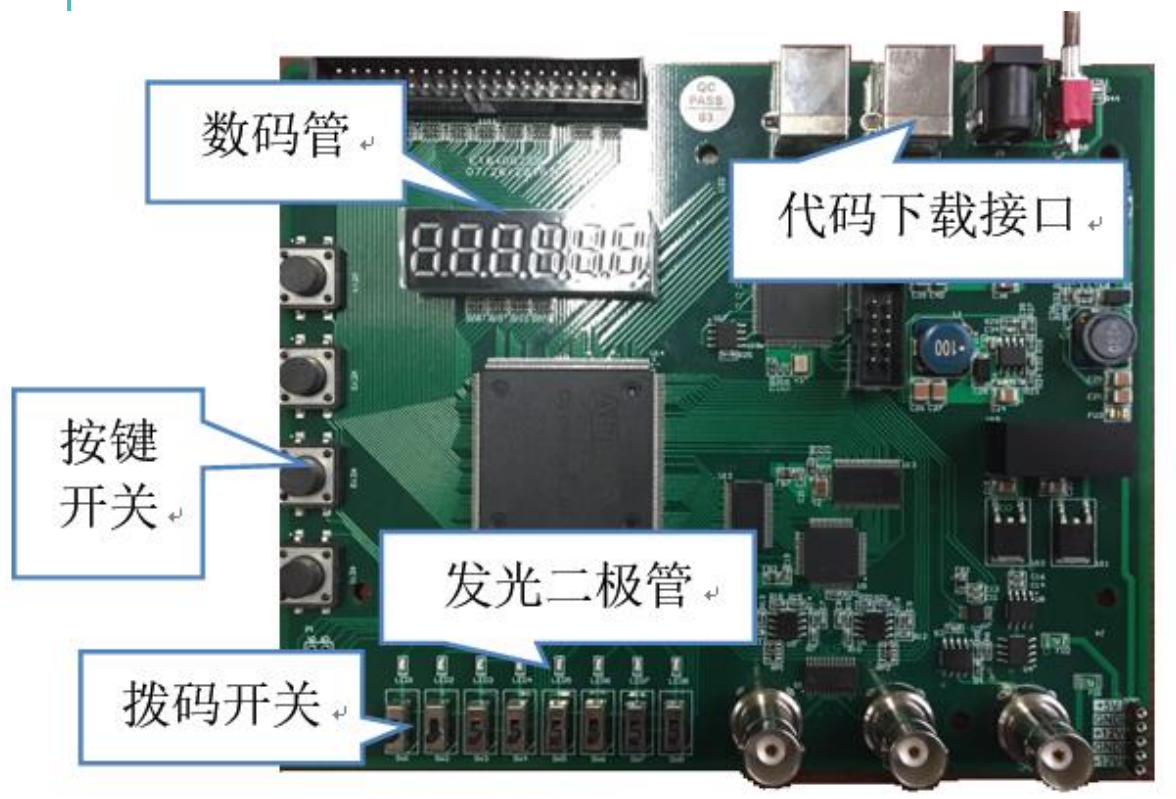
打开开关

设置信号发生器

调节示波器

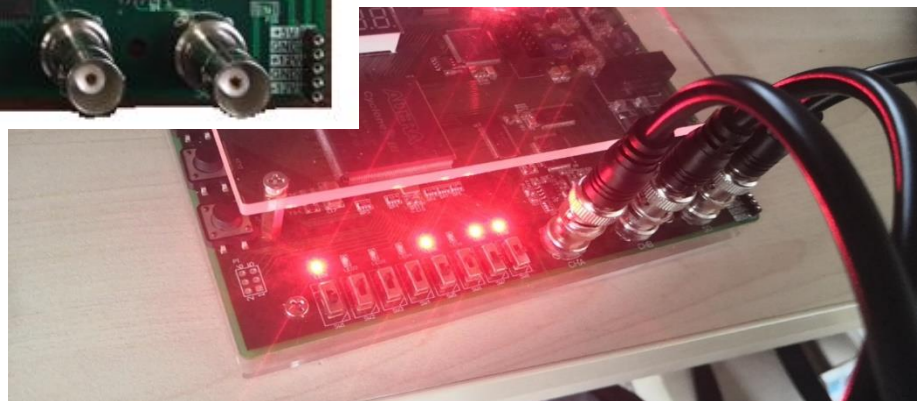
测量读数

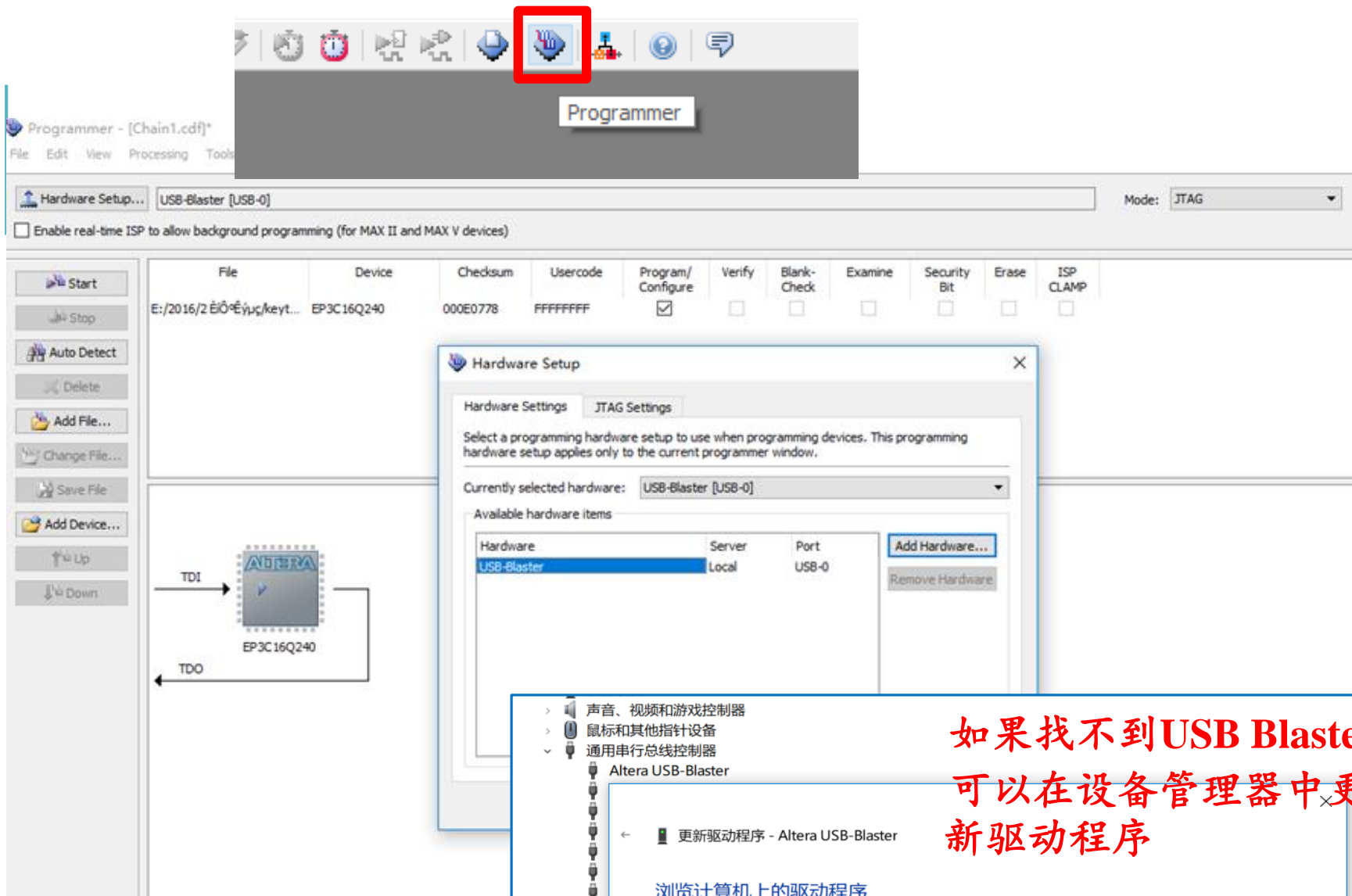
FPGA开发板的连接和下载



buttontest.sof

keytest.sof

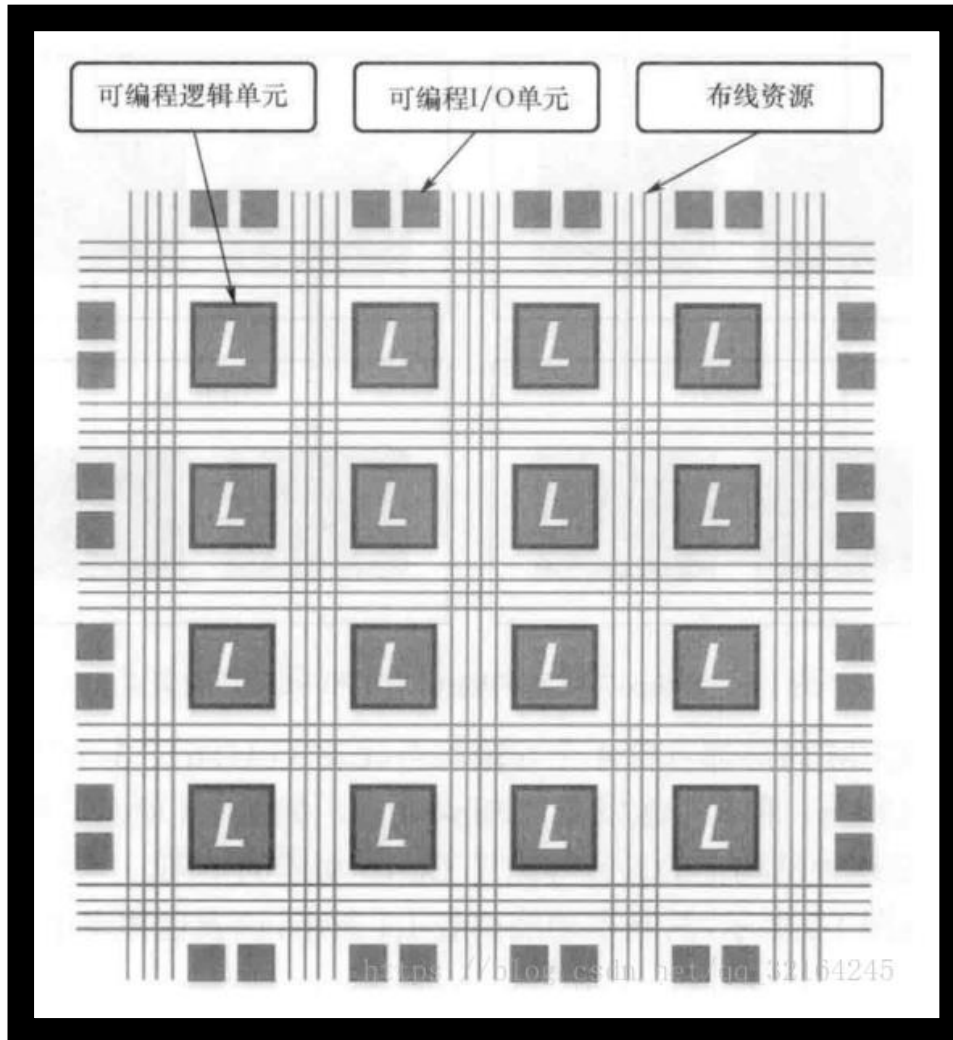




如果找不到USB Blaster
可以在设备管理器中更新驱动程序

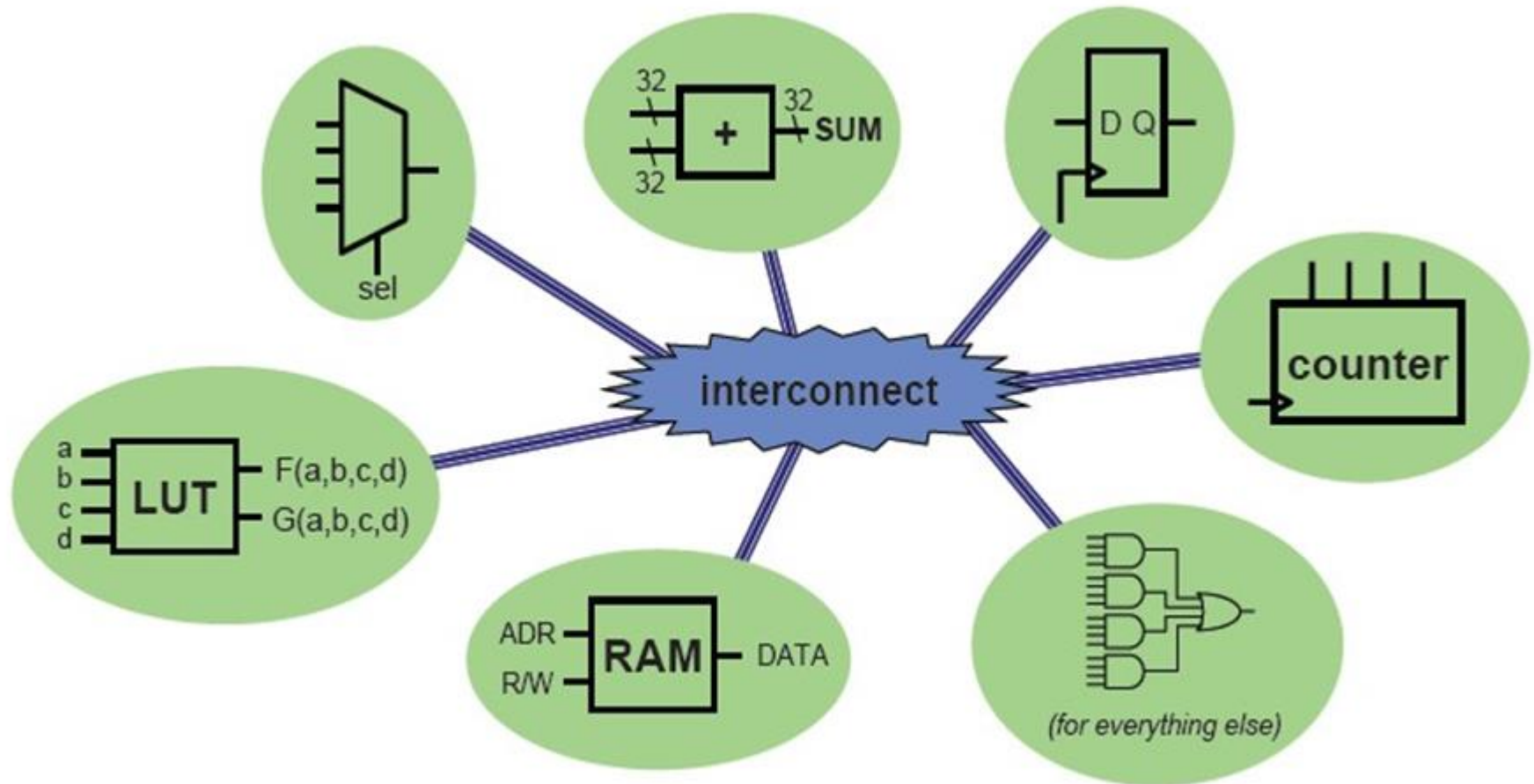
安装下载器的驱动

FPGA: Field Programmable Gate Array



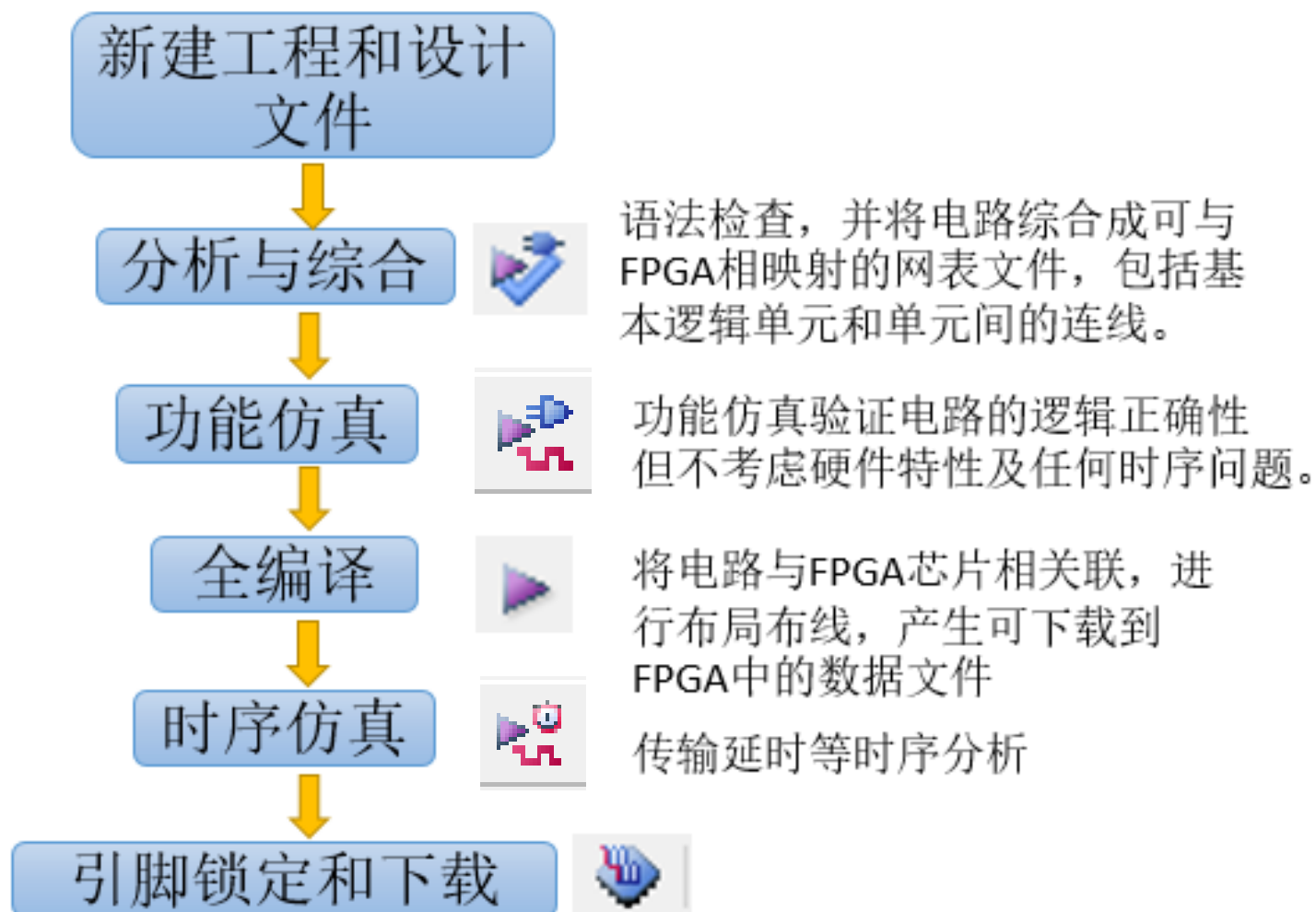
实验板FPGA芯片：
EP3C16Q240C8N

FPGA: Field Programmable Gate Array

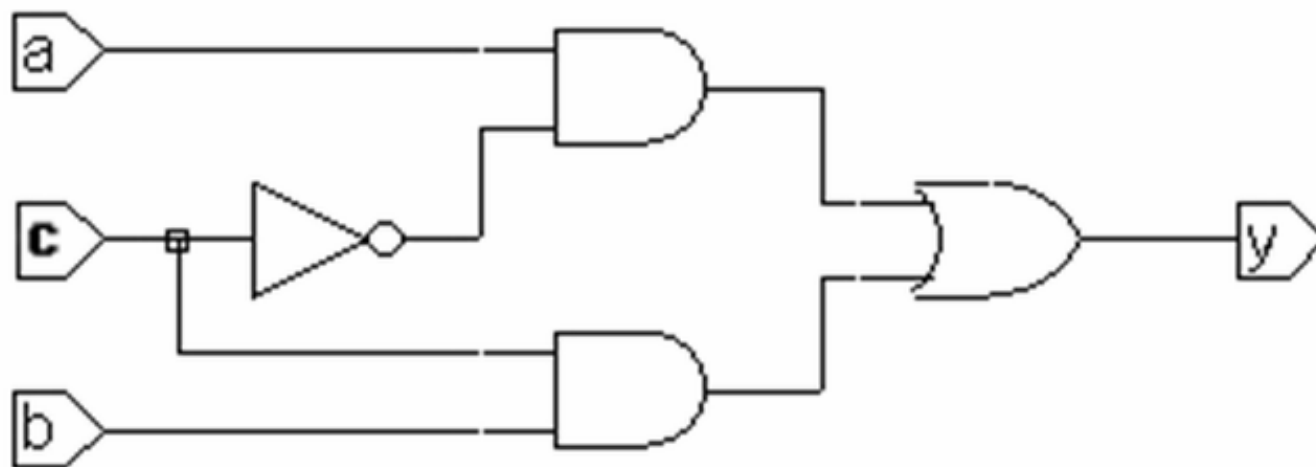


An FPGA is like an electronic breadboard that is wired together by an automated **synthesis tool**

FPGA设计流程



操作实例



$$y = ac' + bc$$

Quartus 13.0软件界面

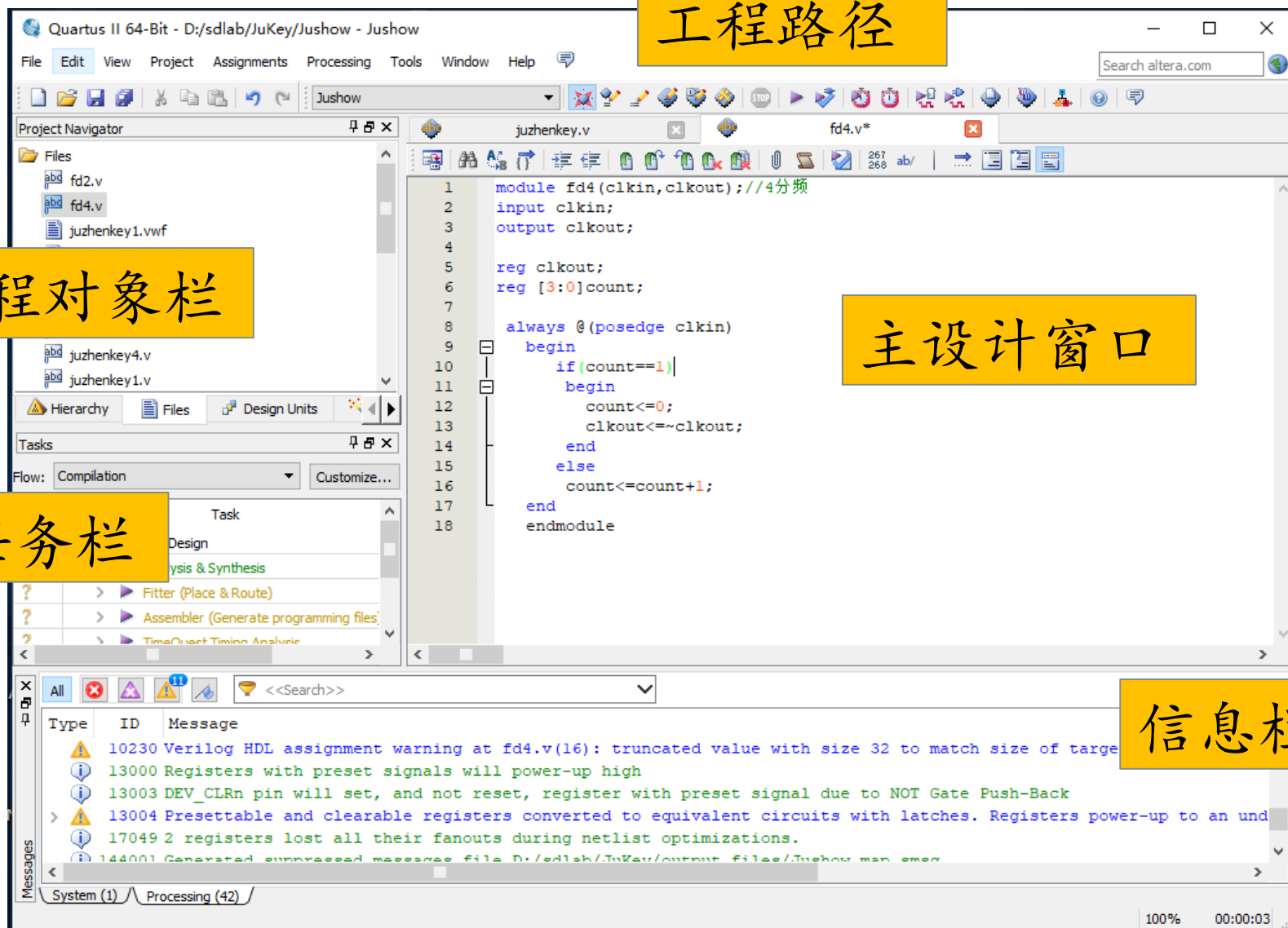
工程路径

工程对象栏

主设计窗口

任务栏

信息栏



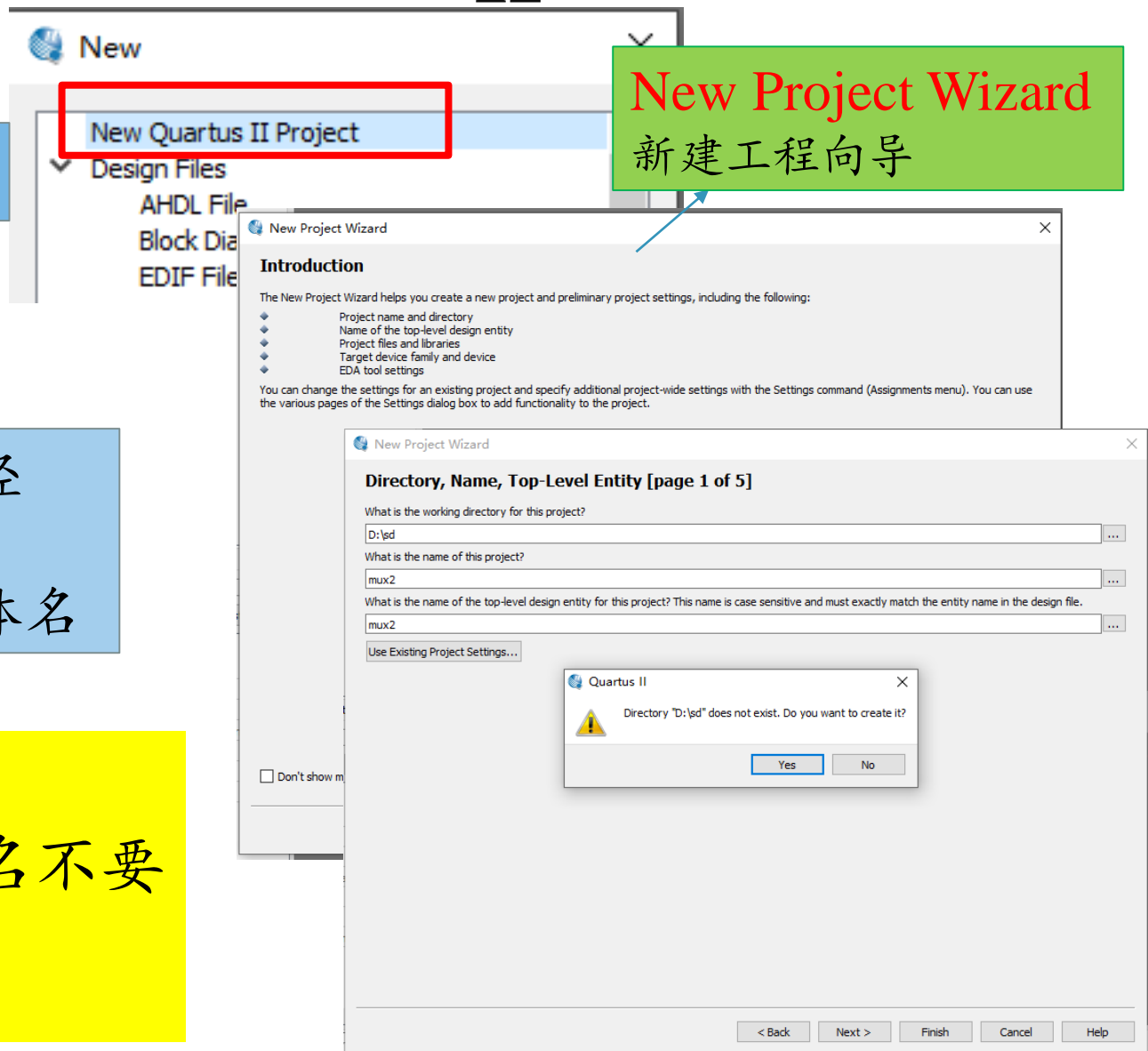
1、新建工程(*.qpf)

打开工程向导



创建工程目录路径
创建工程名
创建工程顶层实体名

注意：
路径名和工程名不要
有中文和空格



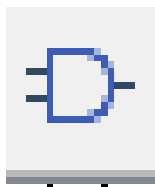
2、输入设计文件(*.bdf原理图文件)

打开原理图编辑器

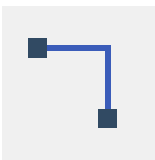


绘制原理图

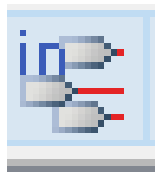
放置器件



放置连线



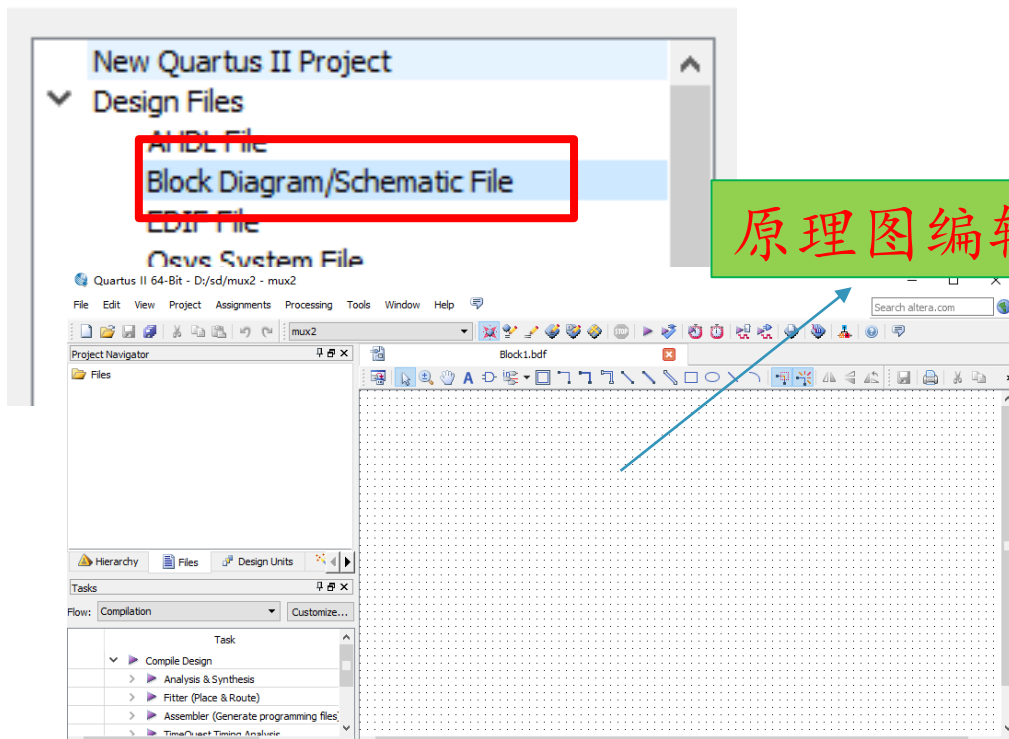
放置输入、
输出口



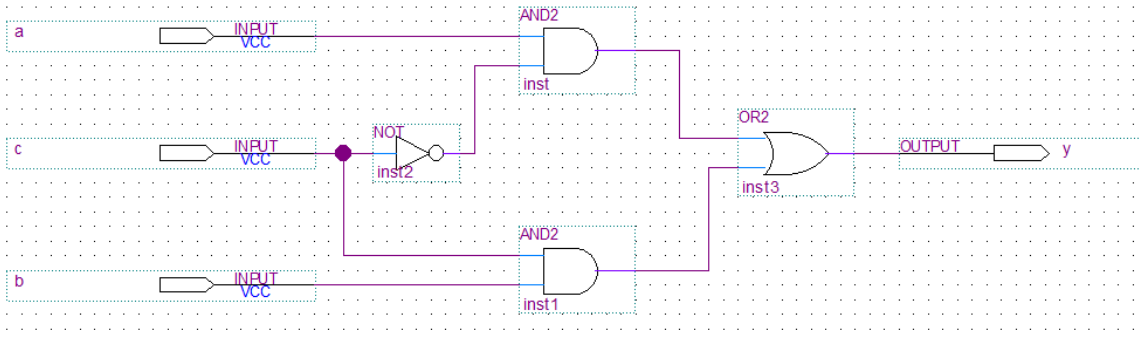
定义输入、输出口

New

×



原理图编辑器



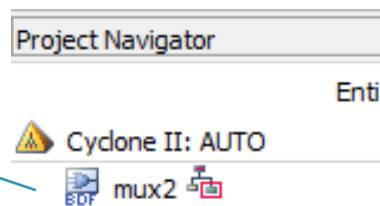
3、综合与分析



将被仿真文件置顶

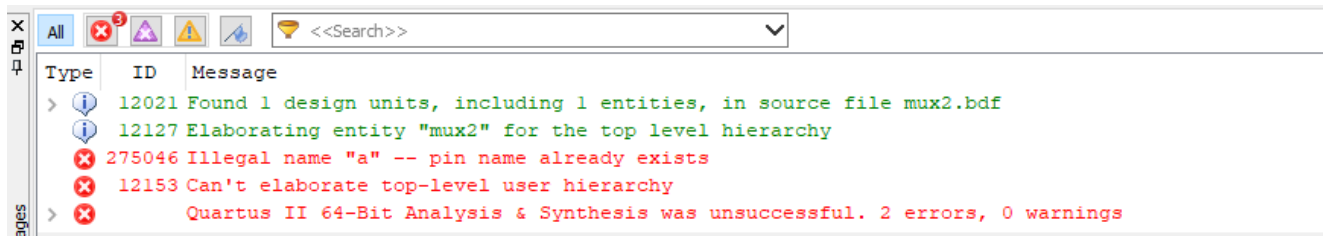
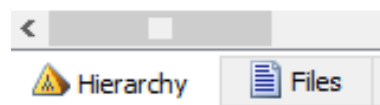


综合与分析



■ 软件自动完成综合

■ 注意信息栏修改错误

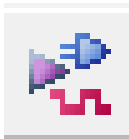


错误，可检查语法问题、不能检查算法问题（仿真波形，RTL Viewer）



警告，综合分析没问题，全编译会有问题

4、功能仿真 (*.vwf波形文件)



波形编辑器

打开波形编辑器

导入信号节点

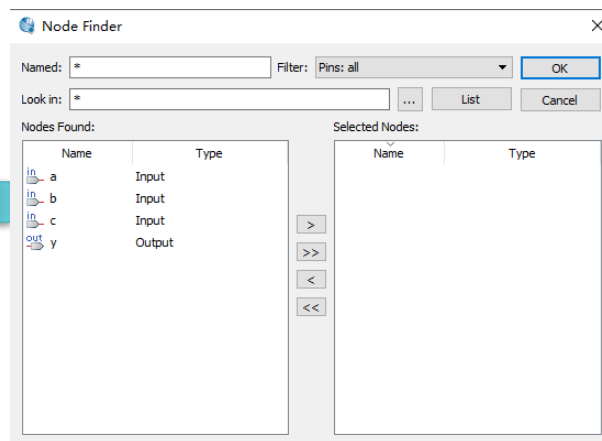
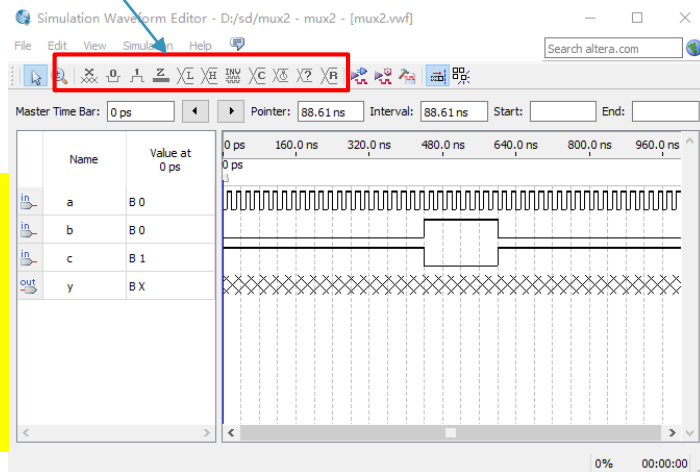
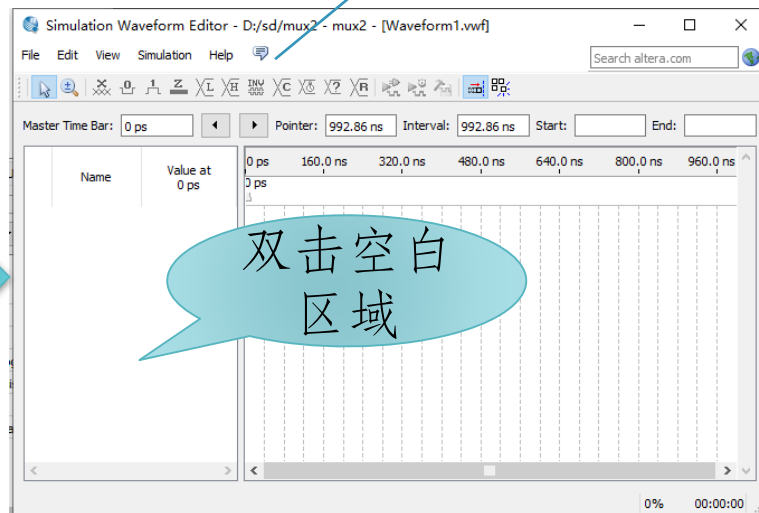
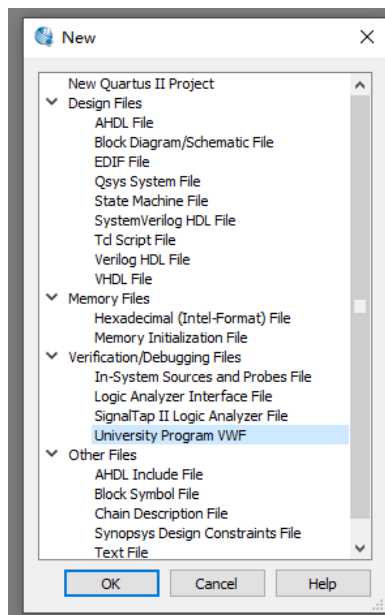
设置仿真信号

选择仿真器



注意：
仿真执行的前提：

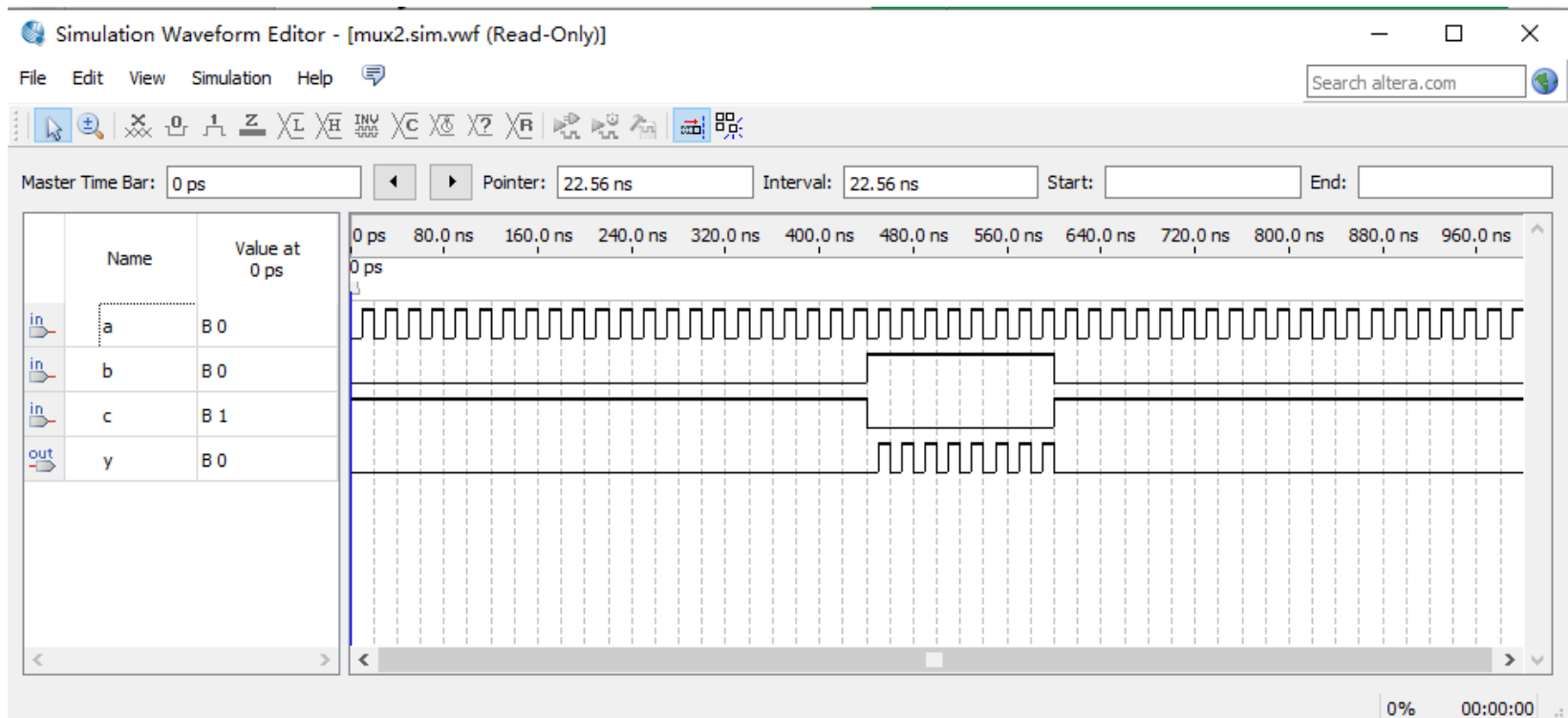
- 被仿真文件置顶
- 综合分析无错误

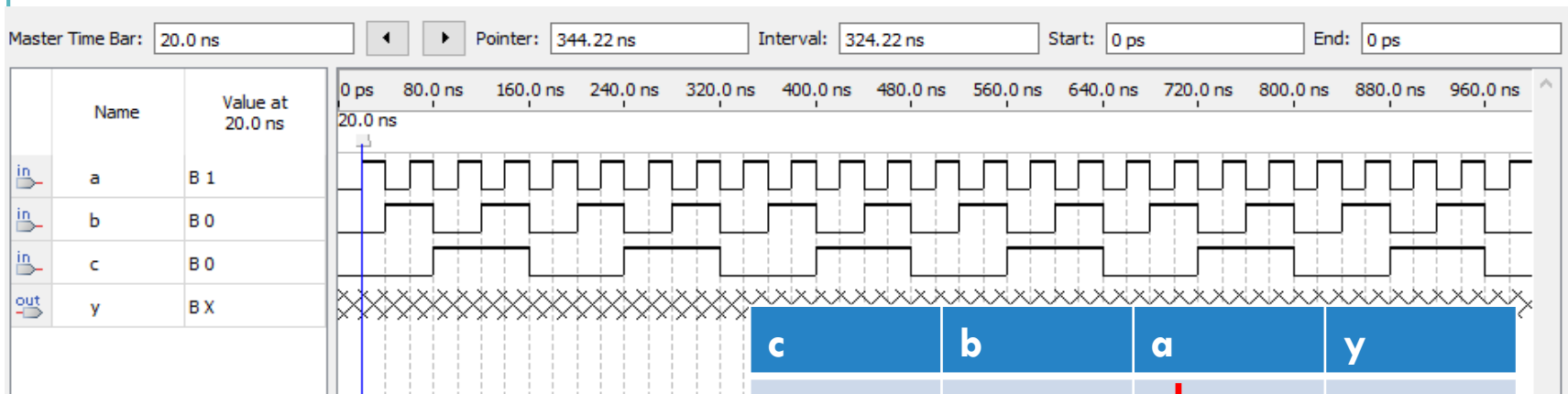


逻辑功能验证

$$y = ac' + bc$$

仿真波形可检验逻辑设计的正确与否（调试）





仿真波形设置要遍历
输入所有可能情况

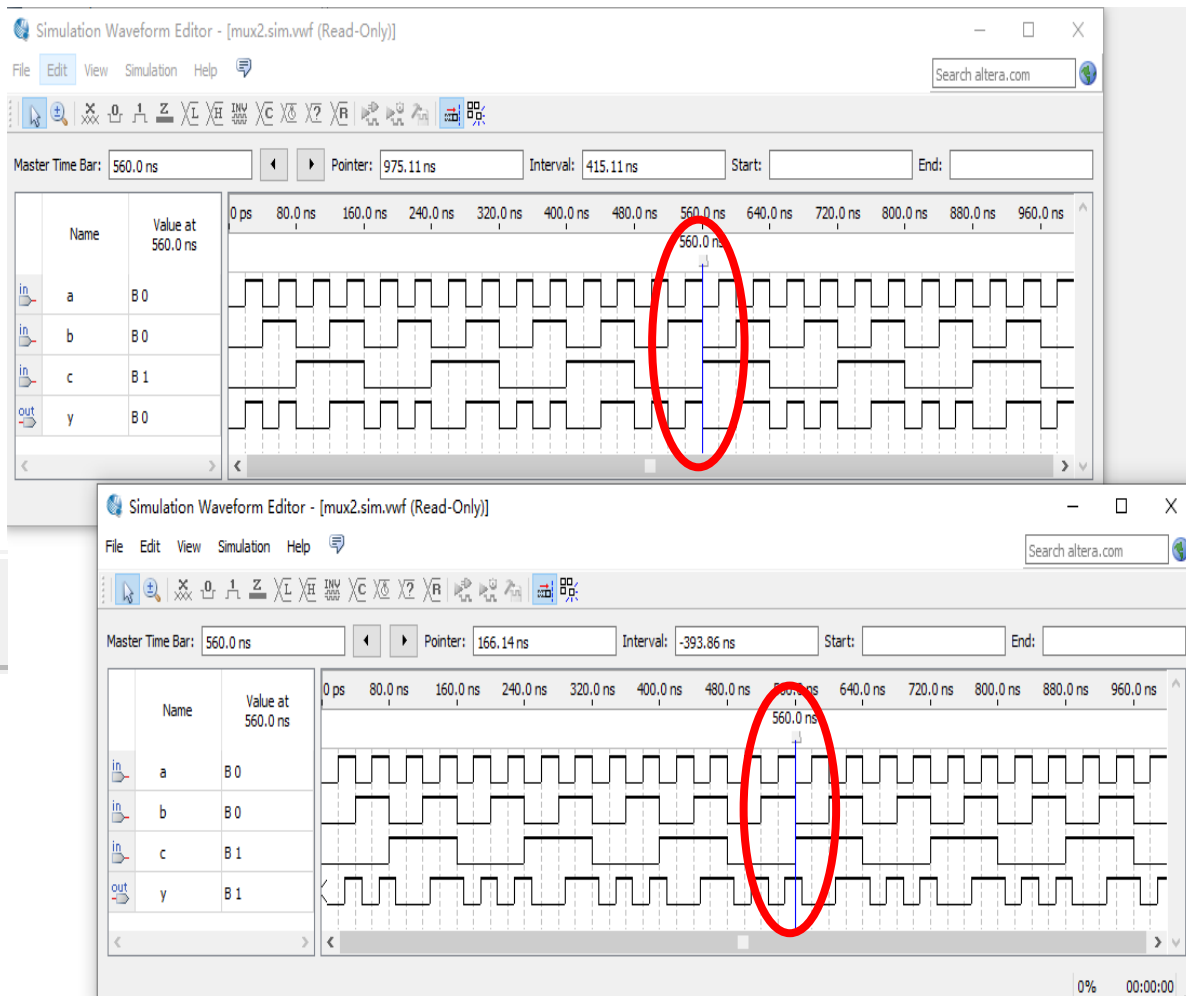
c	b	a	y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

5、时序仿真（可选）

全编译



时序仿真



6、引脚锁定和下载

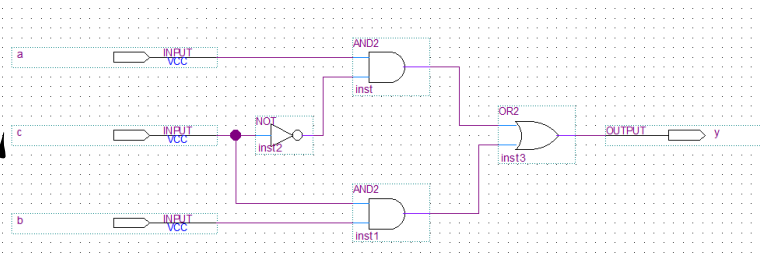
引脚分配



全编译



下载



LED3	LED4	LED5	LED6
PIN_145	PIN_146	PIN_167	PIN_168

输入为 1 时，相应的发光二极管被点亮

SW1	SW2	SW3	SW4	SW5	SW6	SW7	SW8
PIN_160	PIN_161	PIN_166	PIN_164	PIN_174	PIN_175	PIN_177	PIN_176

开关在上端输出0，开关在下端输出1

Named: * Edit: [X] [Y]		
Node Name	Direction	Location
in a	Input	PIN_160
in b	Input	PIN_161
in c	Input	PIN_166
out y	Output	PIN_146

Assignments	Processing	Tools	Win
Device...			
Pins			
Timing Analysis Settings...			
EDA Tool Settings...			
Settings...			Ctrl+Shift+E

实验报告要求

一、提交内容

- a. 电路原理图设计
- b. 功能仿真输入信号波形、输出信号波形
- c. 下载到FPGA后的实现效果（拍照说明）。
- d. 整理在实验中遇到的问题及解决方法（出现的故障、原因查找、解决方法等）
- e. 实验体会（如有）。

二、提交时间

请在网络学堂提交电子版实验报告。截止时间10月11日