計算機組織

實驗十

結果報告

第十二組

組員:

|  |  |
| --- | --- |
| 學號 | 姓名 |
| E24099059 | 陳旭祺 |
| F74044046 | 蕭佑永 |

日期:2020/12/21

一、實驗內容

Useful Information:

|  |  |
| --- | --- |
| Step | 說明 |
| Device 發出中斷到  Interrupt Controller | Interrupt Controller接收Device中斷  Controller會知道是那個Device發出的中斷及此 Device中斷的優先權。 |
| Controller發出IRQ到  CPU  Controller Ack回Device | Interrupt Controller依據所有發出中斷的Device的優先權決定誰可以中斷CPU，代替該Device發出IRQ給CPU，並回應該Device IRQ Ack，表示Device的中斷已經被傳達。 |
| CPU被Interrupt後，跳到ISR去後去執行該Device的Interrupt Handler | CPU在ISR中會檢視Interrupt Controller內部紀錄是那個Device所發出的IRQ，並處理該Device的Interrupt Handler。 |

(1)實作一

1.題目:在EASY上新增一個Interrupt I/O，讓Interrupt Controller可以去收到各種Device的Interrupt，並發出IRQ 去中斷CPU

2.實現方法: (Verilog)

程式執行流程:

1. CPU enable Timer1、Timer2

2. Timer1 & Timer2 request to IRCntl

3. IRCntl Interrupt CPU for Timer1

將Timer1和Timer2的訊號接到IRCntl的HIRQSource和HIRQAck腳位

一張含有 文字 的圖片

自動產生的描述

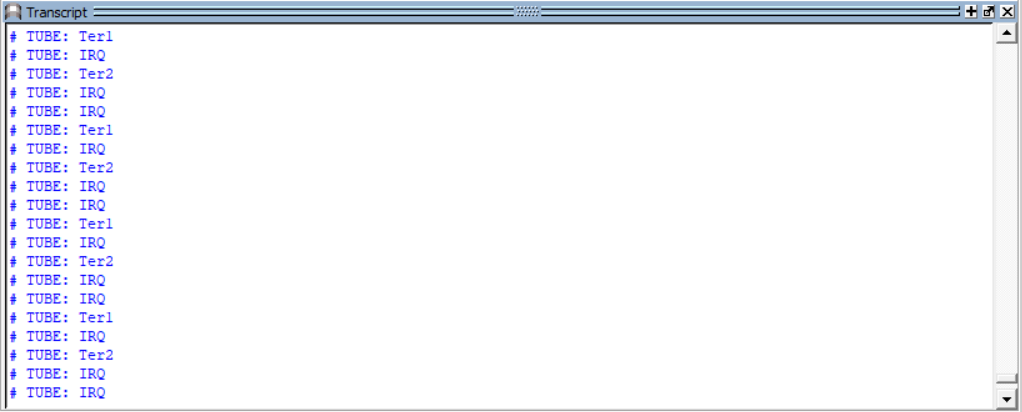
Timer1接到 HIRQSource[15] 、Timer2接到HIRQSource[14]

一張含有 文字 的圖片

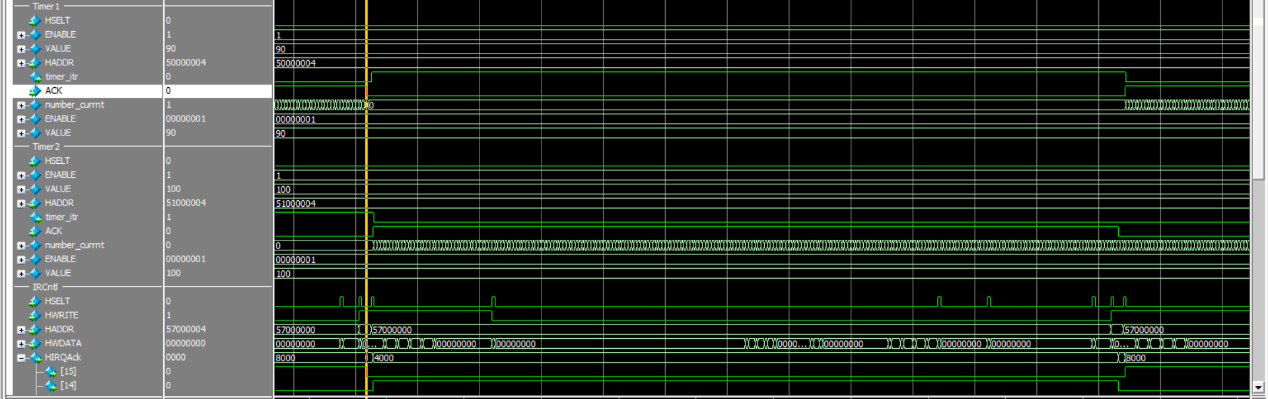
自動產生的描述

3.結果分析(modelsim):

Ter1、Ter2輪流讓IRCntl發出IRQ



可看到Timer1一發出timer\_irt就寫到pending，ACK被拉起來後，Timer1的timer\_irt降下來，而Timer2的timer\_irt會一直拉著等待Timer1的IRQ做完才會換處理它， 本題波型如此週期性循環。



(2)實作二

1.題目:新增一個來自FPGA板上的Switch Interrupt，並寫一個Interrupt Service Routine

2.實現方法(C Code、Verilog)

ISR function

一張含有 文字 的圖片

自動產生的描述

把Input的SW1\_IRQ和Output的LED1\_ACK，接到IRCntl的HIRQSource和HIRQAck的top bit

一張含有 文字 的圖片

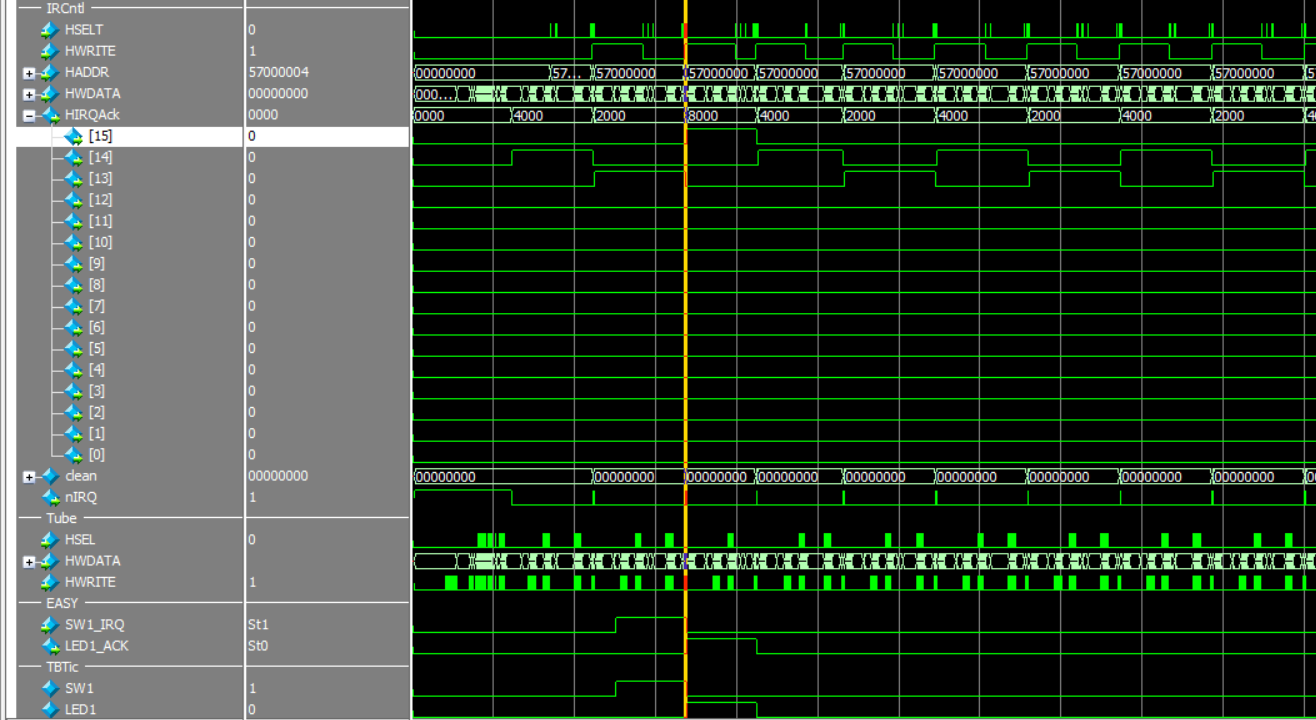
自動產生的描述

3.結果分析(modelsim)

前面有\*的代表進入Interrupt Service Routine(我們寫的Function)

一張含有 文字 的圖片

自動產生的描述



其波型與原理與Lab1大同小異，差別在於一開始Lab2有多跑入ISR，

Timer1接到 HIRQSource[14] 、Timer2接到HIRQSource[13]。而HIRQSource[15]即ISR在處理一個來自FPGA板上的Switch Interrupt。

二、實驗心得(心得可隨意發揮，但是內容會做工程認證保留檔案)

陳旭祺:最後的實驗介紹了新的組合控制邏輯單元Interrupt Controller，當一個Device產生中斷(External I/O)後，需經過Interrupt Controller的轉發訊號成IRQ，訊號才能到達CPU的ISR。(Interrupt Controller會回應該Device訊號Ack，表示Device的中斷已經被傳達)。而Lab2則新增一個來自FPGA板上的Switch Interrupt。

蕭佑永: