

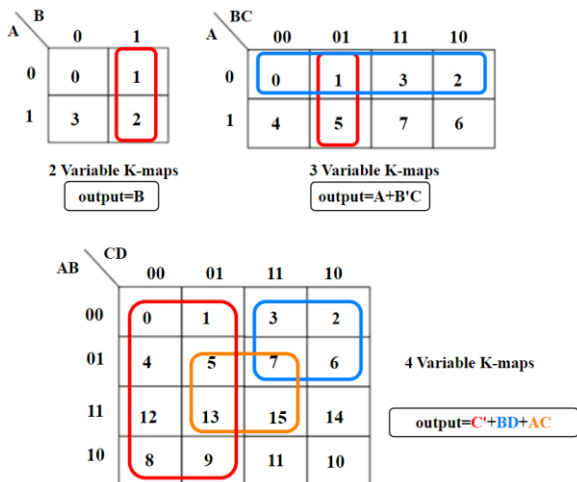
# EDA/CAD Project: 基於 Kmap 演算法實作邏輯化簡之電路生成系統 -C++

指導教授：陳聿廣 | 學生:徐松廷

本專案之電路圖自動化生成系統利用 Kmap algorithm，將給定的 state table 轉換為 D Flip Flop 的時序電路，實現電路設計自動化。過程分為兩個階段。第一階段中，State-table.txt 被會轉換為 KMap-in.txt，為 Kmap.cpp 的輸入檔案。接著 Kmap.cpp 會輸出邏輯化簡後的 KMap-out.txt，即為化簡過後的 Boolean 表達式。最後根據 KMap-out.txt 建構 circuit.txt，描述由 D-Flip Flop 構成的 sequential circuit。

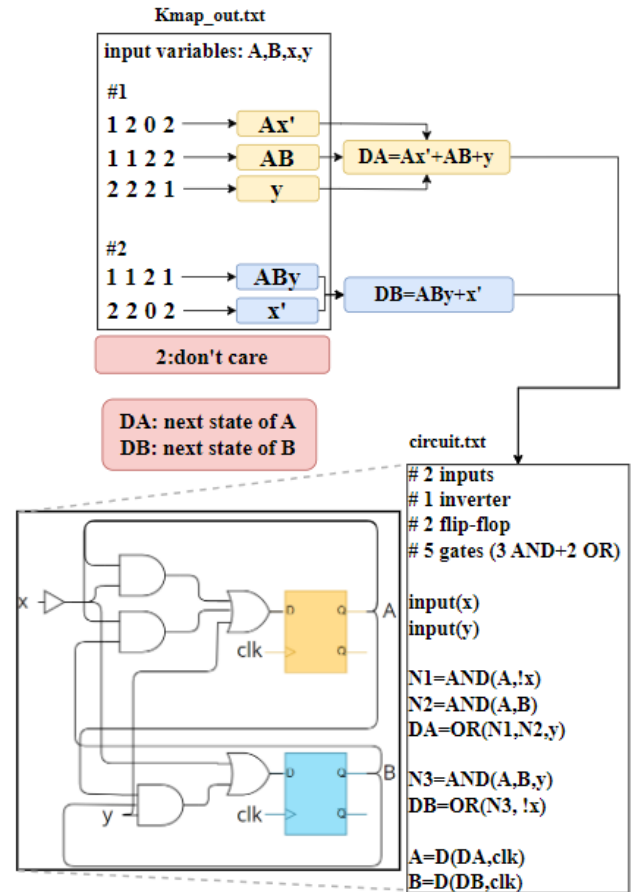
## 1. K-map Algorithm

Kmap (Karnaugh Map) 是 boolean 表達式的化簡工具，透過合併 Map 中相鄰的 1，實現邏輯化簡並節省不必要的邏輯閘。本專案實作出 Kmap 將邏輯化簡的過程自動化，提升電路設計的效率，本專案的 kmap 支援二變數、三變數與四變數的邏輯化簡。



## 2. Circuit Synthesis

在電路合成中，我們統一 Kmap\_out.txt 的化簡結果，根據 state table 描述的輸入與輸出變數生成 circuit.txt，以 D-Flip Flop, logic gate 與 clk 建構出符合 state table 描述的時序電路，實現基於 Kmap 的邏輯化簡與設計自動化。



系統架構圖如下

Main.cpp

