

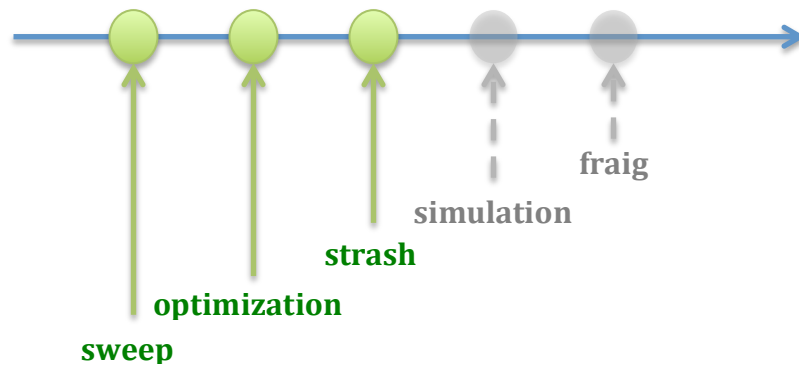
DSnP 2016 Fall

Term Project Reprot

B03901027 電機三 徐彥旻

Contact information: b03901027@ntu.edu.tw

進度說明：



資料結構：

Gate:

`class CirGate` 為基礎類別，用以實作 And-Inverter Gate。
`class CirGatePO`, `class CirGatePI`, `class CirGateCZ` 皆繼承自 `class CirGate`，用以實作 primary output, primary input, 以及 constant gate。在每個邏輯閘中，存有輸入與輸出的清單，清單中的每個元素是 class wrapper (`class CirGateV`)，data member 為一個 `size_t`，其最後一個位元用來儲存是否為反向的輸入或輸出。

Circuit:

每個邏輯閘的記憶體地址都儲存在一個 vector 中對應於 ID 的位置，以便於隨機取用，另外也在 `class CirMgr` 中另外再儲存輸入與輸出的地址清單。

實作細節：

sweep:

從每個 PO 往 fanin 進行 DFTraversal，標記每個有到過的 gate。結束之後將沒有標記到的 gate 刪掉。

optimization:

從每個 PI 以及 Const Zero 往有在深度優先搜尋清單上的 fanout 進行檢查，確認是否有符合四種取代條件其中一種，如果有，就將該邏輯閘移除，並更新有影響到的邏輯閘的輸入輸出清單，然後再往有在深度優先搜尋清單上的 fanout 進行檢查，如此周而復始，直到碰到 PO 為止。

strash:

將有在深度優先搜尋清單上的邏輯閘依序檢查是否在 HashMap 中已經有 HashKey 一樣的元素了，如果有則將該邏輯閘取代為在 HashMap 中的那個邏輯閘，否則的話則生成 HashNode 放入 HashMap 當中。

simulation: （尚未實作）

在 `class CirGate` 中設置紀錄 group id 的 data member，一開始將全部的邏輯閘都歸在相同的群組當中。

1. 依照群組的數量開出對應數量的 HashMap，利用隨機輸入產生的模擬結果放入對應的 HashMap 中分群。
2. 更新所有 CirGate 的 group id。

如此周而復始，直到群組數量增加的幅度小於預設的門檻，或是多次模擬之後都沒有增加群組數量後停止。