

东南大学

实 验 报 告

课程名称： 集成电路制造基础

实验名称： 集成电路制造基础模拟实验

院（系）： 电子科学与工程学院

专 业： 物联网工程

姓 名： 许海鸣

学 号： 06118113

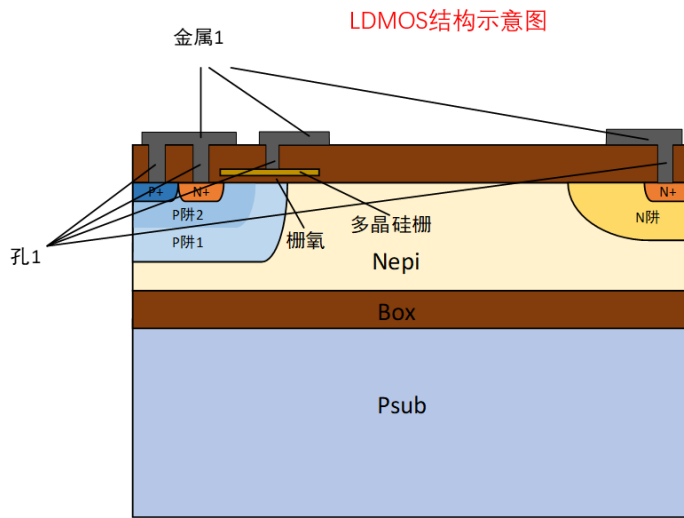
实验目的

1. 学习 TCAD 软件 Sentaurus 的使用方法；
2. 理解集成电路制造的工艺流程；
3. 掌握集成电路制造的方法，能够自己编程制作器件并进行基本的电学仿真。

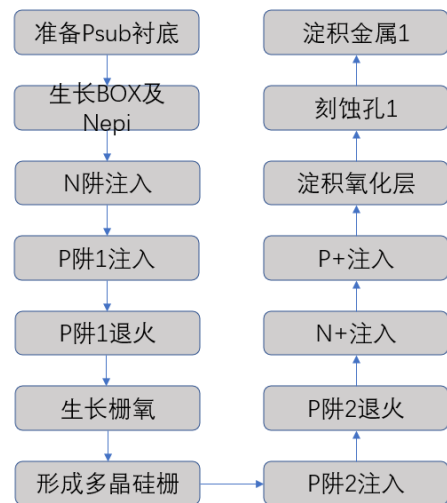
实验简介

1. LDMOS 工艺仿真练习

LDMOS结构示意图及工艺流程



流程框图

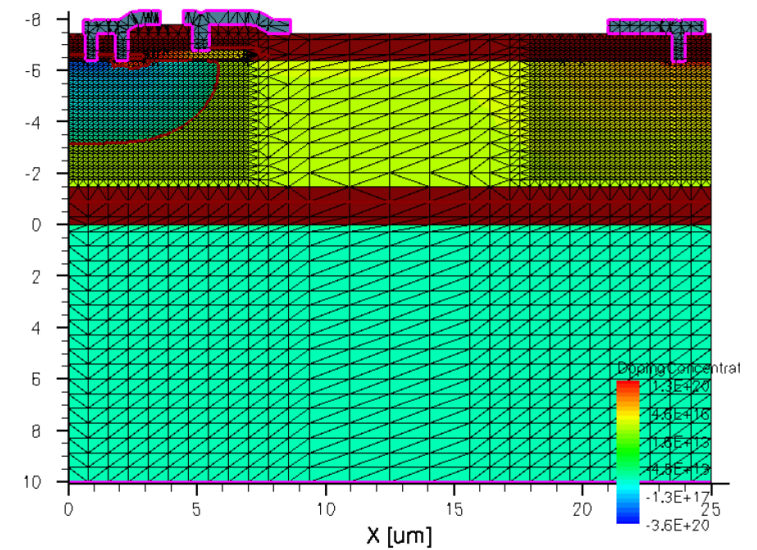
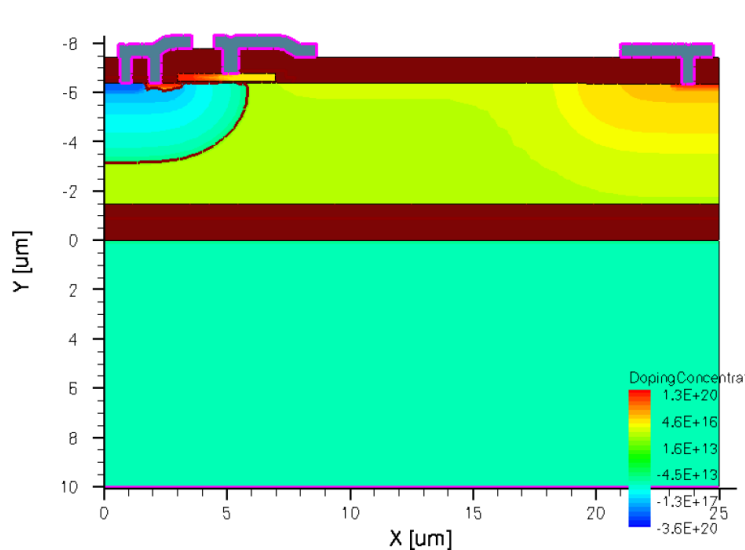


在课上，学习了 Sentaurus 仿真的基本流程

使用 TSUPREM-4，编写器件结构代码，涉及工艺流程，器件参数，工艺参数等内容。

使用 Sentaurus Structure Editor，编写网格代码，涉及定义电极位置与对工作区网格优化。

使用 Sentaurus Device，编写器件电学特性仿真，绘制 MOS 管的输出特性与转移特性曲线。



三． 自主实验

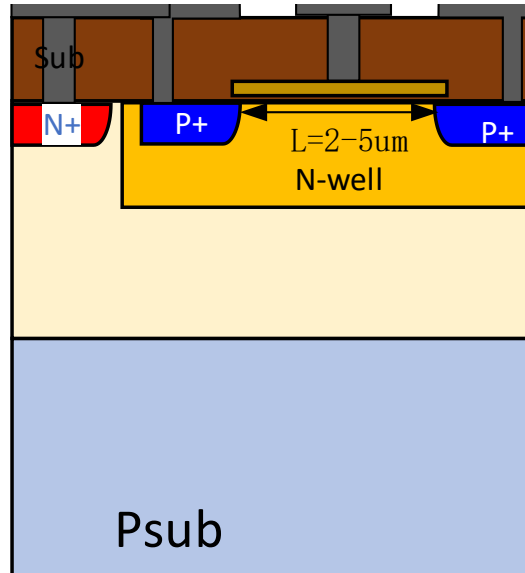
实验 1-低压 PMOS 制造工艺与电学仿真

一、PMOS 原理简介：

关于 MOS 场效应晶体管，在之前的电子器件课中，已经进行过一番比较深入的学习。

PMOS 管是 n 型衬底、p 型沟道，靠空穴的流动产生电流的金属氧化物半导体管。

PMOS 的器件结构如图：



PMOS 电学特性：

当 PMOS 栅极不加电压时，即 $V_{gs}=0$ 时，在 PMOS 漏极加上电压，源漏之间不导通，没有电流产生。

当 PMOS 栅极接上负压时，即 $V_{gs}<0$ 时，n-well 靠近多晶硅栅极的表面上电子受电场作用排斥，随着 V_{gs} 越负，逐渐进入耗尽状态，当 $V_{gs}<-V_{th}$ 时，同样受电场作用影响，衬底中的少子空穴在表面逐渐积累形成强反型层,生成空穴导电沟道。此时，在 Pmos 漏极加上电压，空穴则在 V_{ds} 作用下作定向移动，产生电流。

PMOS 的阈值电压 V_{th} 公式：

$$V_T = \Phi_{ms} - \frac{Q_i}{C_i} - \frac{Q_d}{C_i} + 2\phi_F$$

公式内有四项，前两项称为平带电压，依次为金半功函数差和有效界面电荷的影响，后两项依次为形成耗尽层和形成强反型层的条件。

在强反型条件下，展开其余各项

$$Q_d = -qN_aW_m = -2(\epsilon_s q N_a \phi_F)^{1/2}$$

$$\phi_s(\text{inv.}) = 2\phi_F = 2\frac{kT}{q}\ln\frac{N_a}{n_i}$$

平带电压两项，功函数差可通过半导体掺杂和更换电极材料进行调整。

等效 Q_i 的调整主要涉及工艺方法， Q_i 主要可分为四种表面电荷影响。

Q_m 可动离子电荷， Q_{ot} 氧化物陷阱电荷， Q_f 氧化物固定电荷与 Q_{it} 界面陷阱电荷

Q_m 主要是在工艺过程中，栅氧化层受到碱金属离子污染导致，主要受制于硅片清洁过程的优良差异。

Q_{ot} 是由于 SiO_2 层内部的缺陷导致， Q_f 和 Q_{it} 都是处在 SiO_2 层和 Si 层交接的过渡区存在的固定电荷和陷阱电荷。

这还涉及工艺上的一个点是，制作 MOS 器件的 Si 片都采用{100}晶面 Si ，因为{100} Si 的 Q_f 和 Q_{it} 数量级小于其他晶面。

其余，调整 Vth 的办法还有，更换栅极材料，高 K 介质层材料，现有 HKMG（High K + Metal Gate）工艺但最有效的办法，还是通过调整杂质的掺杂水平。

随着制程的逐步减小，有了更多先进的工艺，先进的制造方法，这里就不多涉及了。

PMOS 的电流公式：

$$I_{DS} \approx k \frac{W}{L} \left[V_{GT} V_{\min} - \frac{V_{\min}^2}{2} \right], V_{\min} = \min \{ V_{gt}, V_{ds}, V_{sat} \}$$

随着制程的缩小，电流公式还会受到其他效应影响，最常见的就是速度饱和效应、沟道长度调制效应和表面迁移率效应等，需要对公式进行调整。

二、 实验内容

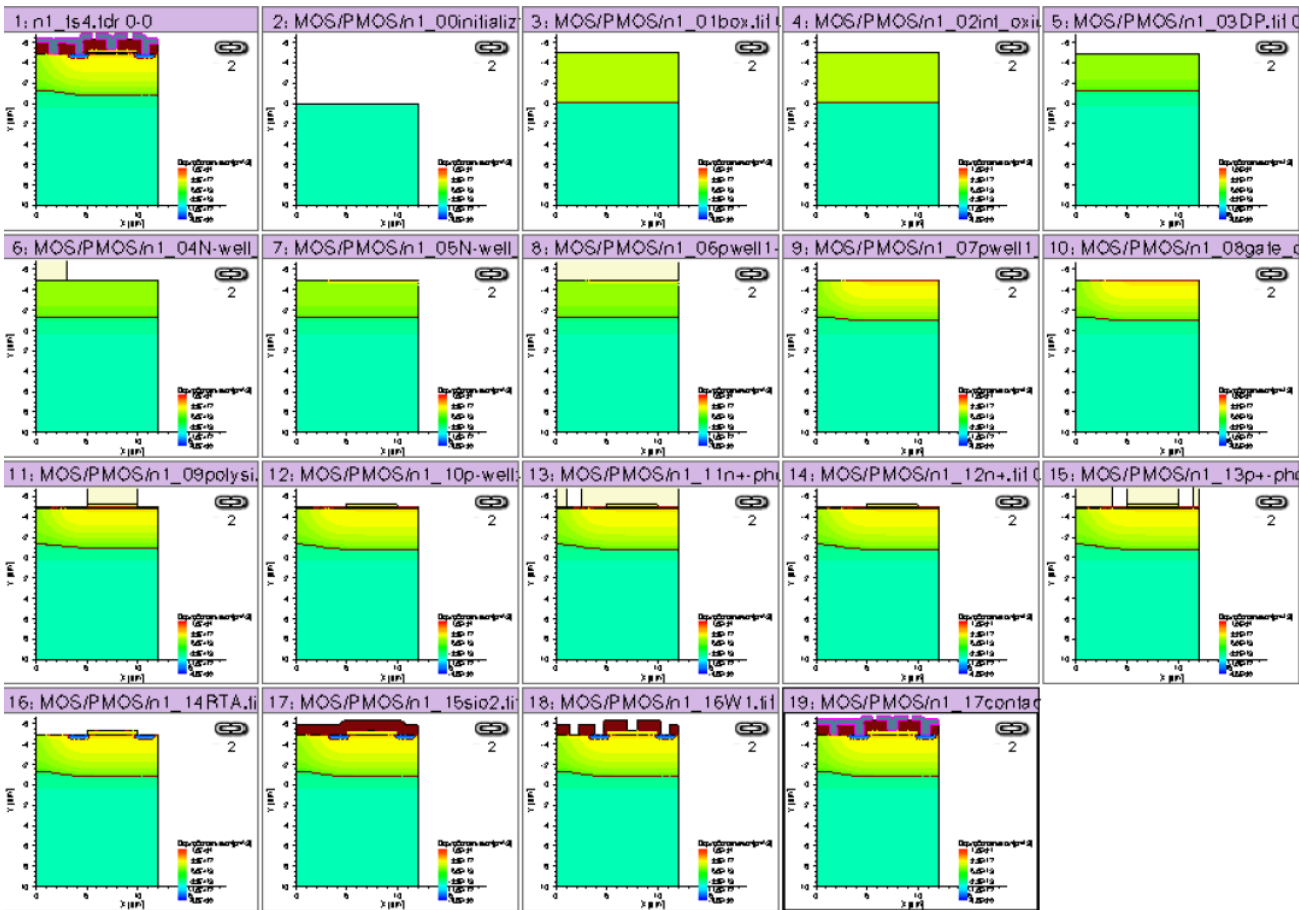
器件参数：

Pmos 场效应管
沟道长度 5um，介质层为多晶硅 厚度 0.32um
N+区掺杂砷 浓度 $4.2 \times 10^{15} \text{ cm}^{-3}$ ，P+区掺杂 BF₂ 浓度 $2.5 \times 10^{15} \text{ cm}^{-3}$
N-well 掺杂磷 浓度 $8.5 \times 10^{12} \text{ cm}^{-3}$

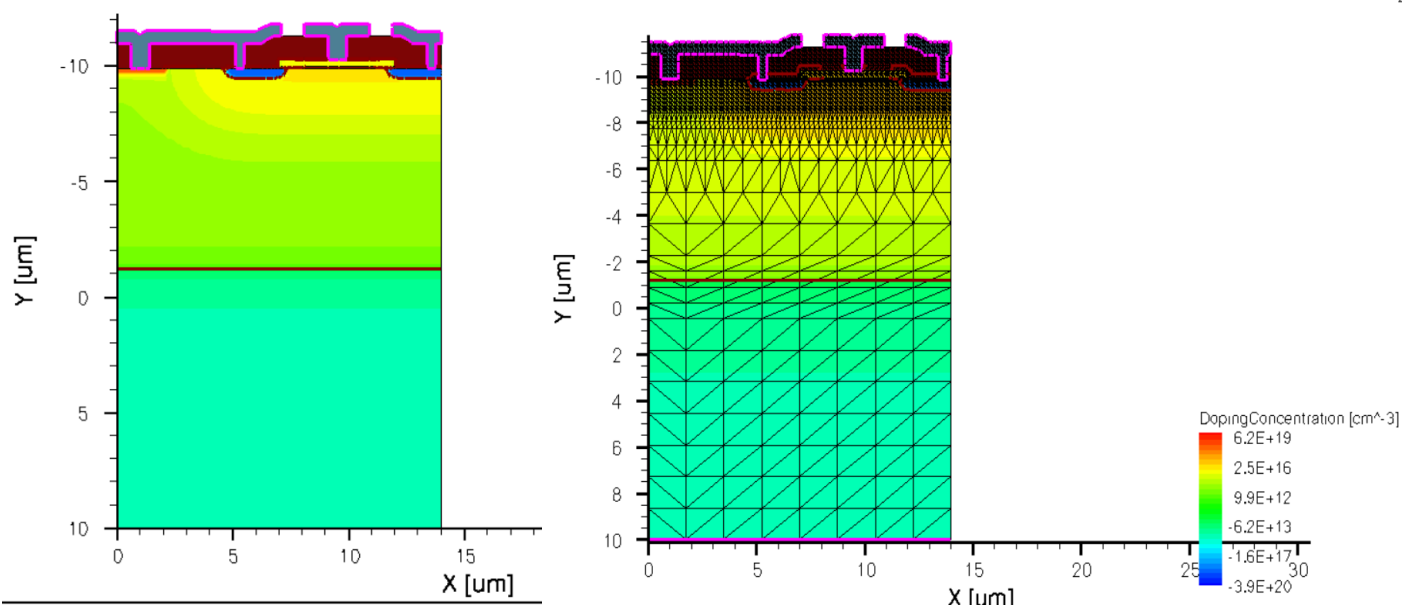
工艺流程：

制作多晶硅基底->外延硅生长->涂抹光刻,光刻形成 N-well->离子注入 N-well->热退火，杂质扩散
->沉积多晶硅介质层->掺杂栅氧层->涂抹光刻胶 ,刻蚀多余多晶硅->涂抹光刻胶,准备形成 N+衬底接触区
->离子注入 N+区->涂抹光刻胶 准备形成 P+源漏接触区->离子注入 P+区->快速热退火,杂质扩散
->生长 SiO₂->涂抹光刻胶,准备刻蚀 SiO₂形成电极位置->沉积 Al 电极->涂抹光刻胶,刻蚀 Al 电极,分离栅源漏

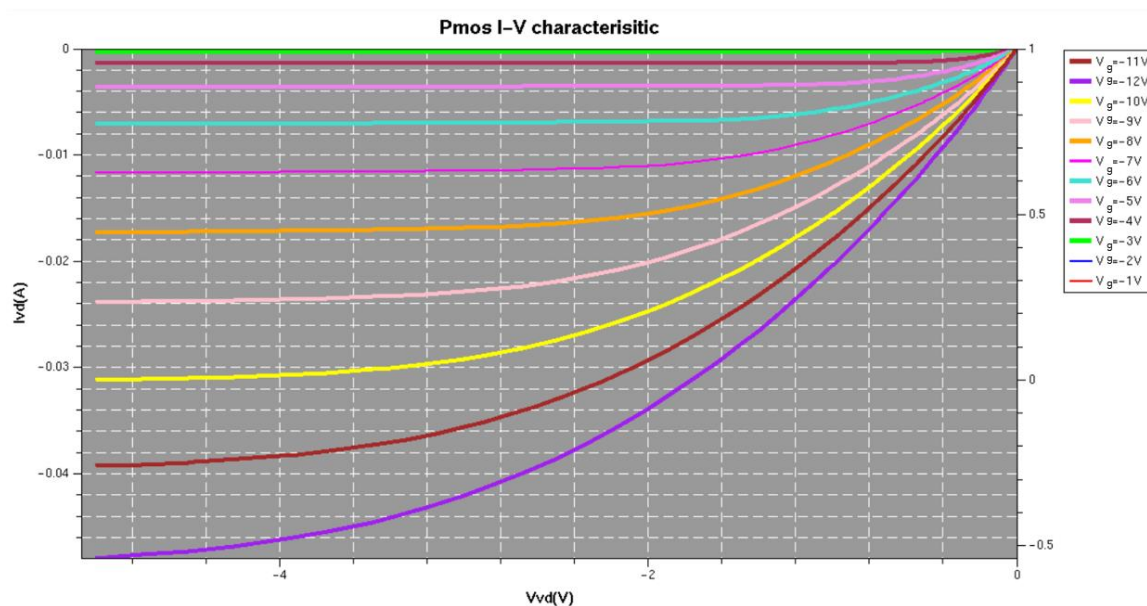
工艺流程图如下：



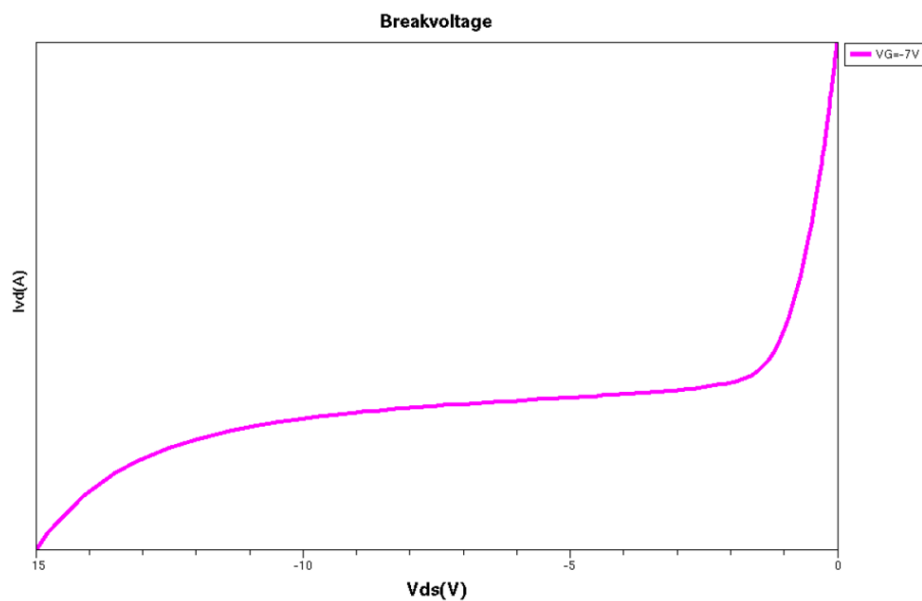
仿真结果及网格优化：



电学特性仿真：



可见,器件仿真下来的 IV 输出特性曲线是符合理论的,当电压 V_{ds} 过高时,曲线末端就不再平直,这是因为过高的 V_{ds} 会引发沟道长度调制效应所产生的。

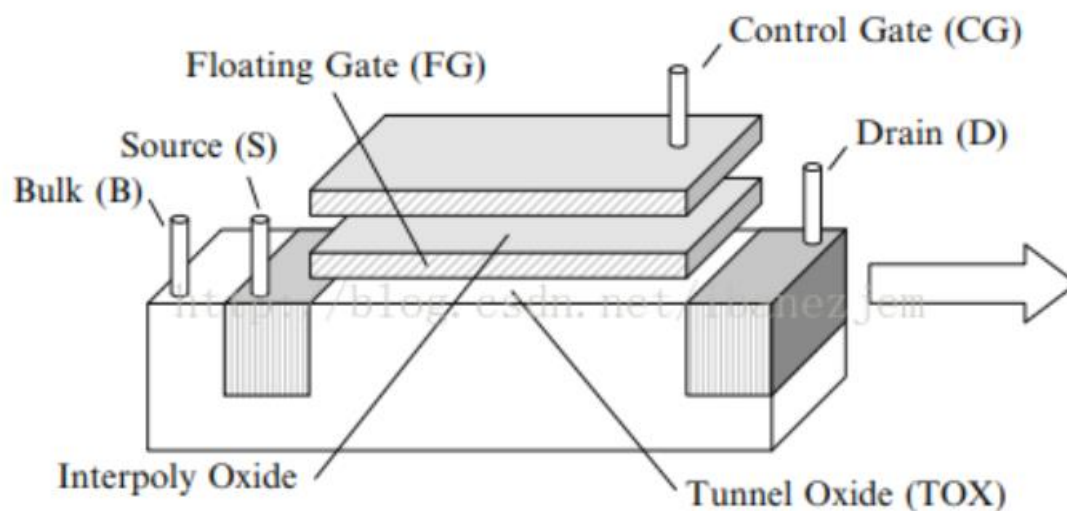


当 V_{ds} 继续增大时,在 -10V 以后,电流大幅上升,这里主要是因为过高的 V_{ds} 使得器件击穿,栅压对沟道失控导致的。

实验 2-浮栅 MOS 管仿真与轻掺杂漏（LDD）工艺仿真

一、浮栅半导体 Floating Gate MOS——FGMOS 原理简介

浮栅工艺广泛应用于 Flash 存储器中，浮栅晶体管结构与 MOS 管大致相同，只是在电极介质与沟道之间，插入了一层浮栅多晶硅层。在其之下，设置一层十分薄的隧穿氧化层，在其之上分别是极间氧化层和控制栅。其结构如图，



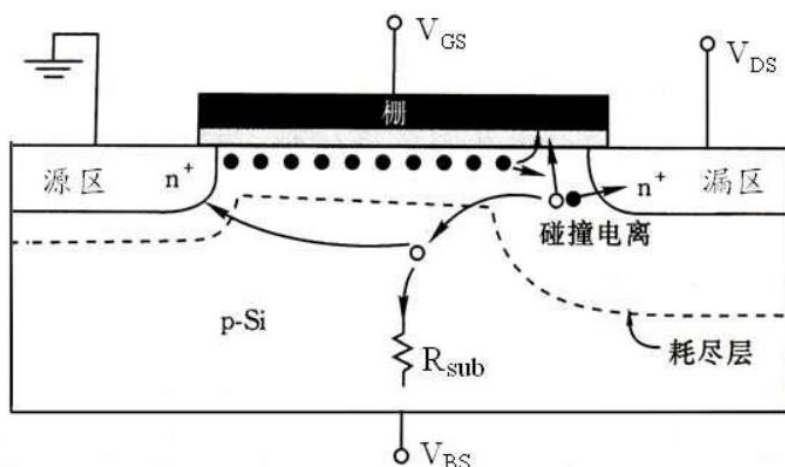
存储原理主要就是依靠中间这一层浮栅实现，控制栅加上较高的电压，使得衬底中的载流子，隧穿通过之间薄薄一层 TOX 层，由于浮栅中的载流子的穿入或穿出，器件的阈值电压受到了浮栅中电荷的影响，对应存储器的 1,0 取值和擦除。读取时，控制栅加上原本的 V_{th} ，由是否有沟道电流的产生，来判断存 0 还是存 1。

由于是工艺课，器件原理就不多讲了。

二、半导体侧墙 Spacer 与轻掺杂漏工艺 LDD 原理简介

首先，随着半导体制程进入亚微米与深亚微米时代，按照 dennard 定律，MOSFET 结构尺寸与相关电参数都要按比例缩小，但是电源电压还受到很多因素制约，不能同步降低。因此，就会导致器件的横向与纵向电场都比原来增大不少，由此带来很多问题，如热载流子效应和短沟道效应等。

这里主要讲解热载流子效应，因为它与本次实验涉及的 Spacer 和 LDD 紧密相关。



如图，漏区相对衬底电压高，形成 PN+ 结反偏，耗尽层的延展进一步减小沟道长度，由电场与电势关系： $E=V/d$ ，沟道电场将会增大，在亚微米及以下工艺中，这样大的电场就会超出要求，位于导带底部的载流子吸收这些能量，由此能够翻越 Si 与 SiO₂ 之间的势垒，被氧化层捕获，形成氧化层固定电荷，由此影响晶体管阈值 V_{th} ，使得器件老化。热载流子甚至会破坏 Si-SiO₂ 界面态，使得器件亚阈值特性劣化。

而另一部分高能电子，在沟道中，通过电离碰撞出空穴电子对，直接导致器件衬底电流的加剧，加大电路的噪声。

这里还需声明一点，热载流子效应对 PMOS 的影响相对小，主要是因为 PMOS 载流子是空穴，本身迁移率低，同时数量也少，同时对于空穴 Si-SiO₂ 势垒也高，这些都导致 PMOS 不易发生热载流子效应，故热载流子效应多被称为热电子效应。

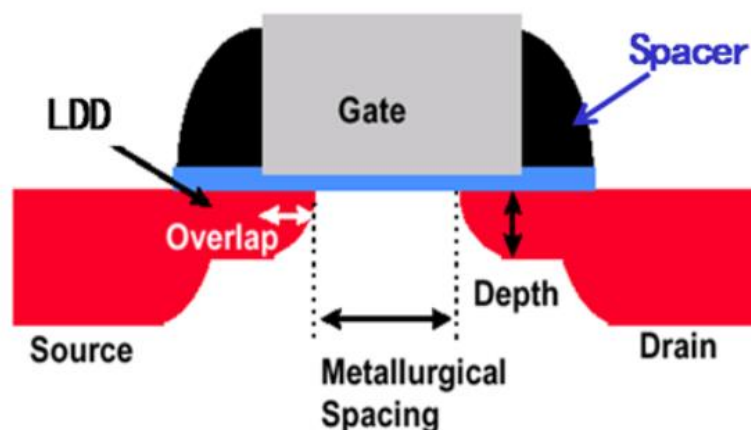
这个问题，从根本上来说，即有效沟道长度 L_{eff} 如何扩大的问题？减少耗尽区的宽度是有效的办法。那么 NMOS 器件沟道中的耗尽层，即 P 型区这块的宽度公式如下，

$$x_p = \left[\frac{2\epsilon_s(V_{bi} + V_R)}{e} \left(\frac{N_d}{N_a} \right) \left(\frac{1}{N_a + N_d} \right) \right]^{1/2}$$

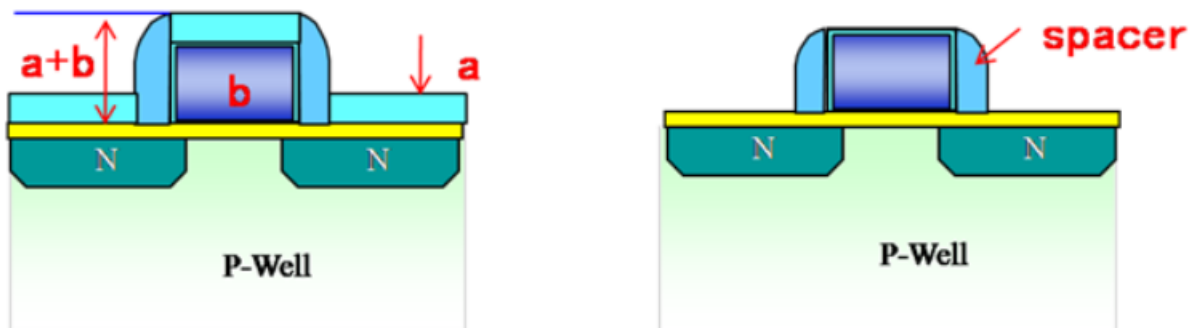
可见，一方面可以增大 N_a ，即提高沟道掺杂浓度，这也可以防止器件穿通的发生，但是这一操作势必影响器件的 V_{th} ，因此只能适量调整此项。

另一方面就是减小 N_d ，即降低漏端掺杂浓度，即 LDD 工艺，这个方法是有效的，但是需要注意，之所以源漏要用 n^+ ，主要是因为要与外界金属电极实现欧姆接触，因此，源漏只能在靠近沟道这里实行较轻掺杂，而金半接触的地方，依旧需要进行重掺杂，这也就是为什么需要 Spacer 的原因。

Spacer 即为侧墙，其目的是实现 LDD。在形成 Spacer 之前，先对源漏进行一次较轻程度的掺杂，形成 Spacer 之后，再对源漏进行一次实现欧姆接触的掺杂。



如图，Spacer 主要就是对第二次掺杂形成了阻挡作用，使得靠近沟道的区域轻掺杂得以保留。



实现 Spacer 的工艺，主要通过各向异性腐蚀，即刻蚀剂对不同晶向的腐蚀速度不一，对于 Spacer 制造来说，即纵向腐蚀速度要远大于横向腐蚀，这是可以实现的。

三、实验内容

首先, 对于这次仿真的制程,几个 μm 级别的尺寸, Spacer 和 LDD 其实是不必要的。

主要是想通过这次仿真,实践 Spacer 和 LDD 工艺,并观察其现像,这点是不受制程影响的。

此外, LDD 工艺对于浮栅记忆体是有意义的, 因为浮栅晶体管的特性, 载流子本来就需要隧穿入浮栅层, 由此使用 Flash 的过程本身就会对器件寿命造成影响。如果还有之前所分析的热电子效应参与, 那么, 这类浮栅记忆体的寿命将更大幅度的减少。

器件参数:

Nmos-浮栅 MOS 场效应管:

沟道长度 $4\mu\text{m}$, 介质层均为多晶硅,浮栅厚度 $0.5\mu\text{m}$ 控制栅厚度 $0.16\mu\text{m}$

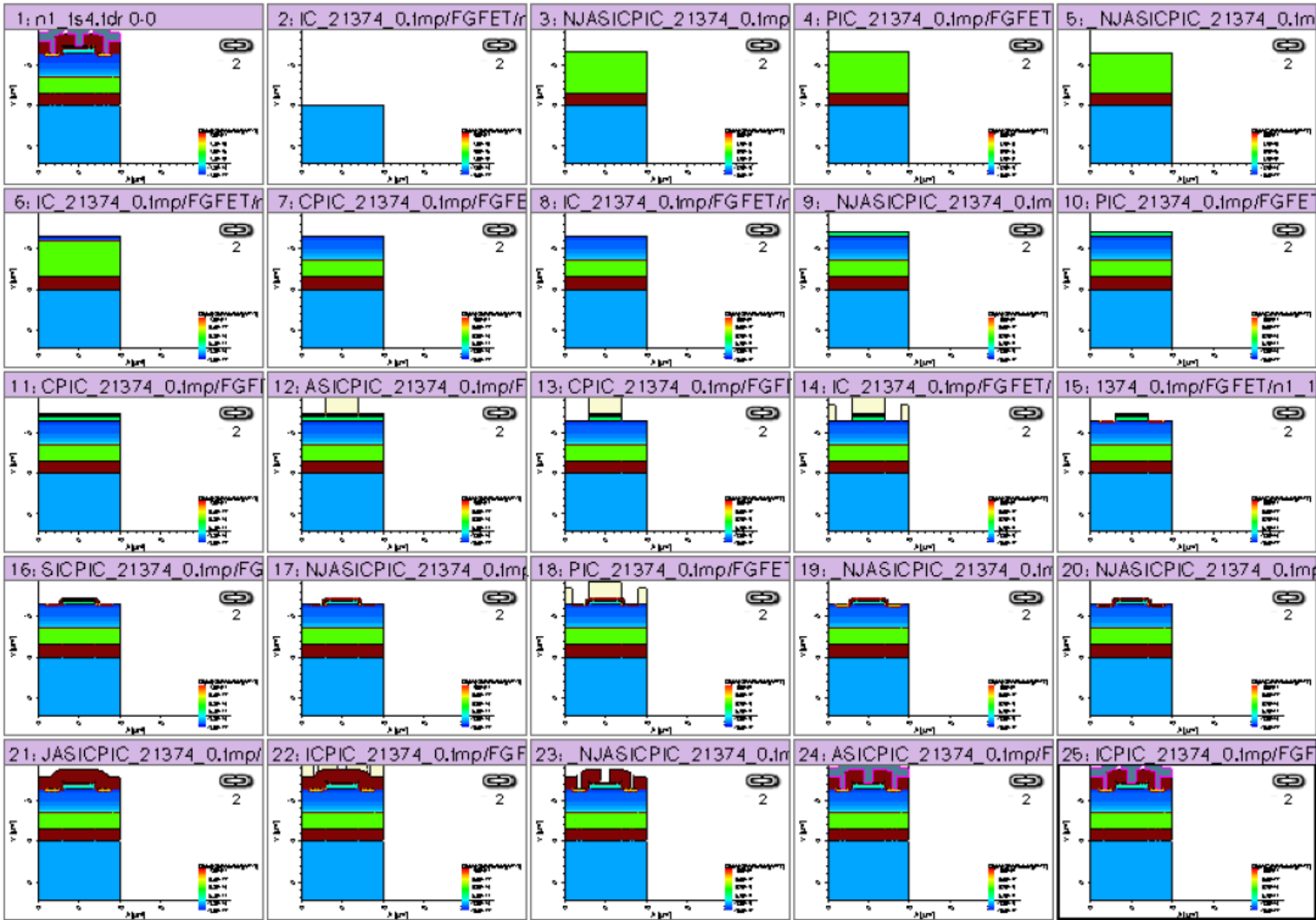
源漏区第一次掺杂浓度 $4.2 \times 10^{12} \text{cm}^{-3}$, 第二次掺杂浓度 $4.2 \times 10^{15} \text{cm}^{-3}$

P-well 掺杂浓度 $5.5 \times 10^{12} \text{cm}^{-3}$

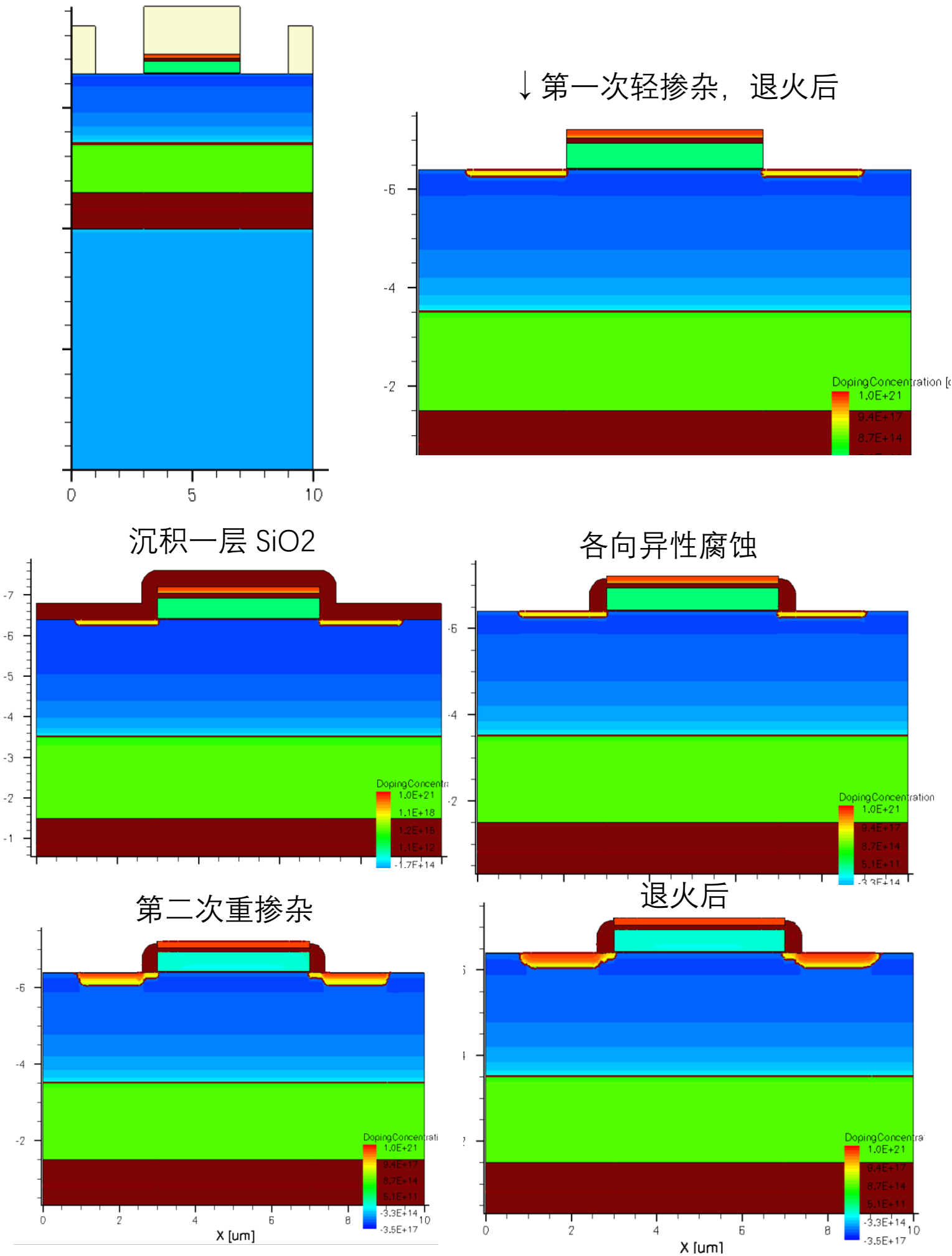
工艺流程:

与之前类似,多一层浮栅层,Spacer 和 LDD 工艺在下面单独讲。

工艺流程图如下:

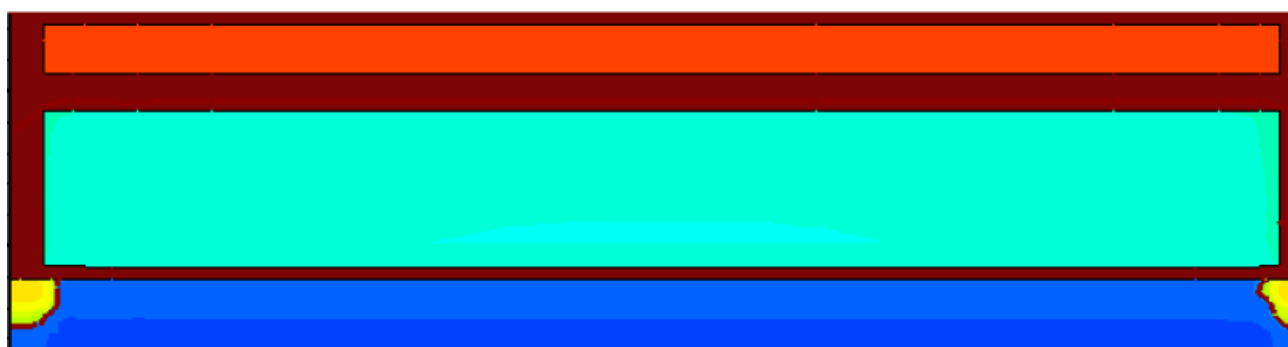
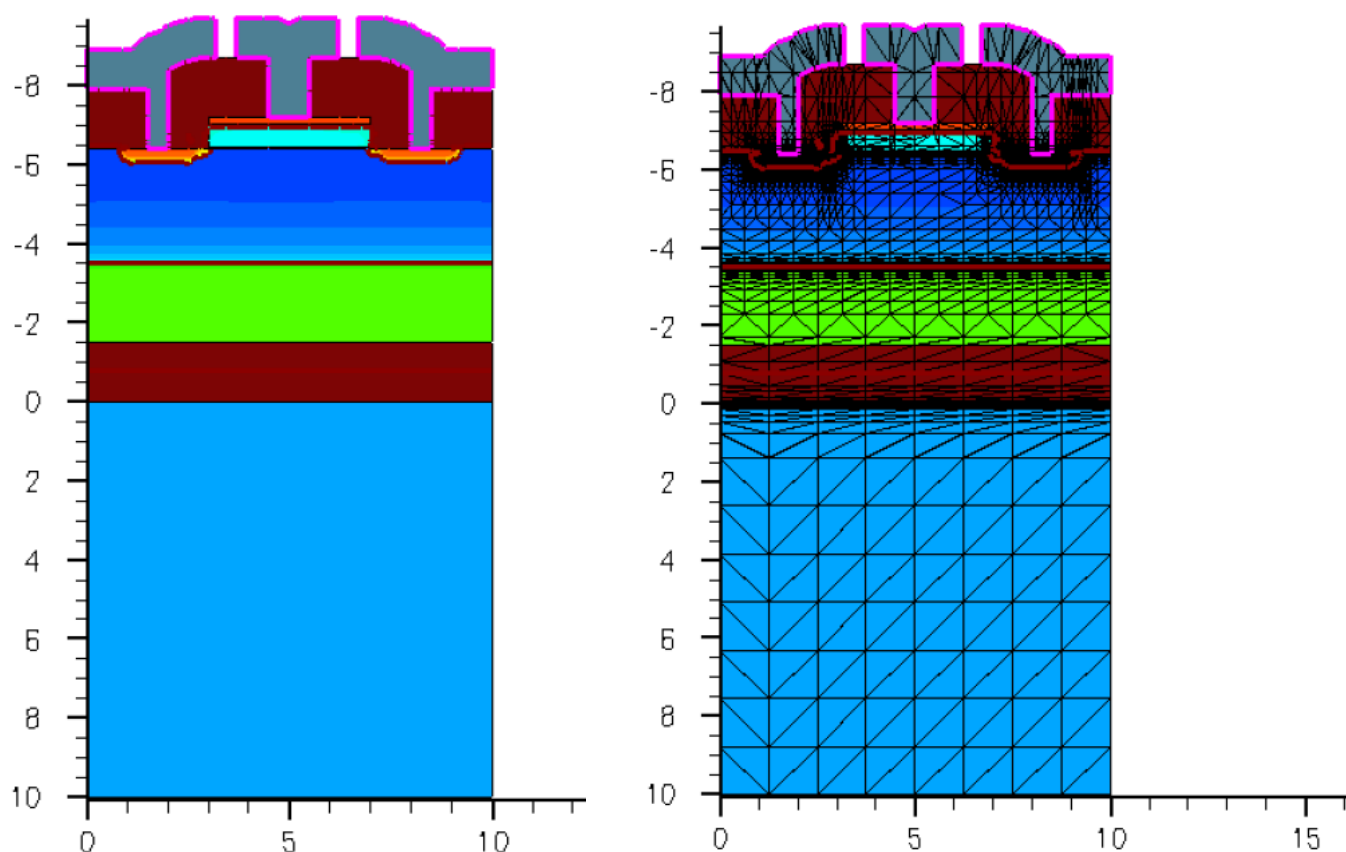


Spacer 和 LDD 工艺体现:



以上图片展示了 Spacer 结构形成的过程与 Spacer 结构下 LDD 的效果。

仿真结果与网格优化如下:



浮栅特写

从下至上,依此是(1)沟道 Channel,(2)隧穿氧化层 Tox,(3)浮栅层 Floating gate,(4)中间氧化层 Interpoly oxide 和(5)控制栅极 Control gate

四 . 实验总结

1. 本次实验通过软件仿真的方式, 让我很直观地体会了集成电路制造的工艺流程, 也借此机会复习巩固了电子器件课学习过的 MOS 管以及各种二阶效应相关的知识。也通过这次机会, 进一步了解了 Flash 存储器原理及其底层的浮栅结构。同时也通过仿真软件, 亲自实践并观察了 Spacer 与 LDD 工艺。
2. 这次实验, 我在工艺与结构上画的实践比较多, 查阅了不少资料, 学习如何使用 Sentaurus。通过查阅 Tsuprem4 的指南, 才把各向异性腐蚀的代码弄出来。然后, 因为是工艺课, 加上还不太会写 SentaurusD 电学性质仿真的代码, 所以这次对器件电学性质探讨的不多, 对 FGMOS 更是没有在电学上进行仿真。一开始是想进行浮栅存取数据前后, 晶体管 V_{th} 阈值的变化的仿真的, 但是查阅了一番资料后, 也不太懂如何写这部分电学仿真的代码。只有之后, 我再去看看 SentaurusD 的指南, 试试看了。
3. 本次课程, 无论是 Oliver 讲的还是周一在展示时交流的内容都很有价值, 让我们对集成电路制造以及电子器件上有有了一个更全面的了解。对于一些深入的细节, 如退火的具体细节, 要什么气氛, 多久时间, 离子注入的角度等内容。想必如果日后要从事 Fab 相关工作, 可以继续深入了解下去。