

東南大學

毕业设计(论文)报告

题目： 面向时域存内计算的
TDC 电路设计与研究

学 号： 06118113

姓 名： 许海鸣

学 院： 电子科学与工程学院

专 业： 物联网专业

指导教师： 杨军

起止日期： 2021/12/10-2022/05/24

东南大学毕业（设计）论文独创性声明

本人声明所呈交的毕业（设计）论文是我个人在导师指导下进行的研究工作及取得的科研成果。尽我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得东南大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示了谢意。

论文作者签名：_____ 日期：_____年____月____日

东南大学毕业（设计）论文使用授权声明

东南大学有权保留本人所送交毕业（设计）论文的复印件和电子文档，可以采用影印、缩印或其他复制手段保存论文。本人电子文档的内容和纸质论文的内容相一致。除在保密期内的保密论文外，允许论文被查阅和借阅，可以公布（包括刊登）论文的全部或部分内容。论文的公布（包括刊登）授权东南大学教务处办理。

论文作者签名：_____ 导师签名：_____
日期：_____年____月____日 日期：_____年____月____日

摘 要

在大多数时域存内计算方案中，都需要时间数字转换电路 TDC 将存算得到的时域延时信息进一步转换为数字域信号，以便计算机完成后续工作。随着存算算力的进一步提升，在时域存算量化过程中，所需参考时钟信号频率进一步加快，时钟信号的频繁翻转，使得 TDC 量化模块成为整个时域存算过程中系统内最活跃，动态功耗最大的部件，整个时域存算系统性能与 TDC 的实际性能密切相关。因此，设计一款能够支持多比特、高算力存算，低功耗且精度可靠的 TDC 在整个时域存算芯片设计流程中是至关重要的。

本文首先对时域存算技术、TDC 技术原理作出介绍，接着就设计中涉及的紧凑型 8T SRAM 及其存算原理作出详细解释，于后提出了一款基于复制阵列的 TDC 电路并给出了电路完整的设计方案，并对其功能单独进行仿真验证。

最后，将此款 TDC 电路运用于基于紧凑型 8T SRAM 时域存算方案中，经仿真验证，此款 TDC 能够支持上述时域存算阵列完成 INT8 下存算结果的并行量化输出。

依托于此款 TDC 量化电路，8kB 的基于紧凑型 8T SRAM 存算阵列理论上达到了 6.90Gops-15.24Gops 的算力，其能效在 INT8 下理论达到了 26.79Tops/W-66.53Tops/W，同时，基于复制阵列的 TDC 电路具有一定的抗 PT 波动能力，经仿真验证，其在 SSG、TT 和 FFG 后仿工艺波动下，0°C-125°C 温度范围内都能够正确完成存算量化任务。

关键词：时域存内计算，时间数字转换器（TDC），高能效，抗 PVT 波动

ABSTRACT

In most of the time-domain in-memory-computing (IMC) schemes, the Time-to-Digital converters (TDC) are required to convert the time-domain delay information into a digital-domain signal. With the increasing requirement of the high-performance time-domain IMC, the frequency of the TDC reference clock further rise. The frequent flip of the clock makes the TDC quantization module become the most active and dynamic power-consuming component in the whole time-domain IMC system. The performance of a time-domain IMC system is closely related to the actual performance of the TDC. Therefore, it is crucial to design a TDC that can support multiple bit output IMC with higher throughput, lower power consumption, and reliable accuracy.

This paper firstly introduces the time domain memory technology and the principle of TDC technology, then explains the compact 8T SRAM and its IMC principle in detail, then proposes a Replica-array based TDC circuit, giving a complete design of the circuit, and verifying its function individually by simulation.

Finally, this proposed TDC circuit is applied to the compact 8T SRAM based time-domain IMC scheme. Through the simulation, it is verified that this proposed TDC can support the above time-domain IMC array to complete the parallel quantization output of IMC results under INT8.

Based on this proposed TDC, under the INT8 scale, the 8kB compact 8T SRAM-based IMC array theoretically achieves 6.90Gops-15.24Gops throughput and 26.79Tops/W-66.53Tops/W energy efficiency. At the same time, the TDC circuit based on the replica array has certain resistance to PVT variations. Under the SSG, TT and FFG post-sim corner with the temperature range from 0°C to 125°C, the proposed TDC still can quantify the IMC results correctly.

KEY WORDS: Time domain in-memory computing, Time to Digital converter (TDC), Energy Efficiency, Anti-PVT-variation

目 录

摘 要	I
ABSTRACT	II
目 录	III
第一章 绪论	1
1.1 存内计算技术	1
1.2 基于时域的存内计算技术与时间数字转换器 TDC	2
1.3 论文的主要工作	3
1.4 论文的结构	3
第二章 文献综述	4
2.1 基于时域的存内计算技术	4
2.2 时间数字转换器 TDC 原理	6
2.2.1 TDC 基本原理	6
2.2.2 单一计数器实现的 TDC	7
2.2.3 Flash 型 TDC	7
2.2.4 采用游标延迟线细化的 Flash TDC	8
第三章 基于复制阵列的 TDC 电路设计与仿真	10
3.1 TDC 阵列基本单元-紧凑型 8T SRAM 存储单元	10
3.2 紧凑型 8T SRAM 存储单元时域计算原理	12
3.3 基于复制阵列的 TDC 电路设计	15
3.3.1 TDC 电路设计总览	16
3.3.2 TDC 电路原理	17
3.3.3 TDC 控制器设计	18
3.3.4 TDC 量化计数器设计	21
3.4 本章小节	22
第四章 基于复制阵列的 TDC 在时域存算电路中的应用	23
4.1 基于紧凑型 8T SRAM 时域存算阵列	23
4.2 存算阵列、复制阵列与 TDC 量化时序的确定	25
4.3 存算控制器设计	29
4.4 基于复制阵列 TDC 与存算系统连接框图	31
4.4.1 系统初始化	31

4.4.2 存算过程.....	32
4.5 基于复制阵列的 TDC 电路指标与性能分析	33
4.5.1 算力与能效.....	33
4.5.2 TDC 非线性误差 INL 与 DNL	34
4.5.3 基于复制阵列的抗 PVT 波动特性测试	35
4.6 同类工作比较.....	37
4.7 本章小节.....	37
第五章 总结与展望	38
5.1 工作总结	38
5.2 工作展望	38
参考文献.....	39
附录.....	40
1. 其他存储情况下, TDC 量化存算结果波形图	40
2. 其他存储情况下, TDC 抗 PVT 存算结果波形图.....	41
致 谢.....	42

第一章 绪论

1.1 存内计算技术

主流的基于冯·诺依曼架构的计算机，各个模块间由总线互相连接，在进行深度学习和神经网络和图像处理时，大量的数据在总线之间频繁地移动会耗费一定时间以及不小的功耗。在过去数十年间，工程师将计算机性能的提升几乎全寄托在提升 CPU 的性能之上，缓存技术、分枝技术、多核、多线程技术的大量运用，伴随摩尔定律下先进制程的代进，CPU 的运行速度高速提升。然而，在近十几年的研究与实际项目中，科学家和工程师们都发现了 CPU 的性能达到了瓶颈，愈发难以提升，导致这一现象的原因由是冯·诺依曼架构带来了存储墙与功耗墙瓶颈。

为了突破冯·诺伊曼架构的瓶颈，存内计算技术已成为主流的人工智能芯片实现技术之一。存内计算，主要有两种思路：第一种是近存计算(Near-Memory-Computing)，将计算单元集成到存储器单元内部，通过将数据靠近计算单元这一想法，从而减小数据移动的延迟和功耗；第二种是内存内计算(In-Memory-Computing)，其主要偏向于电路上的革新，其方法是通过在电路上的革新让存储器本身就具有计算能力，例如在存储器数据读出电路等地方做改动来实现计算等。^[1]

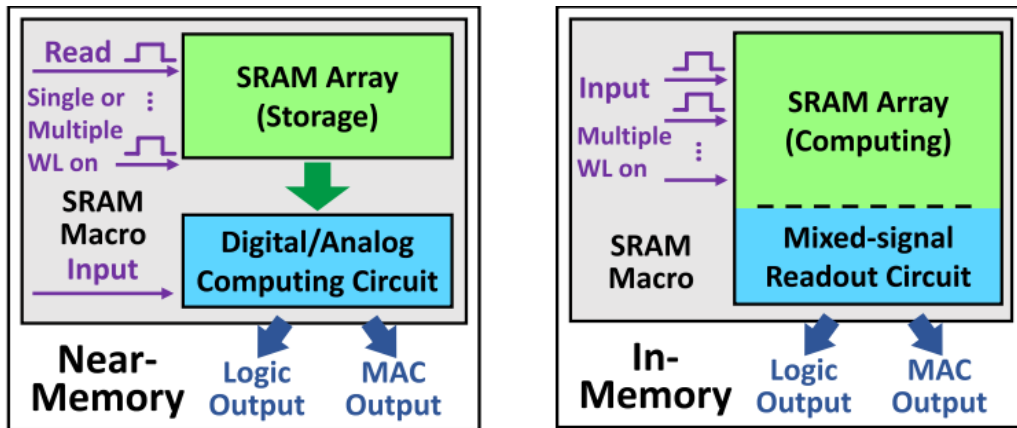


图 1-1 近存计算与内存内计算示意图^[1]

可以看出，上述两种存算实现的方法，都通过将计算与存储融合，使得数据能够在存储单元内部就可先完成大部分简单的 MAC 运算，大幅削减了数据传输的时间与需经过总线

的次数，从而大幅度提高计算机对人工智能网络推理的速度，同时也十分显著地降低了计算功耗。目前，无论在学界还是业界，存内计算都是热门研究领域，各大半导体厂商都先后制造出基于存算架构的人工智能加速芯片，这些芯片的实际测试性能都有力地证实存算技术在实现高能效与高算力计算上的能力。

1.2 基于时域的存内计算技术与时间数字转换器 TDC

在近几年，深度神经网络以及深度学习算法的表现，尤其是在一些领域的重要突破，使其在学术圈和工业界得到了普遍的认可。然而基于神经网络的训练算法，需要硬件的支持，网络训练的过程中，往往伴随着大量的乘累加 MAC 运算，以及数据的搬运，这触及了处理器与内存壁垒，使得设备功耗难以下降，甚至增加，这十分不利于边缘智能设备。存内计算技术的出现正是为了打破这层壁垒。

对于存内计算来说，在数字域中，数据都被表示成一个多比特的数字向量，这样的数据表示方法，相比模拟域计算，往往需要更多的存储单元，更多的节点，导致系统更大的动态功耗与面积开销。由模拟计算单元与存储器组合的模拟域存内计算被认为是降低 MAC 运算能耗的有力途径。在模拟域中，数据多被表示成连续变化的电压信号，模拟域存算多利用电荷操纵与 ADC 配合来实现更有效的 MAC 运算，但是模拟域计算更易受到 PVT 等影响，同时，有限的电压上限和其对微小变化的敏感性，限制了计算精度进一步的提升。^[2]

随着 CMOS 工艺，制程的进一步缩小，芯片集成度越来越高，然而，栅极氧化物厚度的减少，迫使系统电压下降，由于偏置点难以控制，栅极漏电变大，输入电压波动以及线性度等问题，使得模拟设计变得越发困难。为了抵消数字驱动的深亚微米 CMOS 工艺带来的设计挑战，基于时间或时间模式的信号处理开始兴起。^[3]

时间数字转换器（TDC）作为时间域与数字域转化的桥梁，其扮演着 ADC 在数模电路中一样不可或缺的重要角色，TDC 作为整个时域存算系统的最后一环，其性能优劣同样左右着整个时域存算系统的性能。因此，针对 TDC 的研究是十分必要的。

1.3 论文的主要工作

本文以存内计算技术为大背景，设计了一款基于复制阵列的 TDC 存算量化电路，完成了 TDC 电路的设计与仿真，最终通过调试与配套模块的设计，将所述 TDC 存算量化电路运用于基于紧凑型 8T SRAM 的时域存算系统中，通过仿真验证了 TDC 电路设计的有效性，统计了上述存算系统在所设计 TDC 量化功能支持下的算力，能效等指标。

1.4 论文的结构

第二章：首先，总结了一些与本工作类似的时域存内计算方案。其次，着重介绍了 TDC 原理及其一些实现方案。

第三章：提出了基于复制阵列的 TDC 电路。首先，介绍了方案中紧凑型 8T SRAM 存储单元的特性，以及其在于时域存内计算应用的原理。之后，详细给出了以此基本单元构成的复制阵列 TDC 的指标要求、设计方案、电路实现与仿真测试结果。

第四章：将设计的基于复制阵列的 TDC 电路应用于基于紧凑型 8T SRAM 的时域计算方案中。首先，介绍了紧凑型 8T SRAM 存算阵列的相关内容，紧接着分析所设计的 TDC 于 8T 时域存算阵列的调试方法与应用细节，并设计了存算与量化间的控制电路。之后，给出了系统存算过程的整体运行框图以及对 TDC 量化性能的进一步仿真测试与分析。最后，列出了本工作与同类工作的性能、参数统计表进行比较。

第五章：对论文工作的总结以及未来工作的展望。

第二章 文献综述

2.1 基于时域的存内计算技术

He 等人提出了一种基于 8T SRAM 的时域存内计算方法，实现了 XNOR 的逻辑操作，其结构如前篇 8T 结构相同，存储单元内的值来控制 2 个额外晶体管的通断，输入信号 IN 和 IN' 通过 RWL 输入，输入信号与 SRAM 存储值的 XNOR 运算得到计算结果 S_O，每个 8T-SRAM 计算单元的结果控制着环形振荡器中反相器连接的个数，环形振荡器产生振荡延时与参考环形振荡器产生的延时，两者延时差经过 TDC 转换并输出。^[4]

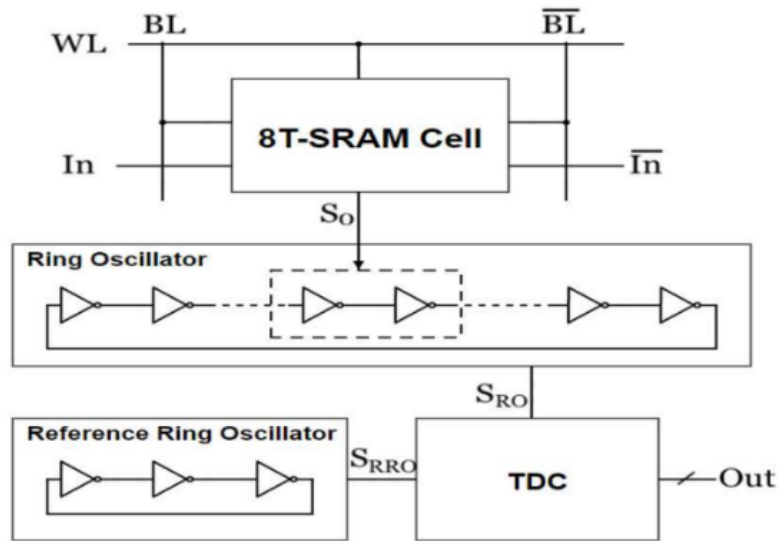


图 2-1 时域 XNOR 计算模块图^[4]

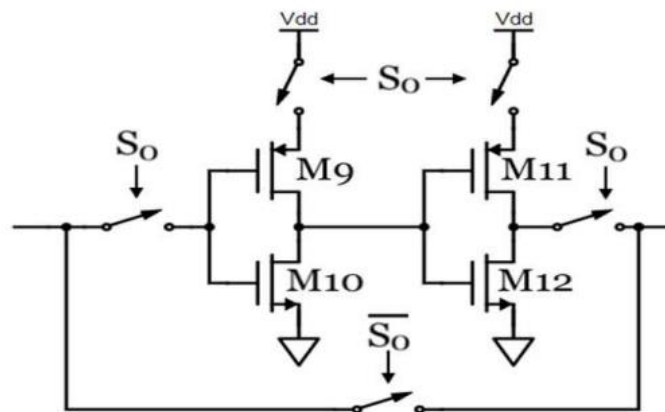


图 2-2 环形振荡器延迟单元原理图^[4]

Song 等人提出一款基于时域的二值神经网络存算计算单元，其延时单元由电流饥饿型倒相器链组成，其工作的创新点在于其设计了一种双边沿单输出的时域计算 (DESI) 单元，传统的单边沿单输入和双边沿双输入型电流饥饿型倒相器链往往受到 PMOS 和 NMOS 的失配影响，导致存算延时的偏差，DESI 的提出使得由失配造成的影响被改善，并进一步提升了这种延时产生单元的能效。该方案中的 TDC 由参考单元阵列组成，三种参考单元 REFL，REFH 和 REFM，对应三种计算输出的延时情况，最终通过 DFF 比较输出最终结果。同时，方案中还提及了在流片测试前，还可对参考单元延时进行补偿，这使得 TDC 量化结果更加精确。最终，通过 40nm 流片测试，8kb 阵列运行能效可达到 537-716TOPS/W。^[5]

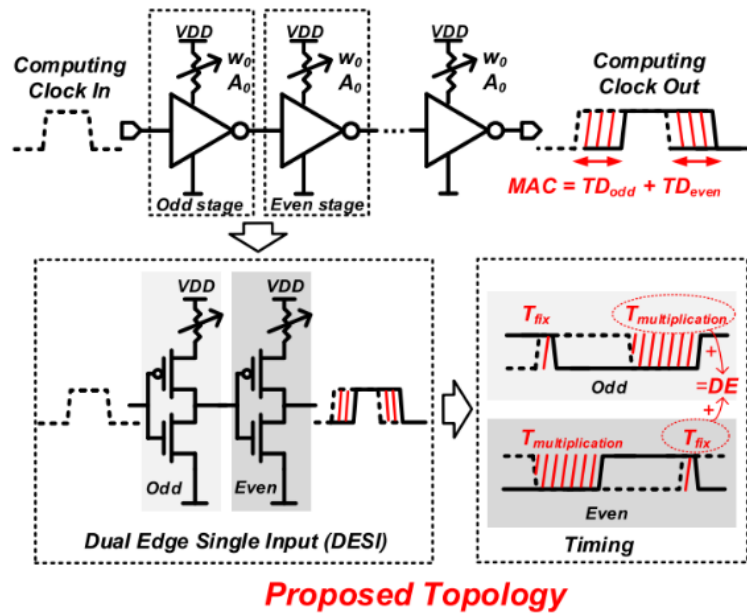


图 2-3 DESI 结构示意图^[5]

2.2 时间数字转换器 TDC 原理

2.2.1 TDC 基本原理

TDC 负责将两个时钟边沿之间的时间间隔转换为一个数字量。TDC 所需要的基本元素就是延时。时间差变量通常使用被定义为相对于参考时间 T_{ref} 而言，与检测目标发生的时刻差。

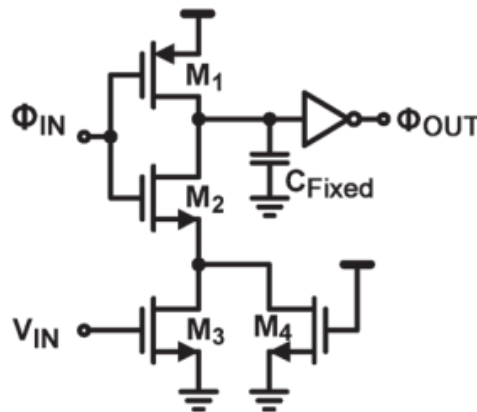


图 2-2 电压控制延时单元 VCDU^[6]

如图 2-2 所示 Φ_{IN} 和 Φ_{OUT} 的上升沿时间差，受 V_{in} 控制。 V_{in} 作为 M_3 的栅压，控制着经过这个 MOS 管的电流大小。图 2-3 显示了在一定的 V_{in} 范围内，两者的时间差可以近似为线性， G_Φ 和 b_Φ 作为这条直线的斜率和截距。

在实际使用时，延迟可以由任何一种模块产生，我们需要设计并利用具体的器件与电路特性，来产生合适的带有延迟的受控信号。

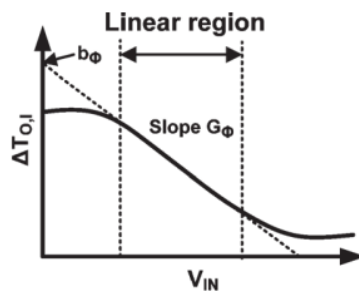


图 2-3 VCDU 波形图与特征曲线^[3]

2.2.2 单一计数器实现的 TDC

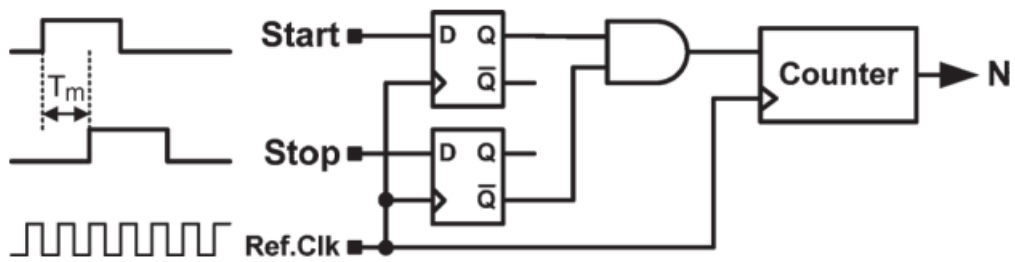


图 2-4 计数器实现 TDC^[3]

最简单的 TDC 结构如图 XXX 所示，在这个 TDC 中，START 和 STOP 信号脉冲的上升沿之间的输入时间间隔 ΔT 由一个在高频参考时钟上运行的计数器测量，与门确保只有当 START 和 STOP 在逻辑上不同时，计数器才被使能。这种 TDC 的分辨率受到参考时钟频率的限制，对片上时钟的频率及稳定性要求较高。

2.2.3 Flash 型 TDC

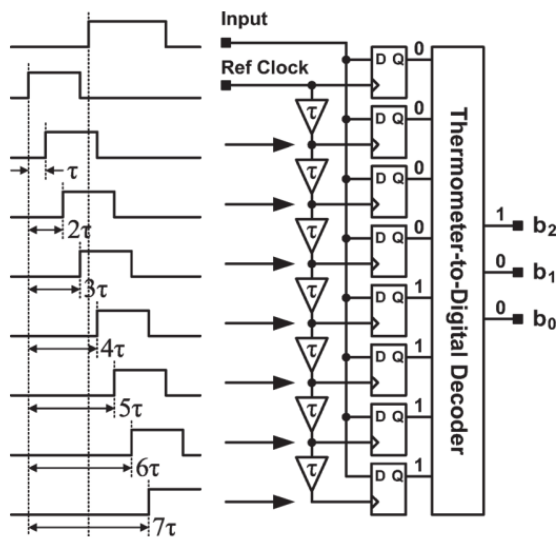


图 2-5 Flash 型 TDC^[3]

类似于 Flash 型 ADC，Flash 型 TDC 如上波形图所示，同过比较信号边缘与各参考边缘的时间顺序，并通过编码器来实现时数信号的转换。参考边缘由多个缓冲单元组成的延时链产生，每级缓冲器产生的延时等于 τ 。比较输入信号和参考信号的元件通常是 D 触发器，为了确保各级延时尽可能的一致，通常如图 3.10，还需引入 Delay Lock Loop (DLL)

延时锁定环来实现延时间的稳定。^[7]这种 TDC 依旧不能摆脱片上时钟，同时分辨率还受到单级缓存器的本征延时限制。

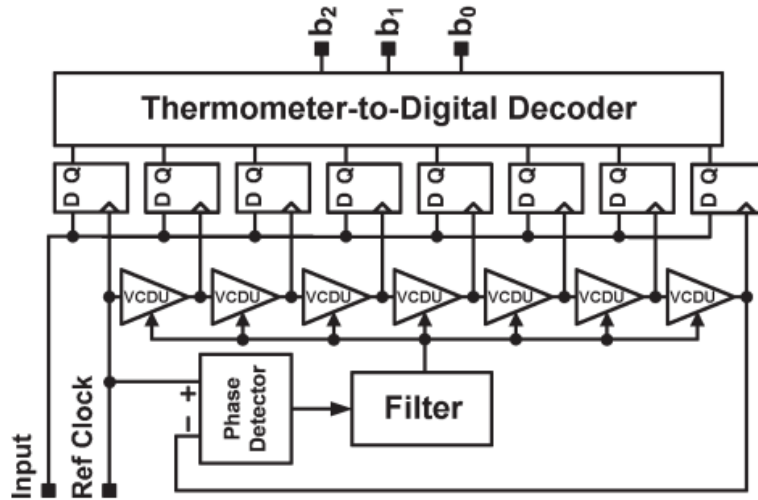


图 2-6 采用 DLL 优化的 Flash 型 TDC^[3]

2.2.4 采用游标延迟线细化的 Flash TDC

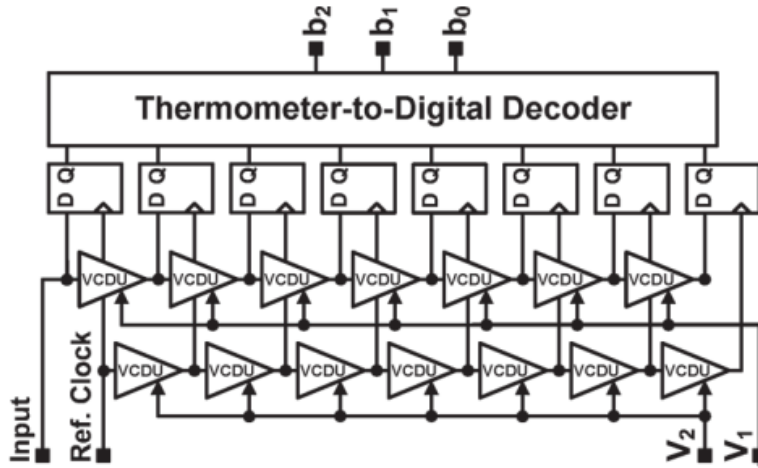


图 2-7 采用游标延迟线 Vernier delay line 的 Flash TDC^[3]

与普通的 Flash TDC 类似，在参考边缘的产生上，采用了 Vernier 延迟线，这种结构采用 2 个 VCDU 链，实现了亚门级的时间分辨率，理论上的分辨率为 $\tau_1 - \tau_2$ ，其中 $\tau_1 > \tau_2$ 。这种结构也可以在两条延时链上分别加上 DLL 模块，以提高延时的稳定性。但是依旧受到参考时钟的影响。^[8]

此外，TDC 还有很多实现方法，如时域逐次逼近型 TDC，基于时间放大器的多步 TDC，基于随机时间插值型 TDC，游标振荡器型 TDC 和循环脉冲收缩型 TDC 等等。每种 TDC 都有其各自的优点，但是都需要在其他方面进行 Trade-off。

第三章 基于复制阵列的 TDC 电路设计与仿真

本章的结构安排如下：在 3.1 节，首先给出紧凑型 8T SRAM 相关分析；3.2 节，给出了基于紧凑型 8T SRAM 存储单元运用在时域存内计算中的原理，并引出了时域存算对 TDC 电路的需求；3.3 节，首先提出了基于复制阵列的 TDC 电路设计以及相关的设计指标要求，之后，给出了 TDC 中具体的电路模块设计方案与仿真结果；3.4 节对本章作出小节。

3.1 TDC 阵列基本单元-紧凑型 8T SRAM 存储单元

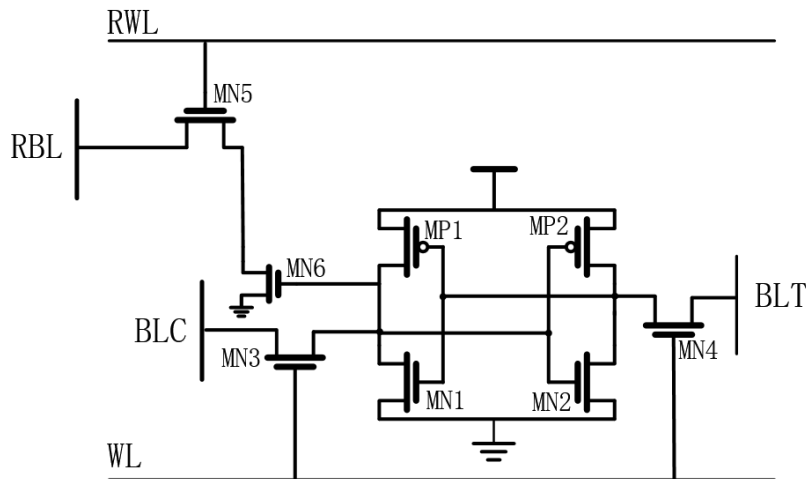


图 3-1 Compact-8T SRAM 存储单元

如图 3-1 所示，紧凑型 8 管 SRAM 存储单元结构。其相比传统 6 管存储单元，在一端增加了 2 个额外的晶体管 MN5 和 MN6。紧凑型 8T SRAM 存储单元位线 BLC 和 BLT 仅用于单元的写操作，而位线 RBL 用于单元的读操作。因此，紧凑型 8T SRAM 存储单元由被称为读写分离式 8T SRAM 存储单元，据文献，读写分离的结构克服了读干扰影响。

同时，文献^[9]中指出，这种 8T SRAM 结构拥有着比传统 6T 单元更大的动态范围，与其他存储方案相比，是相对最适合用于低电压 SRAM 设计的，读写分离的结构，可以单独优化写稳定性裕度，而不影响读性能。基于这种读写分离式的 8T 存储单元，据文献，由这种 8T SRAM 存储单元实现了 32 Kbit SRAM，最低工作电压 0.41V，性能达到了 295MHz，但由于单端读的结构，该单元受到位线泄露电流的影响较大，限制了工作电压的进一步降低。

在宽电压 0.6V-1.2V 仿真下，8T 存储单元在 Q=1 时的静态功耗如图 3-3 所示，证实了 RBL 上泄露电流的存在，且随着电源电压的提高，由泄露电流造成的功耗将大幅提升，其成为影响此结构功耗的关键。

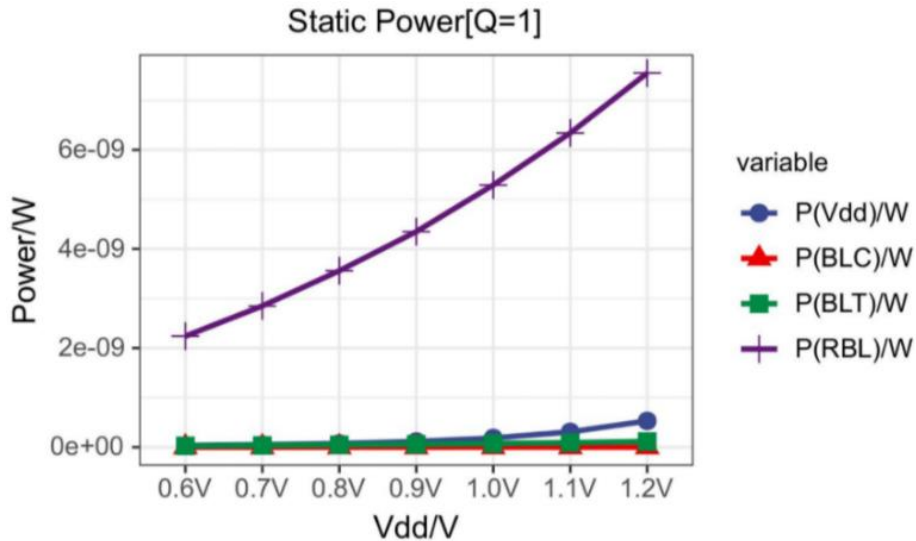


图 3-2 Compact 8T SRAM 单元存储“1”时的静态功耗

图 3-3 展示了，22nm 工艺下读写分离 8T SRAM 的版图结构，可见左三分之二部分为传统 6T SRAM 结构，右三分之一部分是额外的读写分离结构，读写分离 8T SRAM 相比 6T SRAM 的面积增加了 30%。

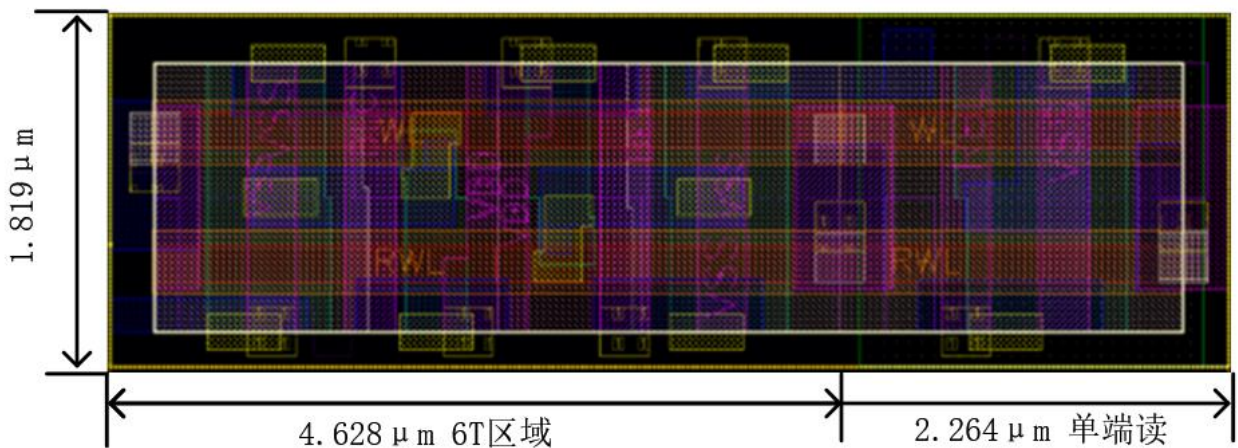


图 3-3 Compact 8T SRAM 单元版图结构

3.2 紧凑型 8T SRAM 存储单元时域计算原理

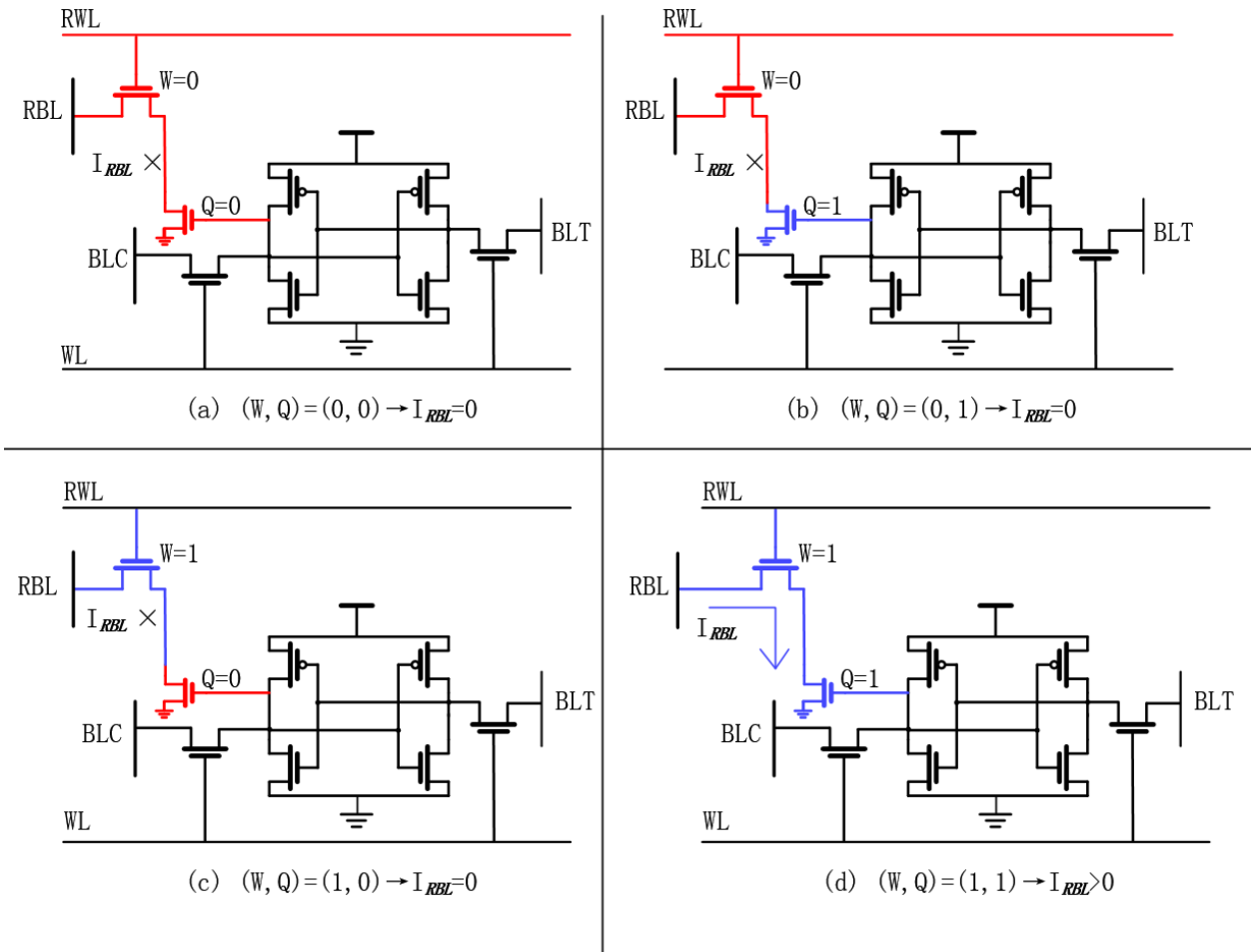


图 3-4 Compact 8T 存储单元于存内计算之原理

紧凑型 8T 存储单元是一种适合存内计算的结构。首先，在 8T 基础上，无需额外增加新的晶体管即可完成存算功能；其次，由于读写分离的特性，在存算过程中，6T 内存储的数据完全不受干扰。

图 3-4 展示了紧凑型 8T SRAM 用于存算的原理。在进行存内计算操作时，输入的特征数据 Q 被存在存储单元内，而网络的权重 W 则通过位线 RWL 作用到单端读 $MN4$ 的栅上， RBL 接入 V_{DD} 。计算相当于对特征数据 Q 与权重 W 做了一次 AND 操作，即 $W \text{ AND } Q$ 。当 W 和 Q 中任何一个为零时，位线 RBL 与地 GND 不导通，因此 $I_{RBL} = 0$ ；而当 W 和 Q 都为 1 时，两个额外晶体管都导通，位线 RBL 与地 GND 导通，因此 $I_{RBL} > 0$ 。

基于以上原理，对紧凑型-8T SRAM 存储结构作出一些修改，即可将计算结果以延时形式进行表达。

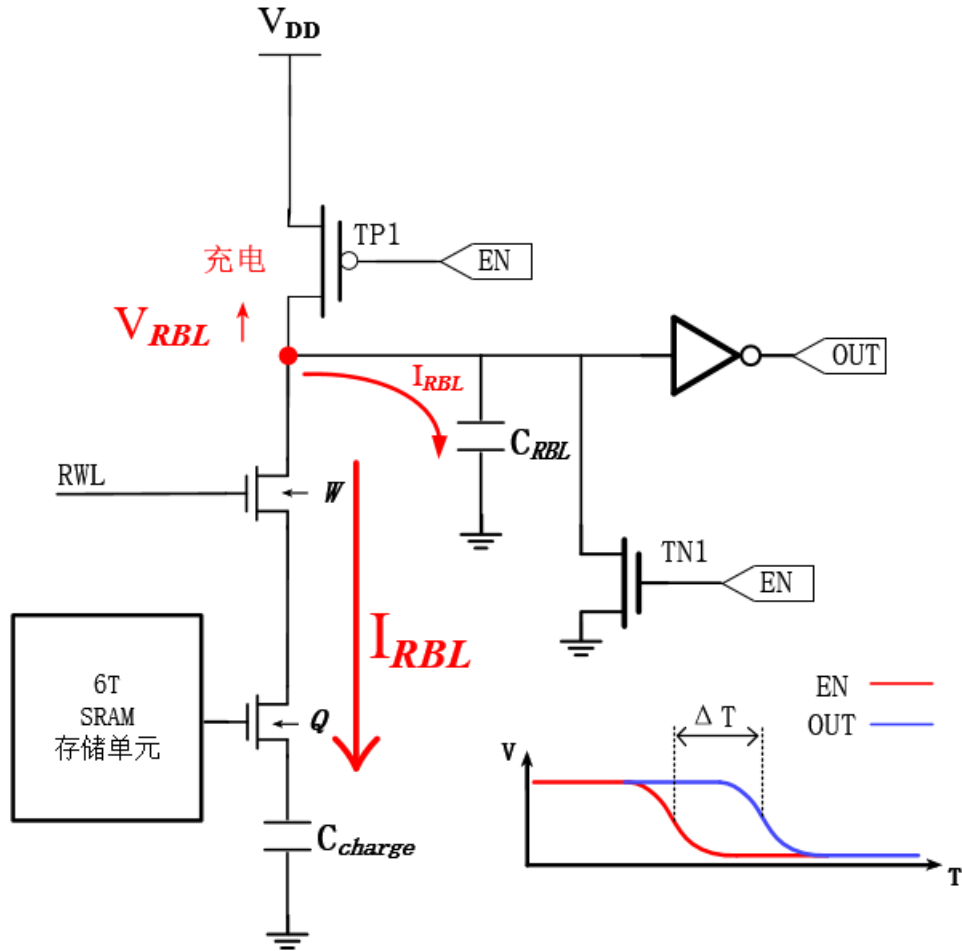


图 3-5 Compact-8T SRAM 存储单元时域计算原理示意图（充电）

如图 3-5 所示，展示了紧凑型-8T SRAM 时间域计算过程，将一个充电 PMOS 管 TP1，一个放电 NMOS 管 TN1 与一个倒相器以图中的方式接在了 VDD 与 RBL 节点间，同时在单端读的接地端接一个电容（亦可由多根 VSS 相连构成的寄生电容产生）。

EN 信号控制着 PMOS 充电管和 NMOS 放电管。当 EN 信号由高翻低时，计算开始，充电管打开，放电管关闭。假设此时 $(W, Q) = (1, 1)$ ，位线电流 I_{RBL} 将对 C_{charge} 与位线上的寄生电容 C_{RBL} 充电，当各电容被充满后，位线电压 V_{RBL} 将会抬升，使得倒相器输出 OUT 信号由高翻转至低。EN 和 OUT 信号的下翻时间差，由 (W, Q) 的取值决定。表 3-1 展示了这样一个基本计算单元 (W, Q) 、充电容值和对应输出比特的关系。

表 3-1 (W, Q)、充电容值和计算结果关系

(W, Q)	充电容值	对应比特
(0,0)	C_{RBL}	0
(0,1)	C_{RBL}	0
(1,0)	C_{RBL}	0
(1,1)	$C_{charge}+C_{RBL}$	1

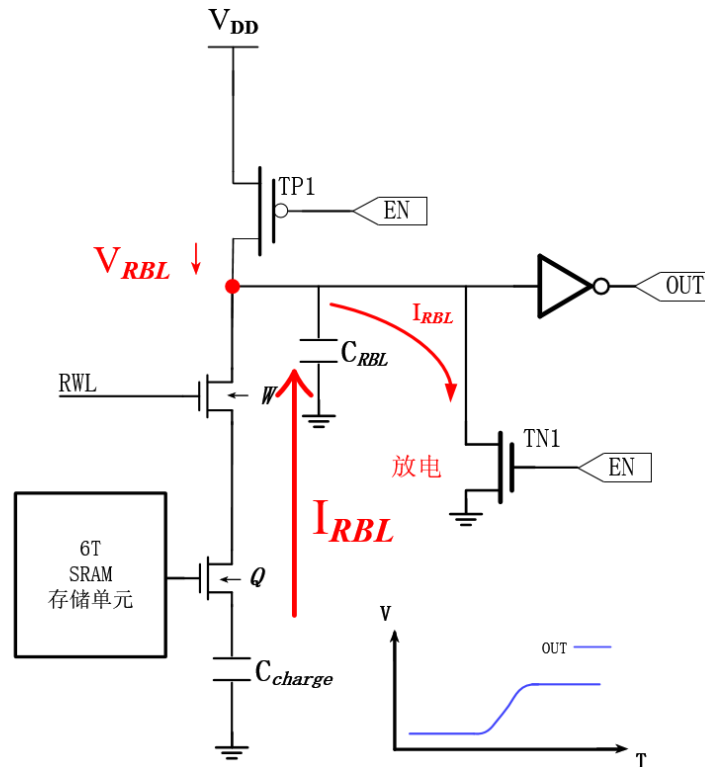


图 3-6 Compact-8T SRAM 存储单元时域计算原理示意图（放电）

最后，如图 3-6，当计算结束，EN 信号由低翻高，充电管关闭，放电管开启，所有电容通过放电管放电，位线电压 V_{RBL} 下降，倒相器输出 OUT 信号由低翻高，存算过程结束。在整个存算过程中，存储单元内存储的值完全不受影响。

自此，基于紧凑型 8T SRAM 存储单元时域计算的基本原理就讲完了，但在体验存算带来的高能效计算之前，亟需一个能够量化这段充电延时的电路，需要将延时信息转化为数字域信息。这样的电路，即是时间数字转化器 TDC 电路。

3.3 基于复制阵列的 TDC 电路设计

在时域存内计算中，TDC 电路作为能够将存算得到的时域信息进一步转换为数字域信号的关键电路，其可类比为人体用于神经信号传递与转换的突触，在整个时域存算系统中 TDC 模块的作用无与伦比。

在时域存算 TDC 量化过程中，由于时钟信号频繁的翻转，TDC 模块是整个时域存算系统内最活跃，动态功耗最大的部件。TDC 的实际性能与整个时域存算系统密切相关。

因此，设计一款能够支持多比特、高算力存算，低功耗且精度可靠的 TDC 在整个时域存算芯片设计流程中是至关重要的。

本次设计的基于复制阵列 TDC 电路就是这样一款能够支持基于 Compact-8T SRAM 时域存内计算的时间数字转换器。

TDC 设计目标：

基于 Compact-8T SRAM 时域存内计算芯片指标，对 TDC 设计有如下要求：

- 1、TDC 量化电路能够支持 INT8 MAC 运算且存算能效尽可能达到 10TOPS/W 以上
- 2、TDC 的 INL/DNL<0.25LSB
- 3、配套设计与 TDC 时序有关的存算控制单元

目标解读：

设计目标要求 TDC 能够支持 INT8 MAC 运算，即表达了 TDC 模块需要多个计数器来转换表达 8 bit 输出结果。

对于能效要求，首先，能效=每秒完成操作数/运行功耗，即表明了 TDC 电路参考时钟频率与功耗要求。

对于 TDC 的 INL 和 DNL 的要求，主要涉及 TDC 的非线性误差，量化精度以及分辨率。

完成 TDC 时序相关存算控制单元设计指的是，设计相关存算控制器，能够开启、关闭 TDC 相关功能。

3.3.1 TDC 电路设计总览

为了满足以上要求，现设计了一款基于复制阵列的 TDC 电路，在 TDC 频率的设计上，本设计的时钟周期可以与单位存算周期相配合，实现时钟周期与量化结果 1:1 的对应关系，以此降低了 TDC 参考时钟的翻转次数，尽可能降低存算量化时的动态功耗，以满足存算能耗要求。

同时，基于复制阵列的 TDC 电路，使用了与存储阵列进行时域存算相同的原理与电路结构，以此希望 TDC 模块能够尽可能对存算单元的 PVT 波动进行跟踪，即在相同的 PVT 波动下，TDC 能够自适应地调整时钟周期，以提高量化准确度。

配套设计了一个能够控制 TDC 相关功能开启、关闭的存算控制器，该控制器同时实现了 TDC 时钟的门控功能，进一步降低了由时钟带来的功耗。

接下来，开始对 TDC 电路的系统与电路的设计原理与方法进行叙述。

图 3-7 所示是本次基于 Compact-8T SRAM 时域存算电路的结构图，蓝色部分为存储阵列，绿色部分为 TDC 相关电路，包括了复制阵列、TDC 控制器和计数器，除外还有之前提到的存算控制器和一些用于将 TDC 与存算电路适配的延迟单元。

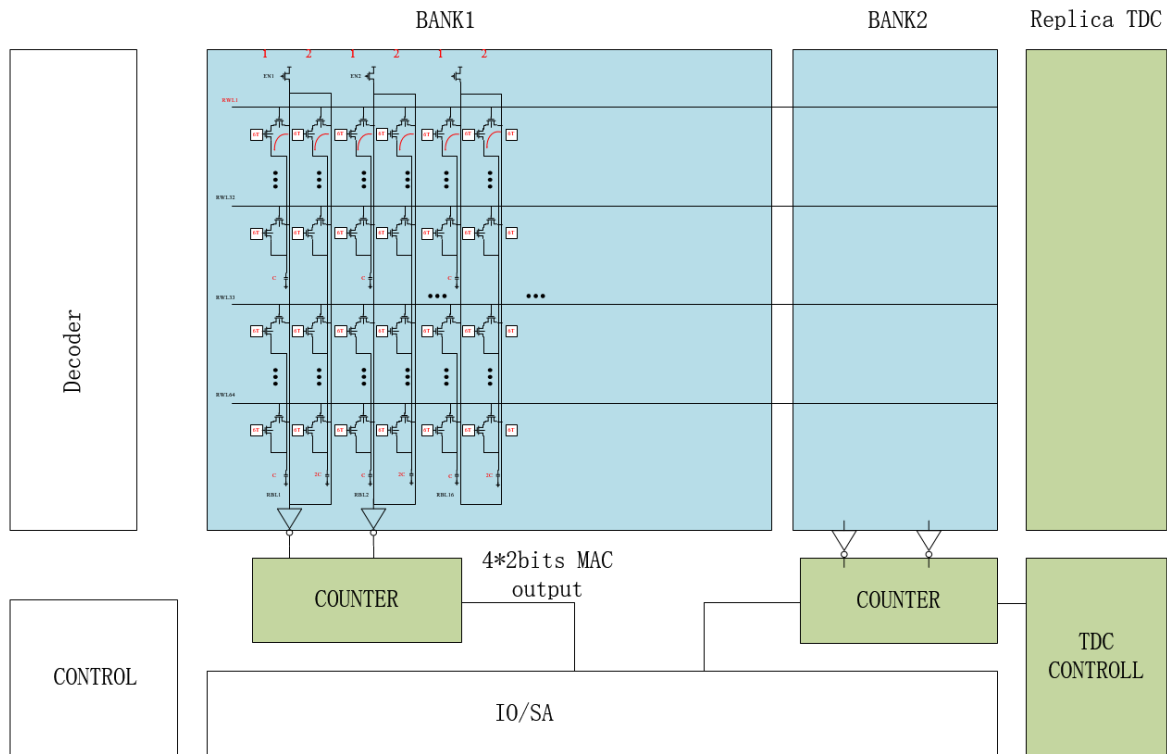


图 3-7 Compact-8T SRAM 时域存算架构简图

图 3-8 是复制阵列的电路示意图，复制阵列由两列存储单元构成，每列各由一个充电管，放电管进行充放电，根据存算阵列的单位计算延时，来大概确定需要的阵列行数。之后要介绍的 8T SRAM 存算阵列，单位延时即是由多排存储阵列寄生电容的充电延时组成。

3.3.3 TDC 控制器设计

依靠着复制阵列电容充放电延时的特性，我们现在需要设计电路让延时周期性的重复，即控制 EN 信号，使两列复制阵列交替进行充放电，成为 TDC 所需要的参考时钟。

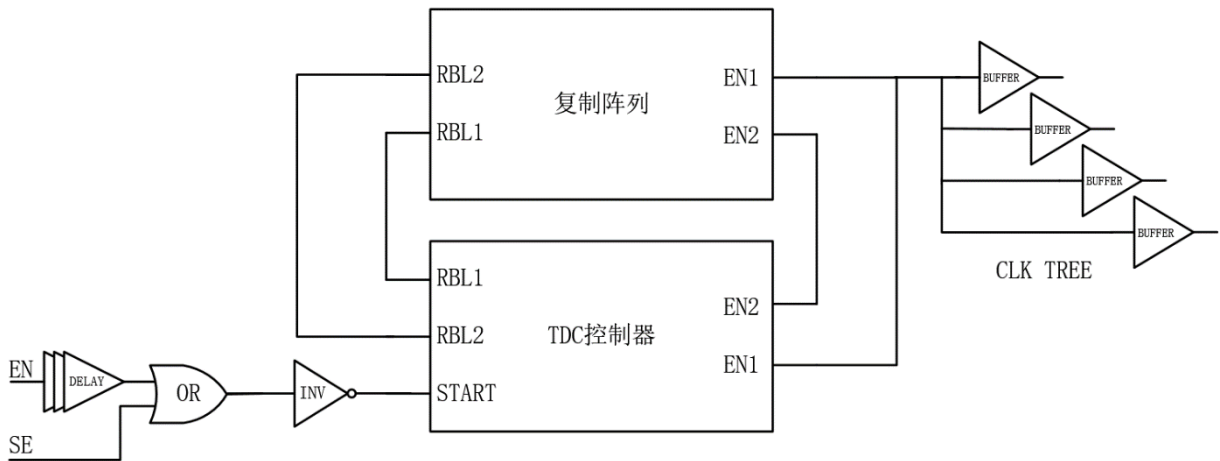


图 3-9 TDC 控制器模块连接图

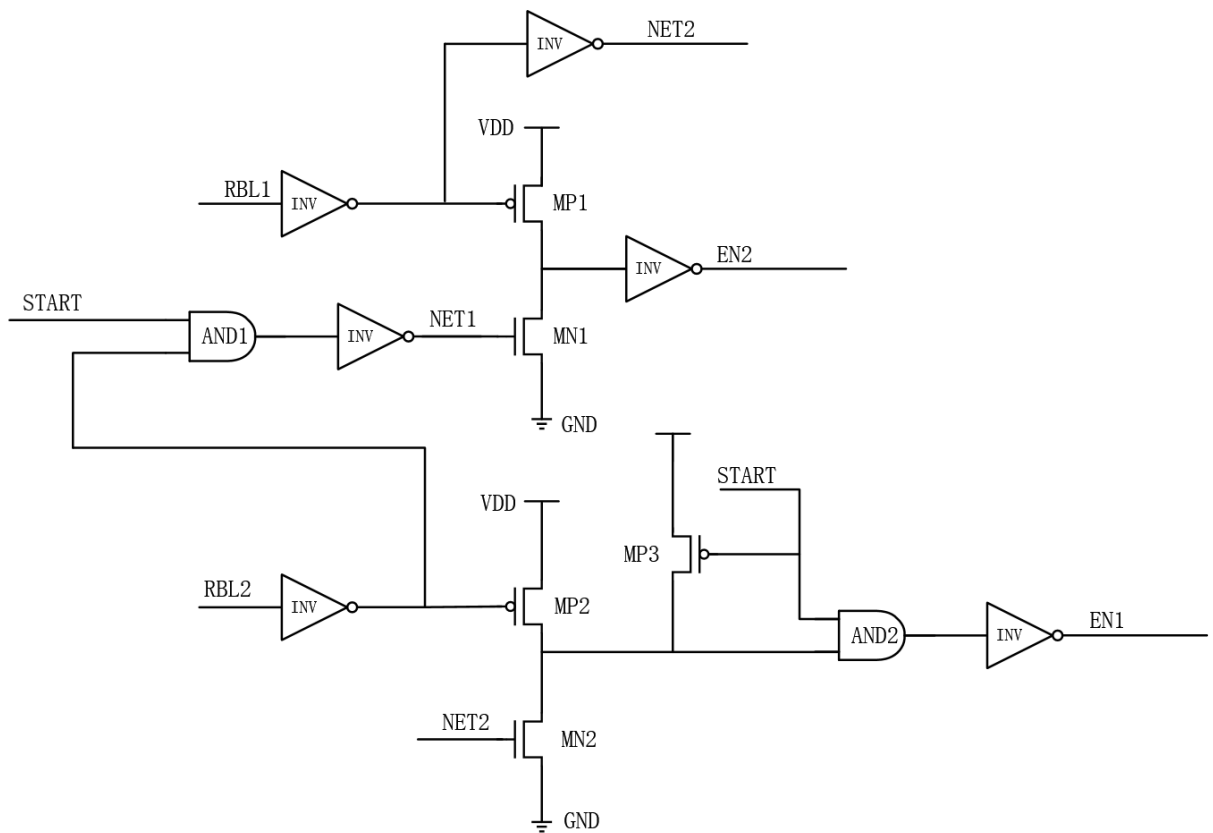


图 3-10 TDC 控制器电路图

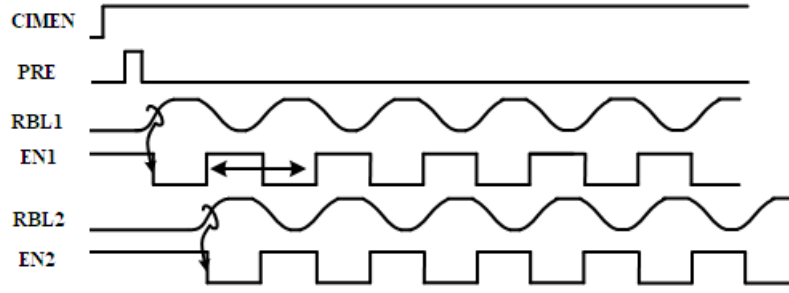


图 3-11 理想的 TDC 参考时钟波形

TDC 控制器通过组合逻辑，控制着复制阵列反复充放电，控制器由 START 信号激励。当不需要计算（即 $EN=1$ ）或计算结束时（即 $SE=1$ ），START 信号都为低时，模块中两个与门输出都是 0，晶体管 MN1 打开，EN1 和 EN2 都为 1，复制阵列中的电容上没有电荷，读位线 RBL1 和 RBL2 都等于 0，不产生参考时钟信号 CLK。

只有当 EN 和 SE 信号都为低时（即计算开始时），START 信号上翻。首先，AND2 门将输出 1，使得 EN1 置低，复制阵列第一列开始充电，此时的 MP1 和 MN1 都是关闭的，EN2=1，复制阵列第二列不充电。

当复制位线 RBL1 电位抬升至倒相器阈值后，晶体管 MP1 打开，使得 EN2 下翻，复制阵列第二列开始充电，同时，NET2 变为高电平，使得晶体管 MN2 开启，下拉 AND2 的输入，使得 EN1 翻高，阵列 1 开始放电。

当复制位线 RBL2 电位抬升的同时，复制位线 RBL1 电位在下降，MP1 关闭，MN2 关闭，MN1 开启，使得 EN1 翻低，EN2 翻高。复制阵列第二列开始放电，第一列开始又充电，由此往复。由于电容充电的延时，EN1 和 EN2 就形成了有固定周期方波。

最后，选取由 EN1 形成的方波作为时钟，接入数个 buffer，形成 H 时钟树结构，提高时钟带负载能力，为多个计数器提供参考时钟，以支持存算阵列满足 INT8 并行计算的要求。

START 信号也可视作时钟的复位信号，使得一轮计算结束后，可以尽快开始下一轮的并行存算，提高系统算力的同时，START 信号使得 CLK 时钟变为门控时钟，排除了不必要的时钟翻转带来的动态功耗，将使得系统总功耗降低，能效提升。

TDC 参考时钟的频率，由供电电压，接入的阵列行数与充电管尺寸有关，时钟频率由仿真得出。本次电路工作电压为 0.6V。

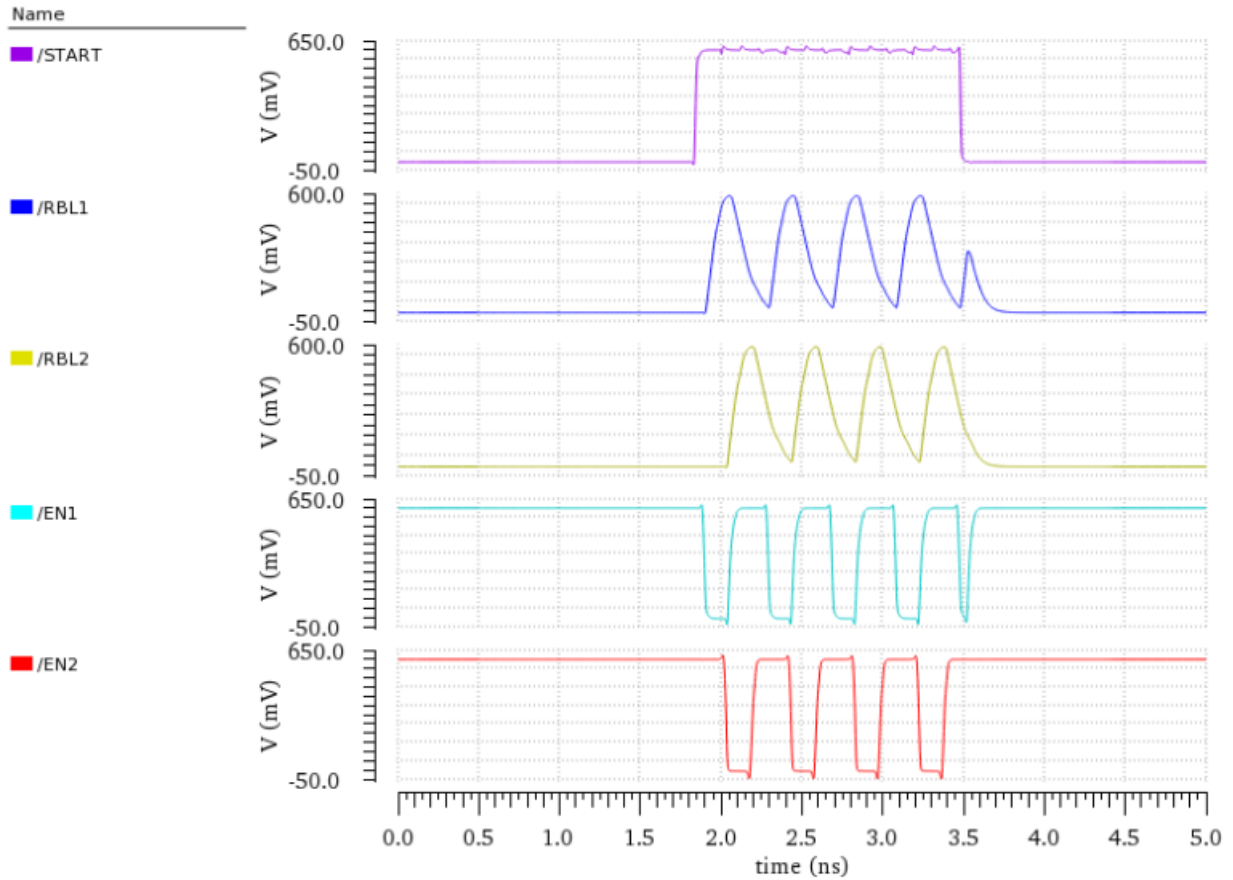


图 3-12 TDC 控制器与参考时钟仿真波形

由波形图可知，EN1 与 EN2 周期性的翻转对阵列充放电，使得 RBL1 和 RBL2 的电位反复，实现了时钟功能，同时由 START 信号控制，也实现了门控时钟的功能，设计符合预期。

在实际的使用中，TDC 的时钟周期将由充电管尺寸进行调整，使得 TDC 时钟周期与存算单位周期近乎相同，实现时钟周期与量化结果 1:1 的对应关系，以此降低了 TDC 参考时钟的翻转次数，尽可能降低存算量化时的动态功耗，以满足存算能耗要求。

3.3.4 TDC 量化计数器设计

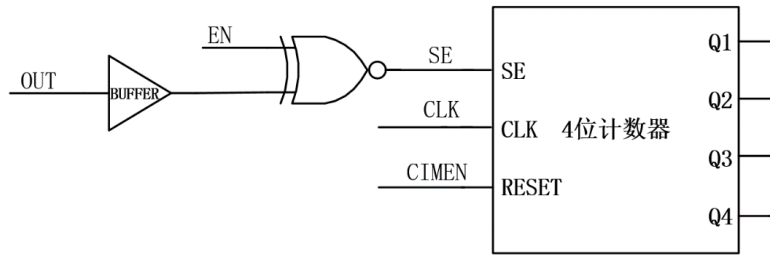


图 3-13 计数器模块连接图

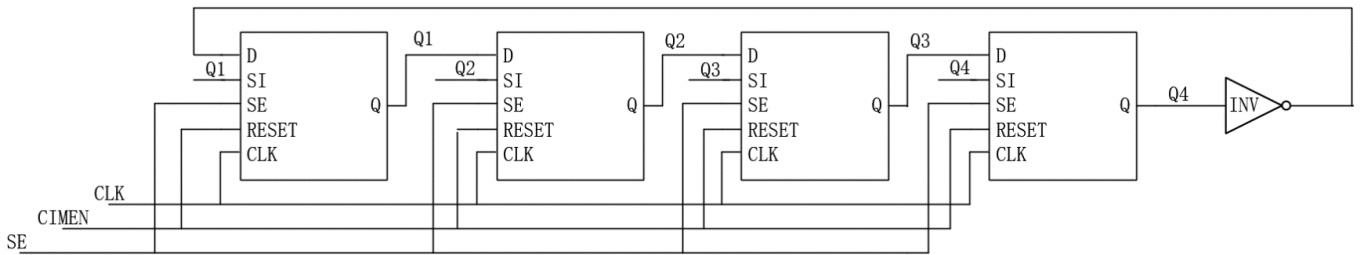


图 3-14 计数器模块电路图

使用数个 Scan-DFF 实现的移位寄存器，Scan-DFF 多用于 DFT 技术中，比普通的 DFF 多了 SE 扫描使能和 SI 扫描输入两个端口。在本设计中，将 DFF 输出 Q 又接回到了 SI，使得在 SE 有效时，数据能够保存住，由于有一个全局的 SE 存在，DFF 数据不单单受 CLK 信号影响，在保护数据的同时，又大大降低了设计的复杂度，使得设计更方便，更直观。

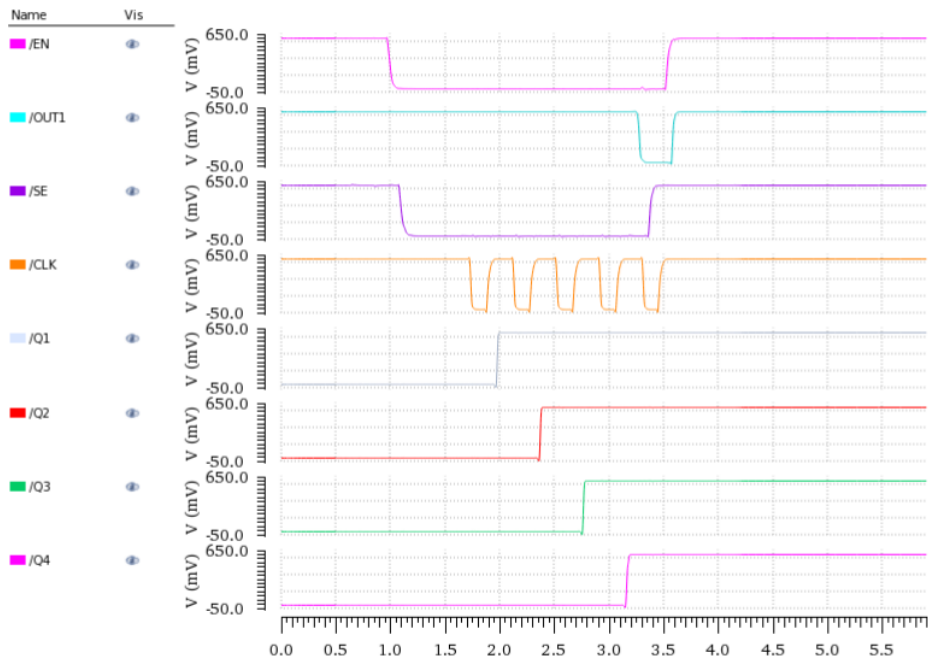


图 3-15 计数器模块仿真波形

OUT 信号输入一个 BUFFER 主要的目的是提高电压的翻转速度，若没有加一级 BUFFER，OUT 信号的下降时间较长，而影响量化结果。

计数器设计符合预期，在图 3-15 所示波形图中，由于 SE 信号的存在，在计算结束后，最后一个上升沿，没有触发 DFF 继续计数。

在实际的存算应用中，D 触发器构成的移位计数器可按需求增加与减少，以更好的支持存算所需输出位宽。

3.4 本章小节

在第三章，我们首先对紧凑型 8T SRAM 存储单元作出分析，指出了紧凑型 8T SRAM 有着能克服读干扰的特性，拥有相比传统 6T SRAM 存储单元更大的动态范围，能够胜任低电压 SRAM 设计。因此，设计选择其作为存内计算基本存储单元，以 0.6V 工作电压运行整个存算系统，以希望获得较高的能效值。接着，我们对紧凑型 8T SRAM 在时域存算领域的原理做出了分析。

在 3.3 节中，我们分析了 TDC 于时域存算系统的重要性且两者的性能密切相关，指出了 TDC 要能够支持时域存算电路实现多位宽输出，高算力，低功耗等诸多性能指标。在之后的小节中，提出了基于复制阵列的 TDC 电路设计方案，给出了延时产生单元、参考时钟发生器、计数器和存算控制器。

关于 TDC 其他要求与指标，如存算控制单元的设计，还有算力，能效，精度等指标以及之前提及的抗 PVT 波动特性将在下一章中配合实际的存算系统来进行验证与分析。

第四章 基于复制阵列的 TDC 在时域存算电路中的应用

本章的结构安排如下：4.1 节给出了基于紧凑型 8T SRAM 时域存算阵列的结构与存算原理，4.2 节给出了 TDC 在时域存算阵列中调试方法与时序确定，4.3 节中给出了存算控制器设计方案与仿真验证，4.4 节中给出了基于复制阵列 TDC 与存算系统分阶段的连接框图，4.5 节分析了基于复制阵列 TDC 的时域存算系统性能指标

4.1 基于紧凑型 8T SRAM 时域存算阵列

如图 4-1 所示，为一个紧凑型 8T SRAM 时域存算存储子阵列内部的连接方式。首先，一个子阵列的总体结构由按特定连接关系的 64 行 32 列存储单元组成。

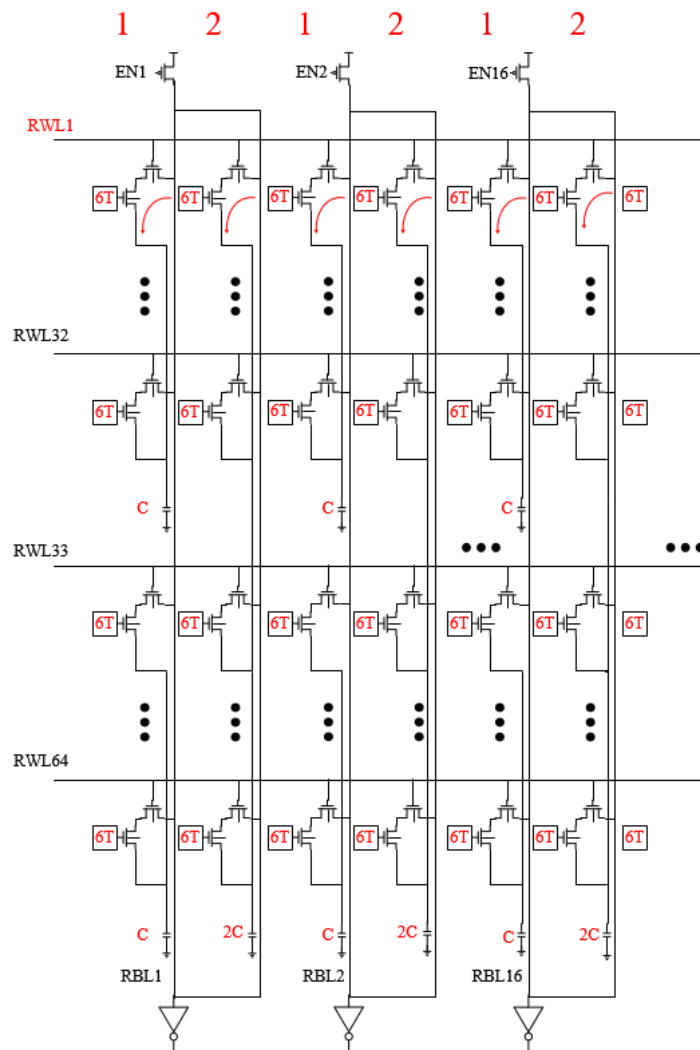


图 4-1 8T SRAM 存算子阵列

子阵列以两列为一个基本计算单元，每两列共享一个 EN 充电管与一个检测输出的倒相器。奇数列（如第一列）存储单元的行分上下，上 32 行的单端读接地端被一起连接到一个电容 $C_{\text{charge_odd}}$ 上，下 32 行同理；偶数列（如第二行）则不分上下，64 行的单端读接地端全部被连接到一个 $C_{\text{charge_even}}$ 上（ $C_{\text{charge_even}}$ 近乎于 $C_{\text{charge_odd}}$ 的两倍）。以此基本结构向右扩展 16 次，即构成了架构中的一个子阵列。（阵列电容由版图寄生电容组成，无需挂载额外电容。 $C_{\text{charge_odd}} = C_{\text{charge}}$ ， $C_{\text{charge_even}} \approx 2 * C_{\text{charge}}$ ）

表 4-1 存储数据与存算输出表

$(W_1 \text{ AND } Q_1, W_2 \text{ AND } Q_2)$	充电容值	对应比特
(0,0)	C_{RBL}	00
(0,1)	$2 * C_{\text{charge}} + C_{\text{RBL}}$	10
(1,0)	$C_{\text{charge}} + C_{\text{RBL}}$	01
(1,1)	$3 * C_{\text{charge}} + C_{\text{RBL}}$	11

从表中 4-1 可以看出，64 行接在一起形成的 $C_{\text{charge_even}}$ ，在计算时，相当于给对应比特左移了一位，即乘上了一个 2 的权重。

4.2 存算阵列、复制阵列与 TDC 量化时序的确定

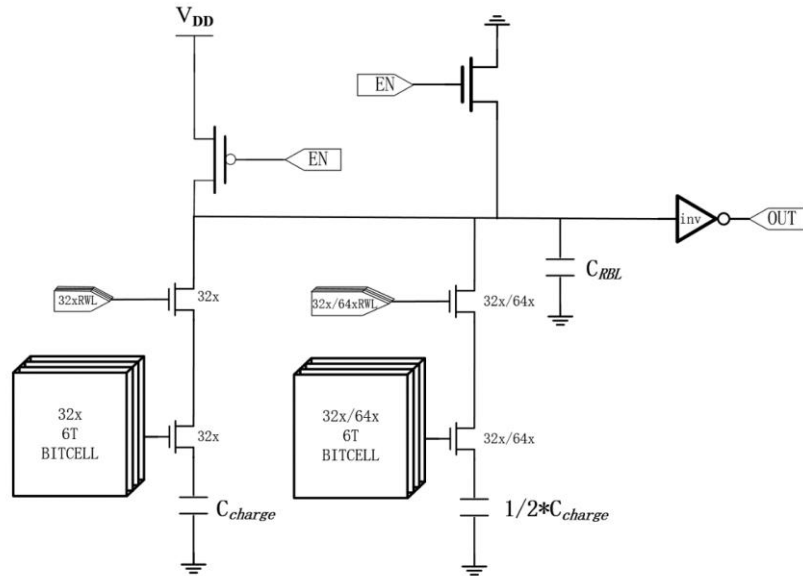


图 4-2 存算阵列简图

图 4-2 是简化的阵列的基本结构。存储阵列与复制阵列的差别在于，因为存储阵列需要实现带一位权重的 MAC 运算，存储阵列的偶数列挂载的电容是奇数列的两倍，复制阵列奇偶数挂载电容都是单位电容。

本次设计的电容全部都是由版图自带的寄生电容组成，所以由 1 列 32 行阵列并联出的电容正好可以是 1 列 64 行阵列电容的一半。无需外挂电容，不仅方便了设计，同时也节省了大量的版图面积。

有关于时域计算的原理在之前的章节已经讲解过了，这里主要讨论电容充电延时与时序相关的问题，以确定 TDC 在存算阵列中的调试方法。

本次设计中，电容充电的延时，主要有三个影响因素：1. 总体供电电压 2. 寄生电容的大小，3. 充电管的尺寸，宽长比。

本次设计，选取了 0.6V 作为电源电压，实现低电压 SRAM 下的存内计算。

其次，有关于寄生电容的容值，需要直接从版图图中直接抽取。

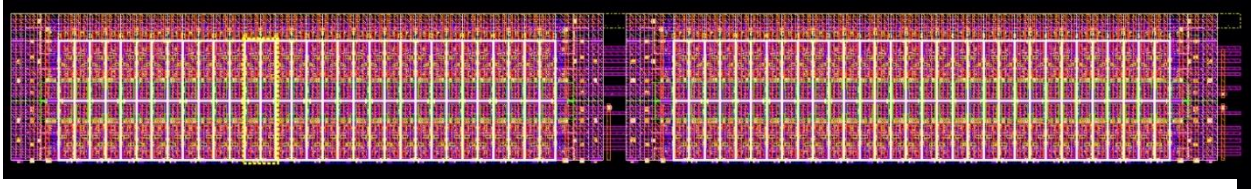


图 4-3 存算阵列基本计算单元版图（64*2）

版图图中将 8T bitcell 上单端读部分 VSS 接地端连接在一起，然后使用 C1 层金属引出，根据不同延时需求，还可以使用上层金属覆盖这一层金属以增大寄生出的耦合电容值。在版图图中偶数列一半的位置处，上半列没有引出用以充电的电容金属，而是将 VSS 继续连接至下半阵列，这样做就实现了 2 倍的 C_{charge} 。

经过寄生抽取，关键寄生电容见表 4-2：

表 4-2 从版图图中经 PEX 抽取的关键寄生电容

电容	电容平均值
Odd C_{charge}	3.518fF
Even C_{charge}	6.949fF
C_{RBL}	6.486fF

可见，奇数列充电电容的确是偶数列充电电容的一半左右，误差在 1%，对于充电时间的影响实际很小。主要的问题来自于位线上的寄生电容， C_{RBL} 已经与偶数列电容相当，相当于在开始计算时，都有一个偶数列电容要去充电，这段时间势必会影响 TDC 量化的正确性。

解决方法有两种：1）把位线寄生电容纳入到量化中；2）使用延时单元跳过这一段时间。

表 4-3 方法一量化对照表

存储比特	充电电容	所需时钟周期	4 位计数器	对应结果
(0, 0)	C_{RBL}	$2 * T_{clk}$	1000, 1100	00
(0, 1)	$C_{RBL} + C_{charge}$	$3 * T_{clk}$	1110	01
(1, 0)	$C_{RBL} + 2 * C_{charge}$	$4 * T_{clk}$	1111	10
(1, 1)	$C_{RBL} + 3 * C_{charge}$	$5 * T_{clk}$	0111	11

表 4-4 方法二量化对照表

存储比特	充电电容	所需时钟周期	4 位计数器	对应结果
(0, 0)	C_{RBL}	T_{delay}	1000	00
(0, 1)	$C_{RBL} + C_{charge}$	$T_{delay} + 1 * T_{clk}$	1100	01
(1, 0)	$C_{RBL} + 2 * C_{charge}$	$T_{delay} + 2 * T_{clk}$	1110	10
(1, 1)	$C_{RBL} + 3 * C_{charge}$	$T_{delay} + 3 * T_{clk}$	1111	11

*存储比特为(W_1 AND Q_1 , W_2 AND Q_2)

两者相比，首先从电路方面来说，方法一不需要多余电路，方法二需要额外的延时单元；但从量化精确度来说，方法一，由于位线寄生的影响，使的输出结果为 00 情况时，对应着 2 种计数器情况，这与之前一一对应的想法不同，影响了后续结果处理的效率，最关键的是，这样做徒增了 2 个时钟周期，一方面增加了计算过程中参考时钟的功耗，另一方面由此带来的量化误差是累加的，大大影响了量化准确率，不利于量化精度。方法二中，虽然 T_{delay} 也会造成一定的量化误差，但对于同一轮计算这个误差是固定的，实际能够累计的误差只在后面三个时钟周期内，这样做是利用量化准确率的，同时计数器输出也是一一对应的，方便进行后续处理。由此，方法二是适合的。

确定了具体的量化方案之后，就需要去定制充电管尺寸和延时链长度。关于放电管的尺寸，要求放电越快越好，所以合理地选择较大宽长比的 NMOS 即可。

经过大量的调试，总结出以下流程，

- 1) 通过调整复制阵列充电管尺寸，先确定 T_{clk} 。
- 2) 调整存储阵列充电管尺寸，确定单位电容充电延时，使其符合 T_{clk} 。
- 3) 插入一定延时链，使第一次翻转发生在时钟后半周期内

最后确定了重要的晶体管尺寸，延时链长度：

在供电电压 0.6V 下，仿真工艺为 `tt_localmc_post`。

复制阵列充电 PMOS 长宽比 150n/20n，时钟周期约为 395ps，频率为 2.53GHz

存储阵列充电 PMOS 尺寸为 108n/500n，充满 C_{RBL} 所需时间为 1.048ns，充满 1C 所需时间为 392ps，并由此设计延迟链延迟。

此时，存储单元存储 $(BIT1, BIT2) = (0, 0)$ ，计数器四个端口输出 Q1-Q4：1000，表示 TDC 量化正确。其他存储情况下，TDC 量化结果见附录。

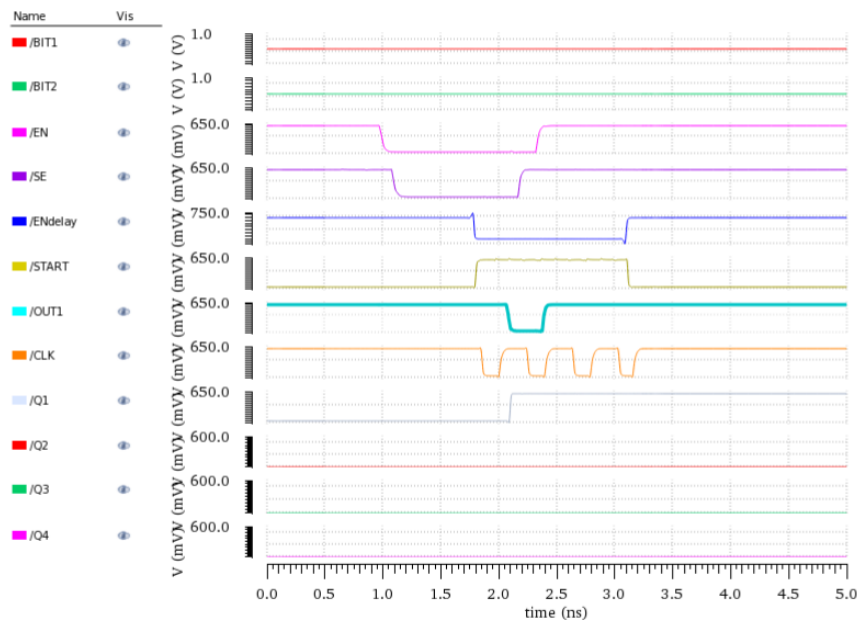


图 4-4 TDC 量化存算阵列存储 00 时效果仿真波形图

如图，由于使用 PMOS 对复制阵列充电产生时钟，所以时钟首先出现的是一个下降沿，其次才是一个能触发计数器的上升沿。波形图从第一行开始分析，同一行相邻的两个单元，存入的数据是 00。系统开始计算时，存算控制器发出 EN 信号，阵列开始充电，同时 SE 信

4.3 存算控制器设计

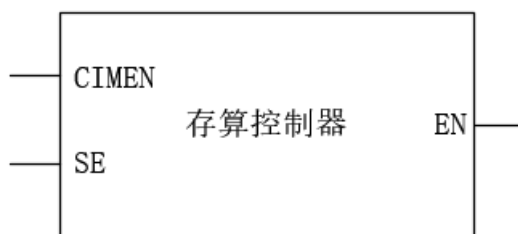


图 4-5 存算控制器

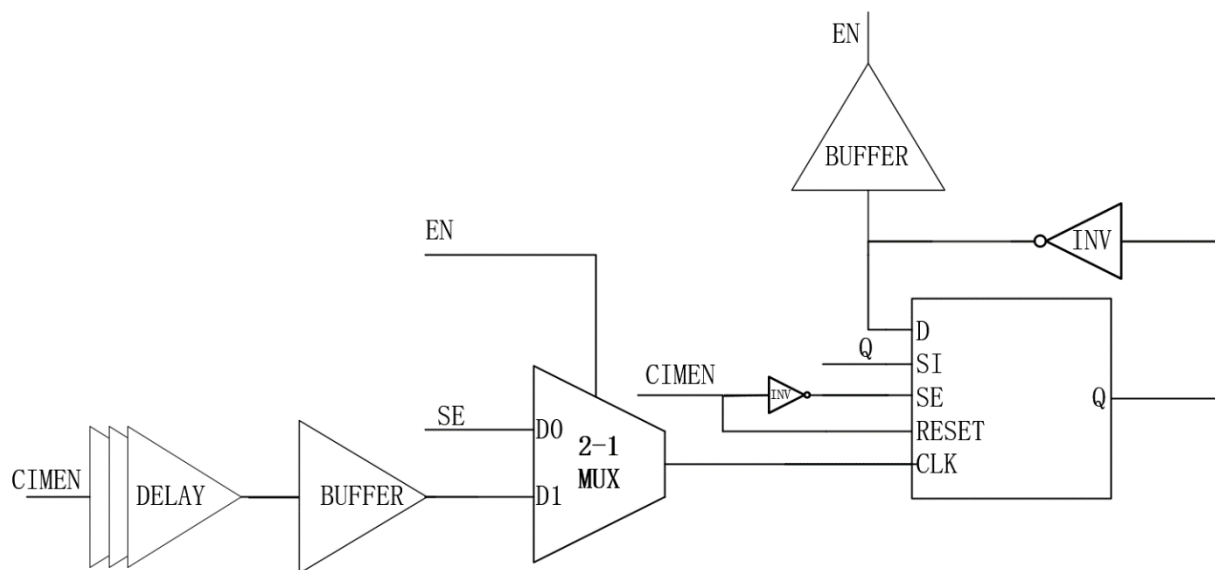


图 4-6 存算控制器原理图

存算控制器由状态机实现, 该状态机只有两种状态, 控制着存算阵列充电管的开断。

由于只有两种状态，所以使用一级 DFF，将 D、Q 两端用倒相器连接即可。

首先，外部控制器发送 RWL 和 CIMEN 信号，CIMEN 信号是一个具有一定长度脉冲信号，可以使 DFF 复位。复位后，DFF 的 Q 端输出 0，经过一级倒相器后，EN=1，此时阵列不充电。

2-1MUX 选择 D1 信号，在短暂延时后，CIMEN 信号将由 MUX，输入到 DFF 的 CLK 端，上升沿触发，使 $D \rightarrow Q=1$ ， $E=0$ ，存算阵列的 EN 控制充电管打开，放电管关闭。

此时，2-1MUX 选择 D0 信号，在所有计算完成后，一个统一的 SE 信号由 MUX 输入到 DFF 的 CLK 端，上升沿触发，使 $D \rightarrow Q=0$ ， $E=1$ ，存算阵列的 EN 控制充电管关闭，放电管打开。直到存算控制器再次接收到 CIMEN 的脉冲信号。

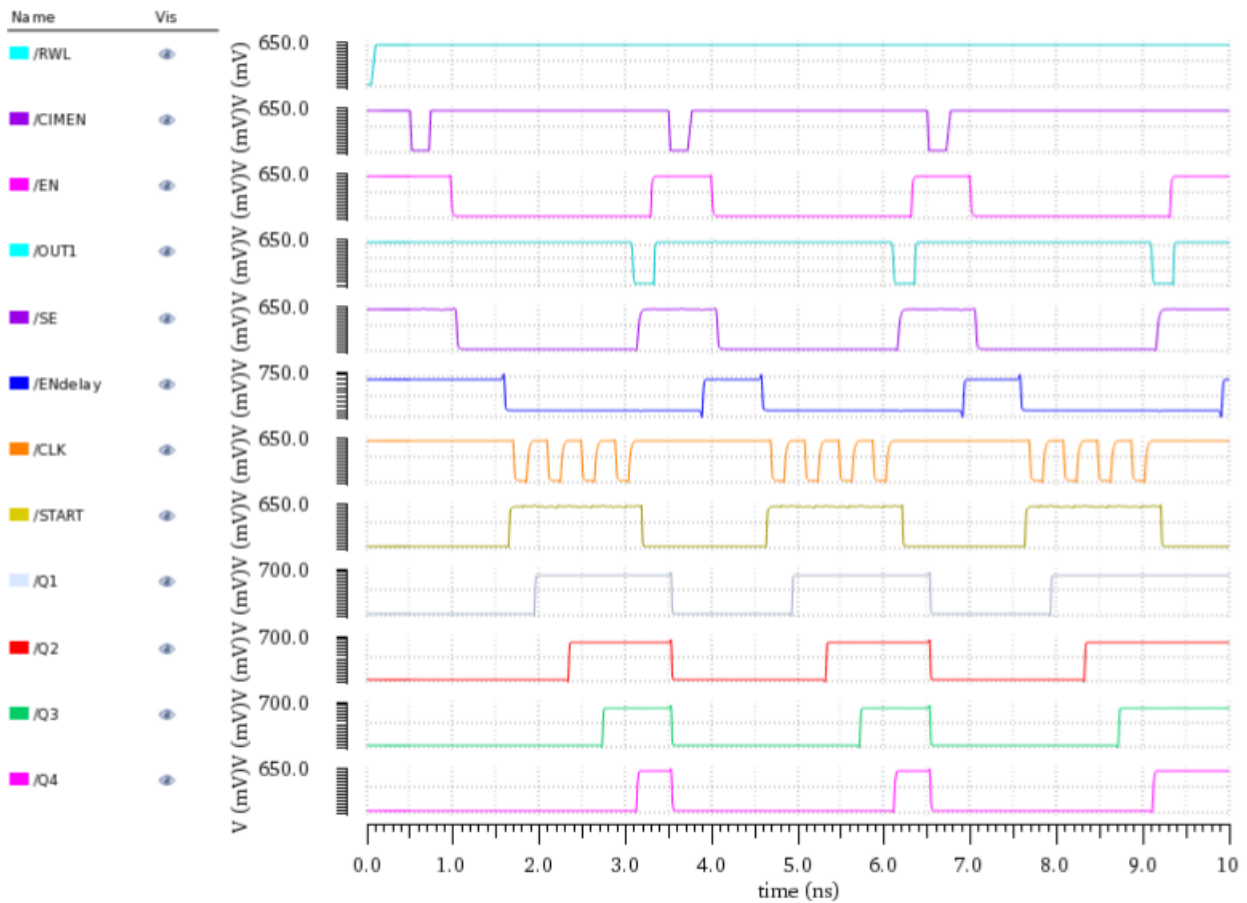


图 4-7 存算控制器下 TDC 量化波形图

从仿真波形可以看出，在存算控制器的控制下，存算阵列与 TDC 在 10ns 内完成了三次对存储“11”情况下乘累加运算，并且 TDC 都正确的完成了对延时的量化功能。

4.4 基于复制阵列 TDC 与存算系统连接框图

4.4.1 系统初始化

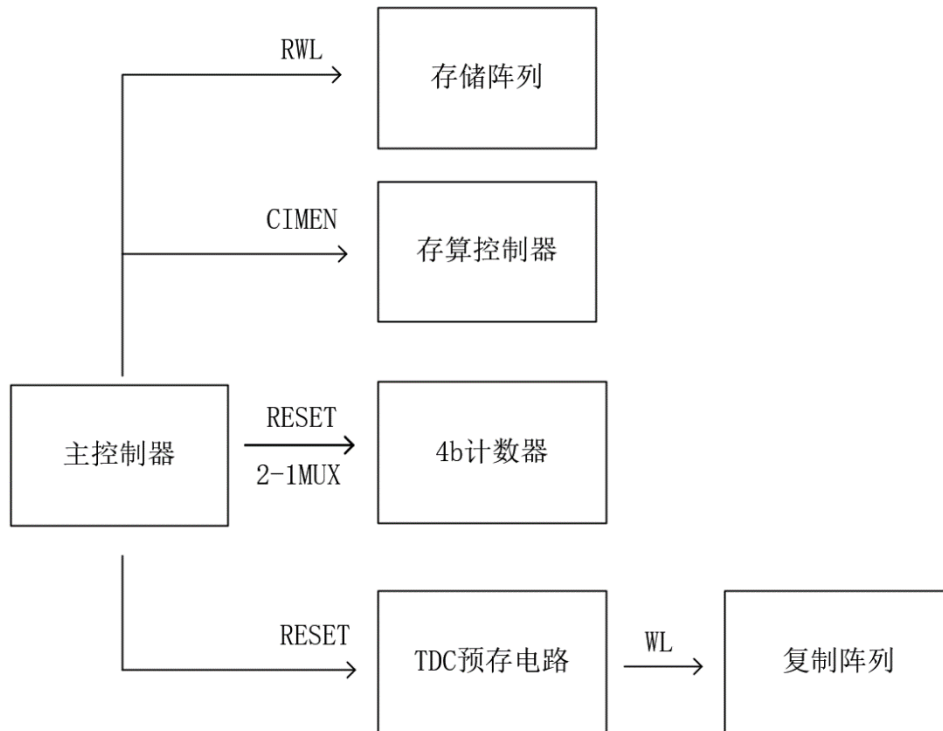


图 4-8 系统初始化图

存算功能开启时，首先由外部主控制器向存储阵列发送一行 RWL 信号，然后向存算控制器发送一个存算触发信号 CIMEN。同时外部主控制器向 4 位计数器发送复位、MUX 选择信号，向 TDC 预存电路发送复位信号。此时，存算初始功能就绪，相关存储功能信号将被挂起，主控制器等待接收存算结果。

*TDC 预存电路：收到信号后，打开复制阵列的 WL 使其一行存储单元存 1。

4.4.2 存算过程

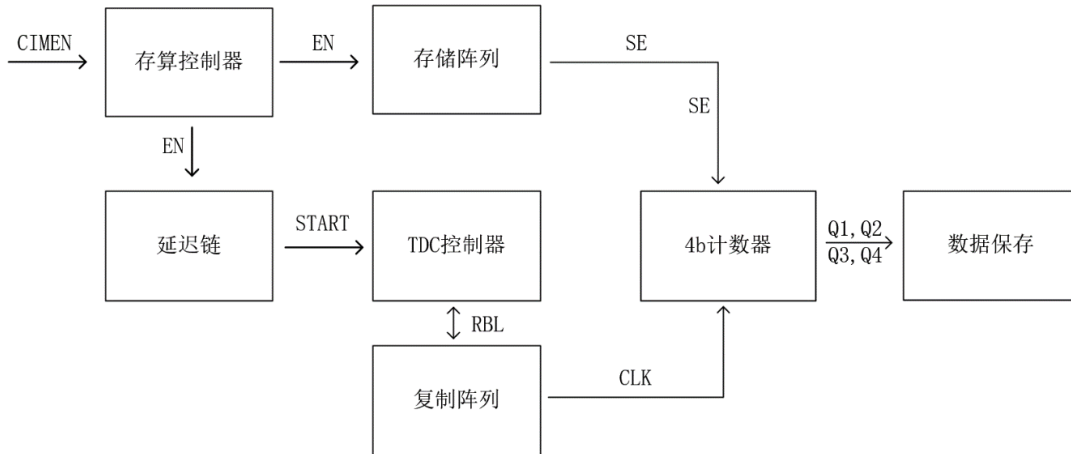


图 4-9 存算过程框图

在接收到 CIMEN 信号后，存算控制器会立即启动存算过程，将向存储阵列发送 EN 启动信号，存储阵列充电管开启，放电管关闭，开始计算；同时延迟链也将接收到 EN 信号，在一定延时后，发送 START 信号给 TDC 控制器，TDC 控制器将控制复制阵列产生时钟信号 CLK。

接收到 CLK 信号后，4 位计数器开始以上升沿触发技术，计算完成时(存算阵列电容充满)，存储阵列将立即发送 SE 信号给 4 位计数器，计数器将保存计算数据（不受 CLK 信号影响），由其他模块接收计算结果。

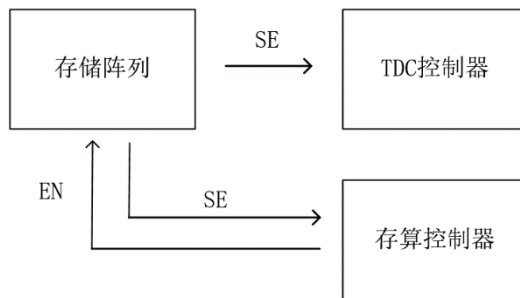


图 4-10 存算复位框图

计算结束的同时，SE 信号也将发送给 TDC 控制器和存算控制器，使得 START 信号关闭，TDC 控制器将使 CLK 信号停止，复制阵列放电管开启，使得时钟复位。

存算控制器接收到 SE 信号后，将使得 EN 状态翻转，发送给存储阵列，使得其充电管关闭，放电管开启，存储阵列复位。存算控制器将等待接收下一次的 CIMEN 信号。

4.5 基于复制阵列的 TDC 电路指标与性能分析

4.5.1 算力与能效

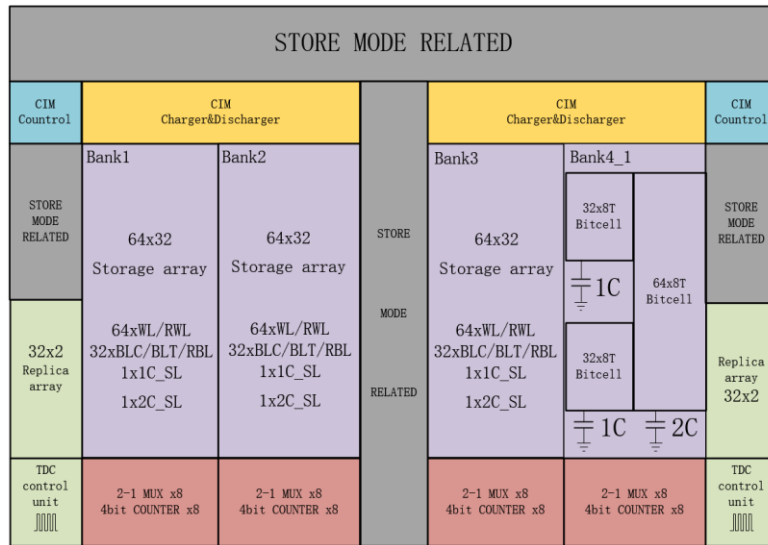


图 4-11 基于复制阵列 TDC 量化的时域存算 SRAM 布局图

最终的存算芯片布局图见图 4-11，存储阵列分为了 4 个 BANK，每个 BANK 能支持 8 列计算子单元并行进行存算。在芯片中采用了 2 套基于复制阵列的 TDC 量化电路，每套 TDC 配备了 16 个 4 位计数器，能够对 16 个 2bit 存算结果进行量化及输出，即支持 4 个 INT8 数存算量化需求，满足了支持 INT8 MAC 运算要求。系统性能总结见表 4-5。

表 4-5 系统性能统计 工作电压 0.6V

瞬态仿真 @tt_localmc_post	单次存算耗时	理论算力估计	平均工作电流	峰值工作电流	理论能效估计
最优情况	1.05ns	15.24Gops	381.8uA	2.656mA	66.53Tops/W
最差情况	2.32ns	6.90Gops	429.3uA	2.625mA	26.79Tops/W

最优情况即存储器内全存'0'，最差情况下即存储器内全存'1'。

单次计算耗时：从阵列开始充电到阵列开始放电耗费的这段时间。

算力算法：在 INT8 标准下，并行执行操作数*（1 秒/单次存算耗时），MAC 操作算 20PS

能效算法：算力/单次存算功耗

由表 4-5 可得，基于复制阵列的 TDC 配合 128*64 的 Compact-8T SRAM 时域存算阵列，能效达到原定指标要求。

4.5.2 TDC 非线性误差 INL 与 DNL

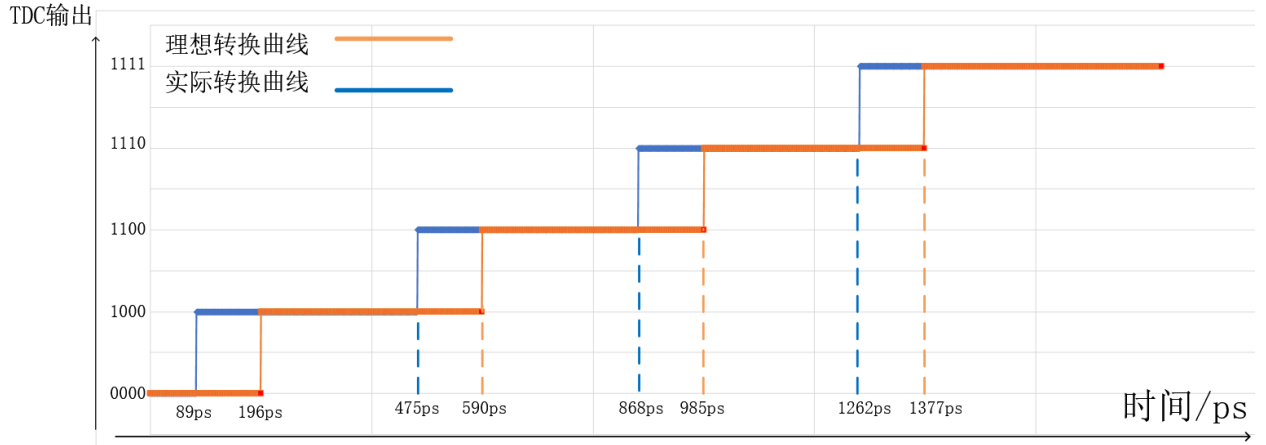


图 4-12 TDC 输入输出特性曲线

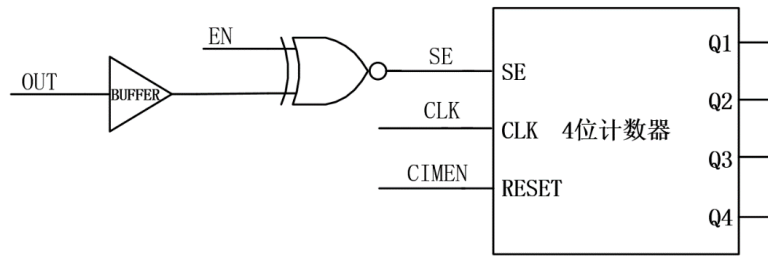


图 4-13 TDC 中计数器模块

图 4-12 是经过调试后，运用在存算阵列上的 TDC 的输入输出特性曲线。TDC 量化的有效输出就 1000，1100，1110 和 1111 四种情况，理想与实际的偏差，主要来自于与计数器相连的同或门传播延时。基于复制阵列 TDC 的 LSB 一时钟周期，即 392ps 左右。

根据 TDC 的 DNL 和 INL 的公式 (4.1) 与 (4.2)，计算出此款 TDC 的非线性误差为 $DNL_1 = -0.02$ ， $DNL_2 = -0.0025$ ， $DNL_3 = 0$ ，总 $INL = -0.0225$ 。

$$DNL_i = \frac{t_{i+1} - t_i - T_{LSB}}{T_{LSB}} \quad (4.1)$$

$$INL_i = \sum_{n=0}^i DNL_n \quad (4.2)$$

4.5.3 基于复制阵列的抗 PVT 波动特性测试

多工艺角仿真以及蒙特卡洛仿真，对设计的良率十分重要。在不同工艺角下，片上 NMOS 和 PMOS 的测试将显示出不同的延迟特性。在本次设计中，TDC 由复制阵列产生量化参考时钟，复制阵列的结构与存算阵列结构近乎一致，以此希望能够使得 TDC 量化时钟能够在不同的 PVT 环境下，依旧能够正确量化阵列存算结果，实现 PVT 的跟踪效果。PVT 显示的结果，也将引导对电路时序的修改。

多工艺角仿真，涉及工艺参数：ffg_localmc_post, tt_localmc_post, ssg_localmc_post，涉及温度：0°C，25°C，125°C

将对这些情况，三个三个进行排列组合测试，PVT 影响，并对电路进行略微调整。最终在其余参数不变的情况下，通过电容金属覆盖，略微增大存储阵列寄生电容值至 4.5fF 和 9.5fF，这会略微降低存算算力。统计与测试结果见下方图表，其余测试波形图见附录。

表 4-6 抗 PVT 特性测试确认表

电源电压 600mV	0°C	25°C	125°C
ffg_localmc_post	Ok	Ok	Ok
tt_localmc_post	Ok	Ok	Ok
ssg_localmc_post	Ok	Ok	Ok

可见，TDC 电路在大多数场合下都能正确地对存算结果进行量化。

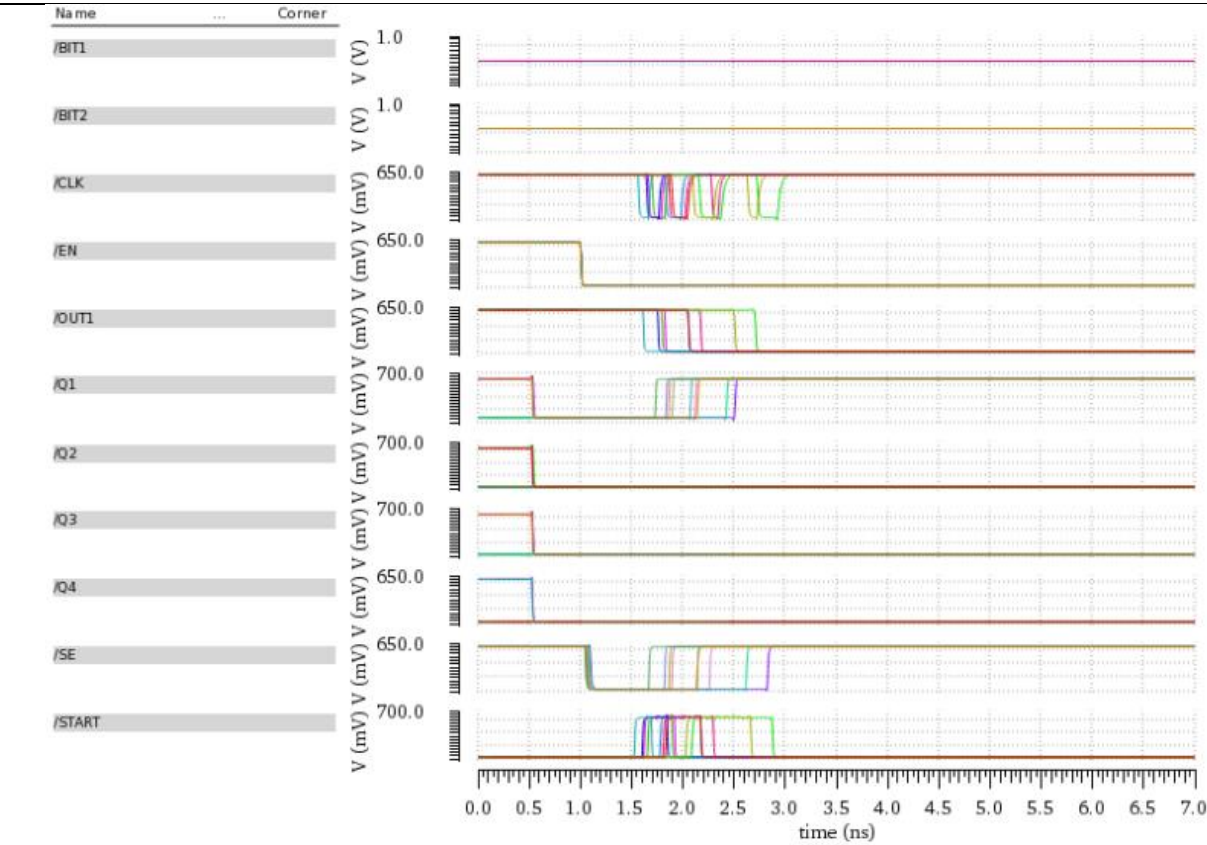


图 4-14 于 600mV 下，三种工艺角在三种温度下 9 种组合，存储 00 仿真情况

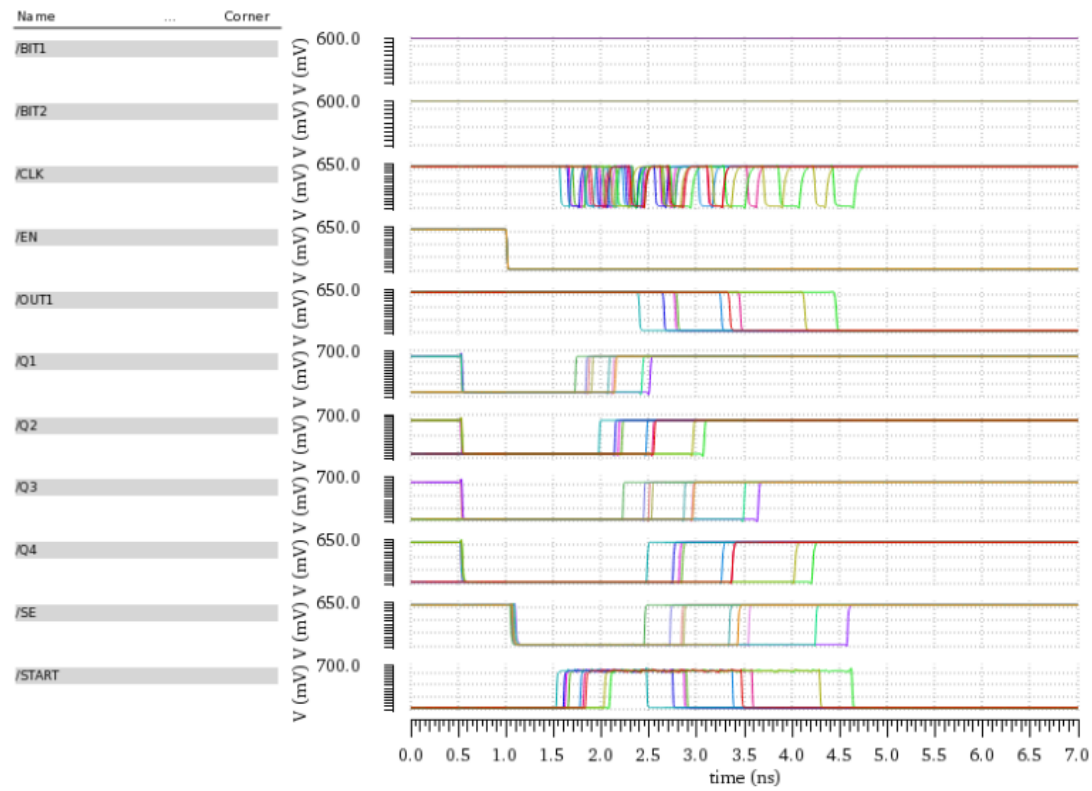


图 4-15 于 600mV 下，三种工艺角在三种温度下 9 种组合，存储 11 仿真情况

4.6 同类工作比较

在本节中，将本设计对同类含 TDC 的时域存算设计方案进行比较。

含 TDC 时域存算比较表

比较项目	Y. He ^[4]	J. Song ^[5]	本工作
供电电压	0.7V	0.9V	0.6V
存算单元	8T+2*INV	6T+1*CS ¹	Compact_8T
阵列容量	N/A	8kB	8kB
运算类型	XNOR	AND	AND
输入，权重，量化数 ²	(1, 1, 2)	(1, 1, 3)	(1, 1, 4)
延迟单元	环形振荡器	电流饥饿型倒相器	电容
理论峰值能效 (1-bit)	463 TOPS/W	716 TOPS/W	532 TOPS/W
PVT 抗性	N/A	++	+

1 额外的电流饥饿型倒相器(CS)含有额外 6T

2 量化数指单个存算单元对应量化结果种类数

4.7 本章小节

在本章中，将设计的基于复制阵列的 TDC 量化模块应用于基于紧凑型 8T SRAM 的时域存算方案中，经过对存算阵列的分析，确定了 TDC 量化方案；同时，设计了存算控制器以控制存算任务的接续进行；经过对 TDC 延时单元进行时序上的调整，TDC 能够成功正确量化存算结果。

经仿真验证，存算阵列与 TDC 阵列的性能指标均符合前期预期，能效在 8 BIT 下达到 26.79Tops/W（最坏情况）到 66.53Tops/W（最优情况）。TDC 能够在 0℃-125℃ 范围内，FFG、TT 和 SSG 三种工艺角下正常工作，具有一定的 PVT 抗性。

最后，对本设计进行了类似方案比较。

第五章 总结与展望

5.1 工作总结

本文设计了一种基于复制阵列的时间数字转换 TDC 电路，并将其运用在基于紧凑型 8T SRAM 的时域存内计算系统之中。

全文详细的介绍了基于复制阵列的 TDC 电路和基于紧凑型 8T SRAM 时域存算系统的设计及原理，包括：存储单元选取、时域计算原理、系统布局、电路设计、部分版图设计和仿真结果分析，较完整地经历了一个集成电路设计流程。

本文设计的 TDC，经仿真，在 TT25 工艺下，能够支持 8Kb 的基于紧凑型 8T SRAM 时域存内计算实现 INT 8 下的并行量化输出，在理论最优情况下，算力估计能够达到 15.24Gops，能效能够达到 66.53Tops/W，在理论最差情况下，算力估计能够达到 6.9Gops，能效也能达到 26.79Tops/W。基于复制阵列的 TDC 设计同时也能抵抗较宽范围的 PVT 波动，在 FFG，TT，SSG 三个工艺角，0℃，25℃，125℃三种温度的两两组合下都依然能够完成对存算结果的并行量化任务。

5.2 工作展望

本次设计的基于复制阵列的时数转换器，虽然通过仿真，验证了可行性，但依然有许多可以改善的地方。首先，由于模拟域计算对 PVT 的敏感性，在增加量化范围时，虽然设计了抗 PVT 的复制阵列进行量化，在最坏情况下，也达到设计指标，但有理由判断出，在更严格的标准要求下，TDC 量化出错的概率一定会变大，但由于时间有限且良率仿真耗时巨大，已来不及对系统中各处继续进行优化。

基于本次设计的经验，在后续设计与研究中，一方面可以在良率较高的单比特时域计算上，对阵列结构以及 TDC 结构继续加以改进，以实现更高的并行度以提高算力，另一方面，则需研究如何继续在电路上加以改进以减少由 PVT 带来的限制，或者使用其他辅助电路，容错算法或者纠错机制以实现在多比特位时域中实现更高效，良率更高的量化方案。

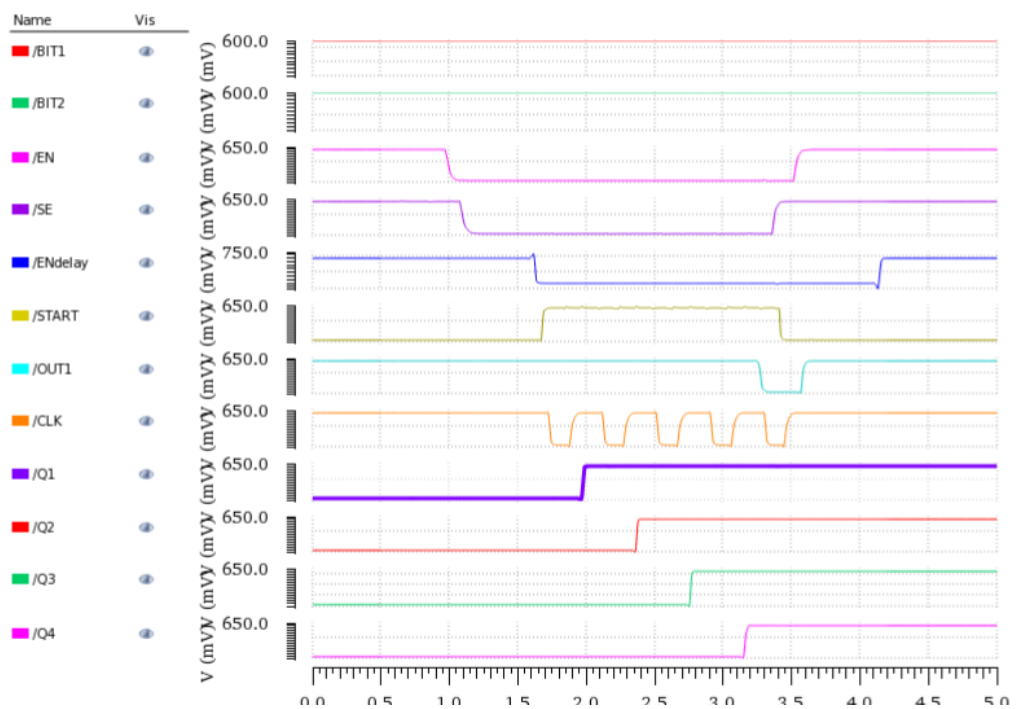
在仿真结果中，总结了方案的不足，受到设计经验与时间的限制，整个系统设计远远还不完备，电路依旧存在仿真不完整，测试方案不成熟等问题。对于集成电路设计而言，任何一步都是需要谨慎对待的，而且每一步都应该要做到全面考虑，不能放过任何问题。这些需要在以后的设计、仿真与测试实践中，继续学习，继续积累经验。

参考文献

- [1] C. -J. Jhang, C. -X. Xue, J. -M. Hung, et al. Challenges and Trends of SRAM-Based Computing-In-Memory for AI Edge Devices[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 68(5): 1773-1786.
- [2] A. Sayal, S. S. T. Nibhanupudi, S. Fathima and J. P. Kulkarni, A 12.08-TOPS/W All-Digital Time-Domain CNN Engine Using Bi-Directional Memory Delay Lines for Energy Efficient Edge Computing[J]. IEEE Journal of Solid-State Circuits, 2020, 55(1): 60-75.
- [3] G. W. Roberts and M. Ali-Bakhshian, A Brief Introduction to Time-to-Digital and Digital-to-Time Converters [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 57(3): 153-157.
- [4] Y. He, M. Choi, K. -K. Kim, et al. A Time-Domain Computing-In-Memory Micro using Ring Oscillator[C]. 2021 18th International SoC Design Conference (ISOCC), 2021: 107-108.
- [5] J. Song, Y. Wang, M. Guo, et al. TD-SRAM: Time-Domain-Based In-Memory Computing Macro for Binary Neural Networks[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 68(8): 3377-3387.
- [6] C. S. Taillefer and G. W. Roberts, Delta-Sigma A/D Conversion Via Time-Mode Signal Processing[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2009, 56(9): 1908-1920.
- [7] D. M. Santos, S. F. Dow, J. M. Flasck et al. A CMOS delay locked loop and sub-nanosecond time-to-digital converter chip[J]. IEEE Transactions on Nuclear Science, 1996, 43[3]: 1717-1719.
- [8] P. Dudek, S. Szczepanski and J. V. Hatfield, A high-resolution CMOS time-to-digital converter utilizing a Vernier delay line[J]. IEEE Journal of Solid-State Circuits, 2000, 35(2): 240-247.
- [9] 朱贾峰. 低电压 SRAM 关键技术研究 with 实现[D]. 东南大学, 2014.

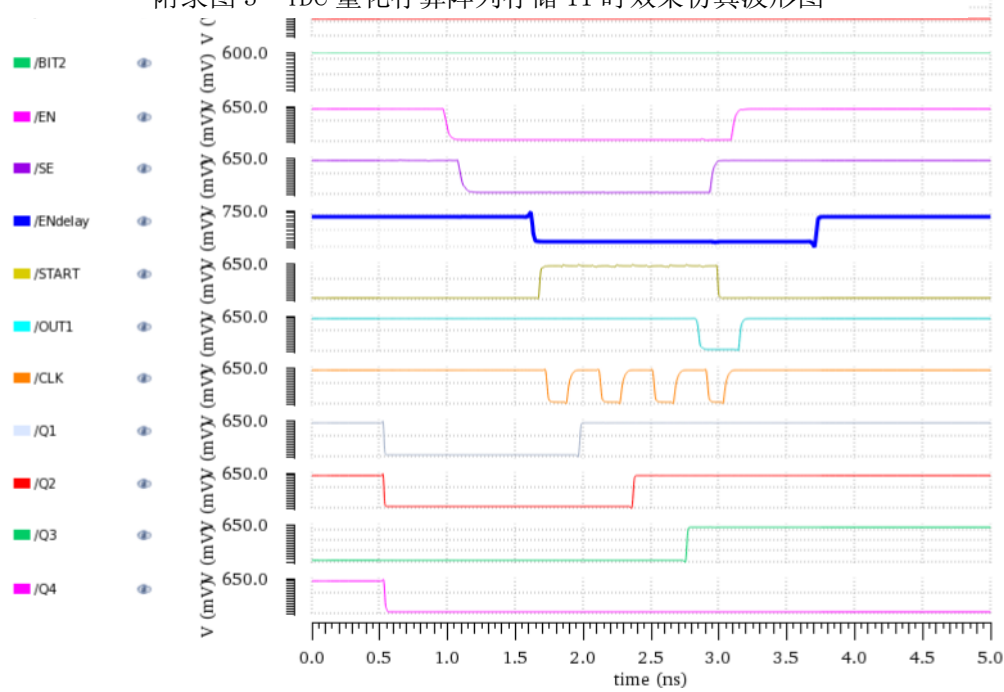
附录

1. 其他存储情况下，TDC 量化存算结果波形图



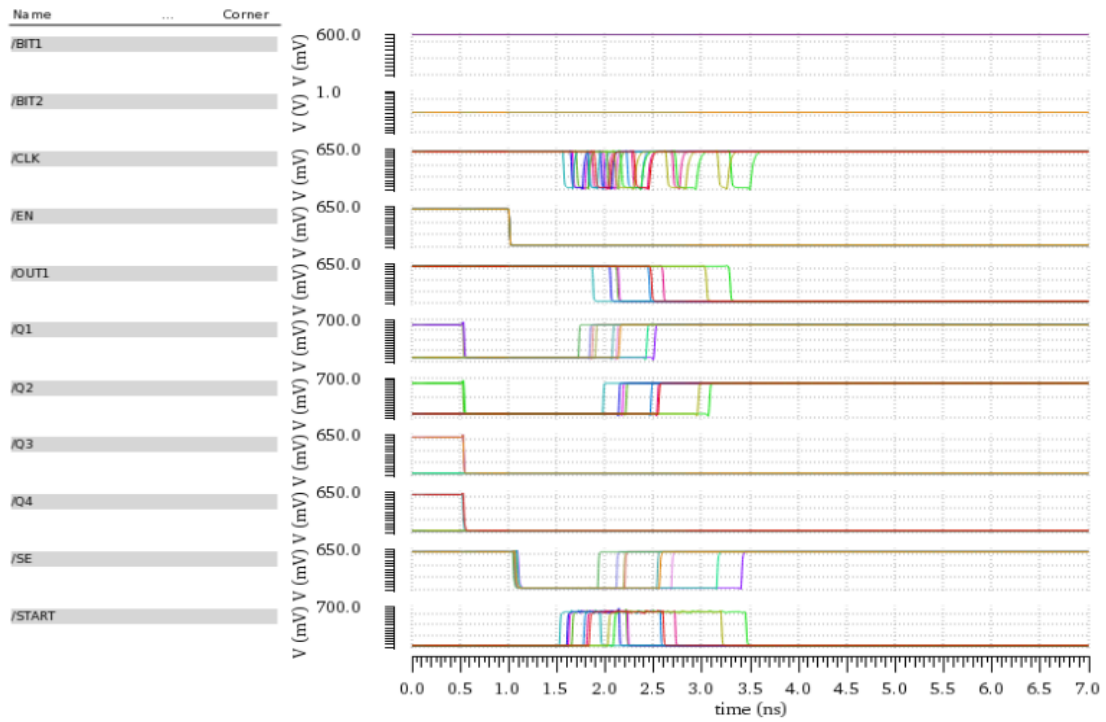
附录图 2 TDC 量化存算阵列存储 01 时效果仿真波形图

附录图 3 TDC 量化存算阵列存储 11 时效果仿真波形图

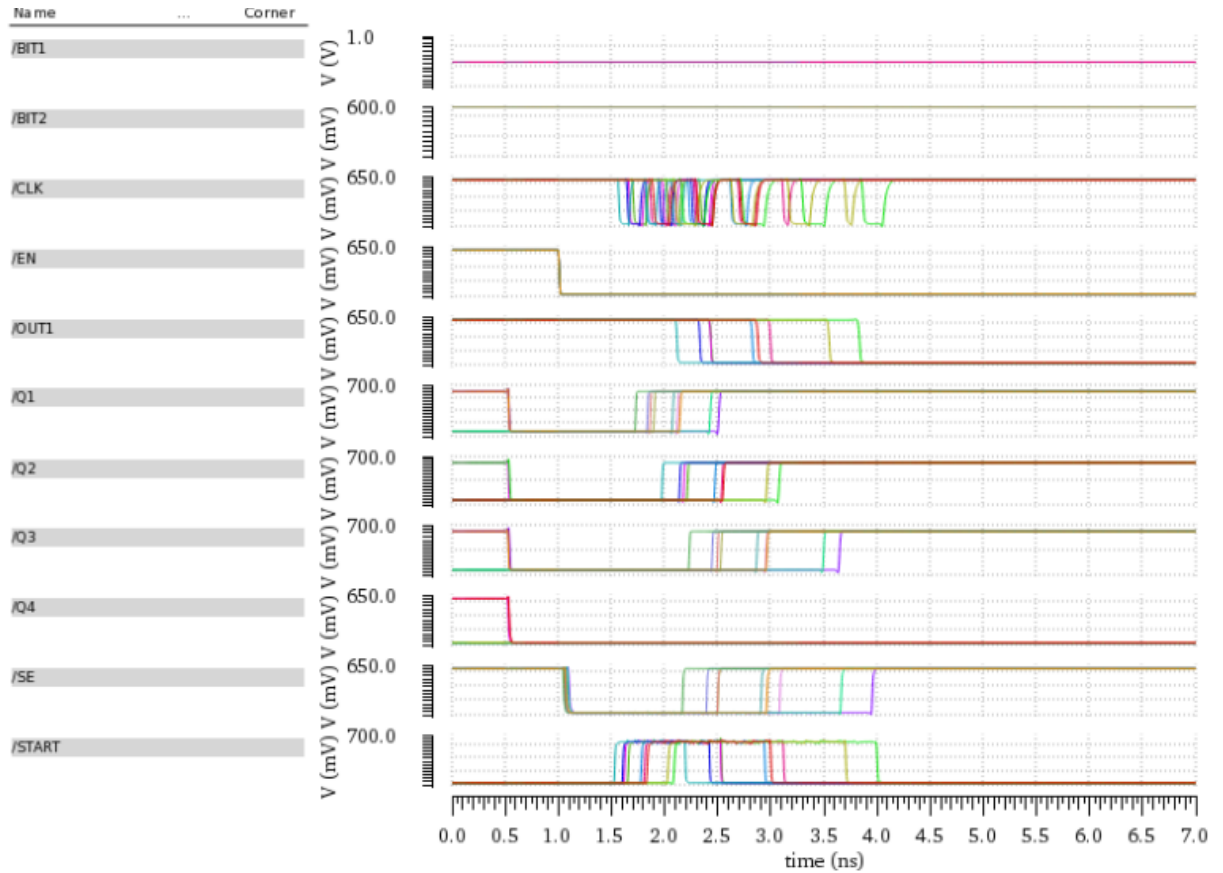


附录图 2 TDC 量化存算阵列存储 01 时效果仿真波形图

2. 其他存储情况下，TDC 抗 PVT 存算结果波形图



附录图 4 于 600mV 下，三种工艺角在三种温度下 9 种组合，存储 10 仿真情况



附录图 5 于 600mV 下，三种工艺角在三种温度下 9 种组合，存储 01 仿真情况

致 谢

论文就写到这了，本科生涯也接近尾声了。我十分感激在我大学四年中教导过我的所有老师，感谢所有与我合作过，帮助过我的同学、学长与朋友们。

其中，我尤为需要感谢的是杨军老师和司鑫老师。杨老师作为我数字集成电路课的授课老师，不仅教授了我数字集成电路设计知识，同时也给予了我宝贵的芯片设计实习机会，坚定了我成为 IC 工程师的愿景。自从，2021 年 5 月来到了 ASIC 中心 5 楼，在杨老师的推荐下，我十分荣幸地认识了司鑫老师，司老师对存内计算领域有着长期的研究投入，也有着众多的项目与课题经验，司老师作为我迈入芯片设计与存内计算研究的引路人，我真的十分感谢他。我更要感谢，两位老师都愿意成为我留学申请的推荐人并助力我的留学申请。

同时，我还要特别感谢在我长达数月的实习期间与我合作完成项目的周永亮博士学长，他一步步带领着我熟悉芯片设计流程，教导我 EDA 的使用方法，引导我实践并完成了完整的 ASIC 设计流程，在此过程中不厌其烦地解答了我许多的疑问。

两位老师渊博的知识、严谨的科研作风、扎实的专业知识使我在学习中受益颇浅，这一切将使我终生受益。两位老师和学长都是十分友善，热心的人，他们对我的帮助与教导，与他们相处的经历，我终生难忘！

我感谢学校，感谢 ASIC 中心为我提供优秀的学习和科研环境。同时我还要感谢所有一路上，与我共同学习，共同进步的同学！

深深地感谢我的父亲与母亲，感恩他们从小到大以来对我的支持、无条件的信任与无微不至的关爱，父亲与母亲是我这一生中最重要的！

最后，再次感谢每一位帮助过我，对我友善的人，祝他们在日后的生活里幸福安康！