

EEL480 - Laboratório de Sistemas Digitais

Relatório 01

Artur Amaral

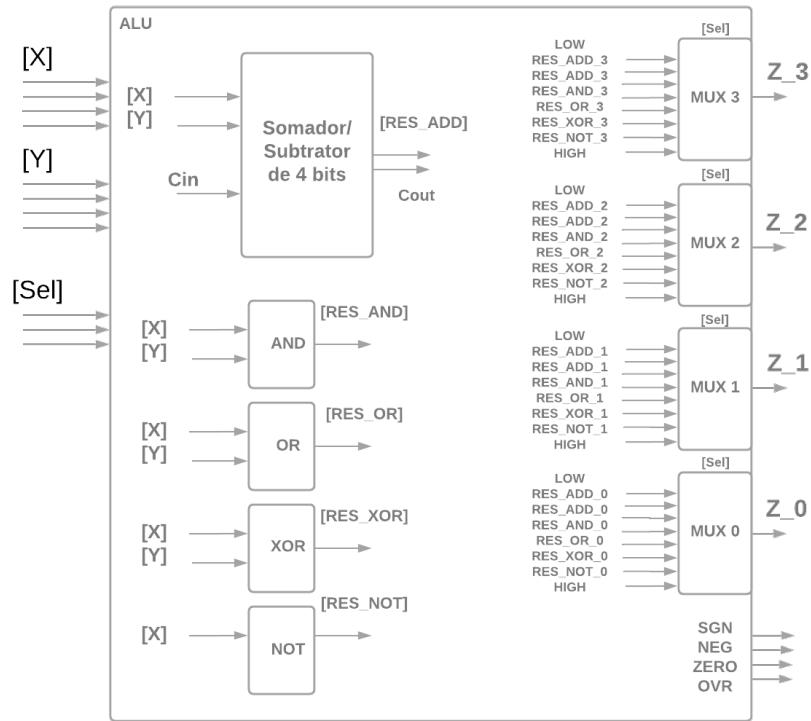
17 de agosto de 2021

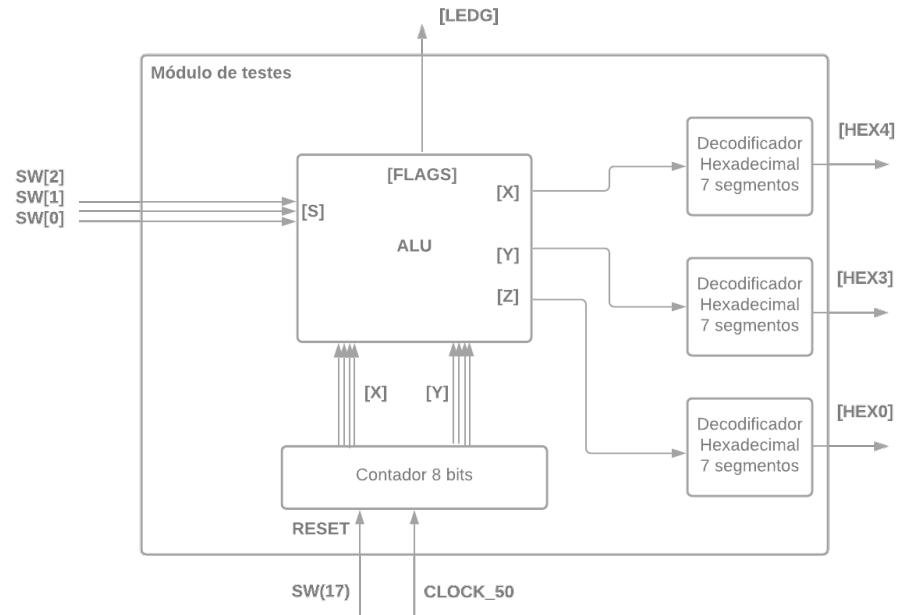
1 Introdução

2 Desenvolvimento do projeto

- Duas entradas X e Y de 4 bits.
- Faixa de valores representada:
 - $0 \leq X, Y \leq 15$
 - $-15 \leq Z \leq 15$
- Flags só possuem sentido explícito nas operações de adição e subtração.

Seleção	Operação	Descrição
000	RESET	Força zero
001	X MAIS Y	Adição
010	X MENOS Y	Subtração
011	X AND Y	And bit a bit
100	X OR Y	Or bit a bit
101	X XOR Y	Xor bit a bit
110	NOT X	Not bit a bit
111	PRESET	Força um





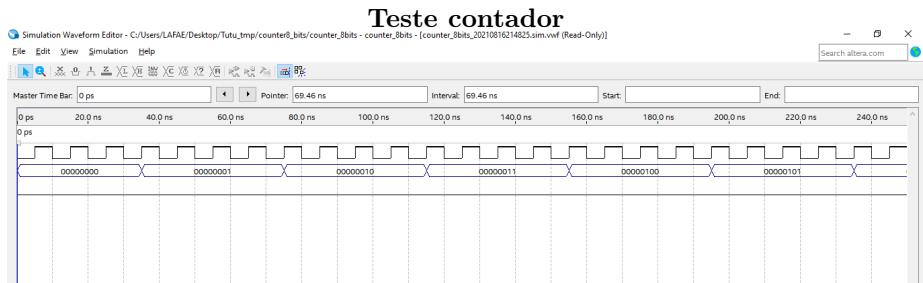
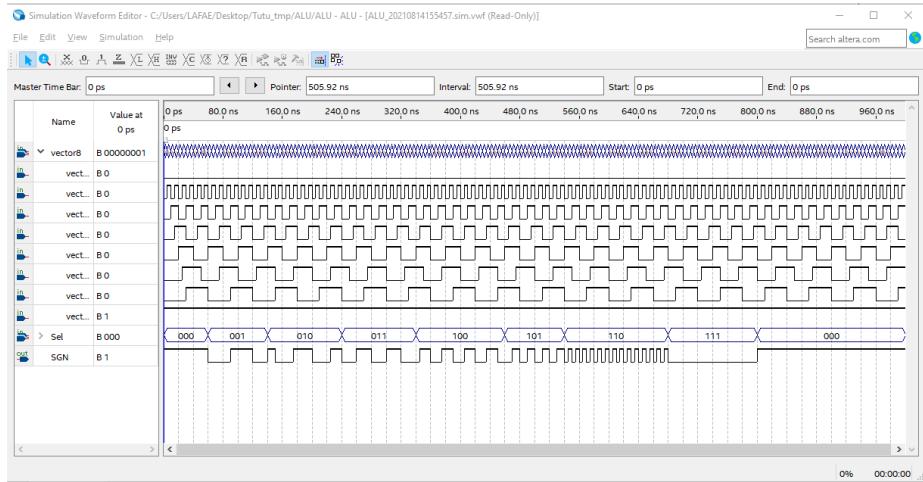
Modularização em VHDL / Hierarquia dos arquivos

```

ALU_testbench.vhd
|
|_counter_8bits.vhd
|_hex_to_display.vhd
|_ALU.vhd
  |
  |_fullAdder.vhd
  |_addSub4bits.vhd
  |_and4bits.vhd
  |_or4bits.vhd
  |_xor4bits.vhd
  |_not4bits.vhd
  |_mux_8_to_1.vhd

```

Teste multiplexador

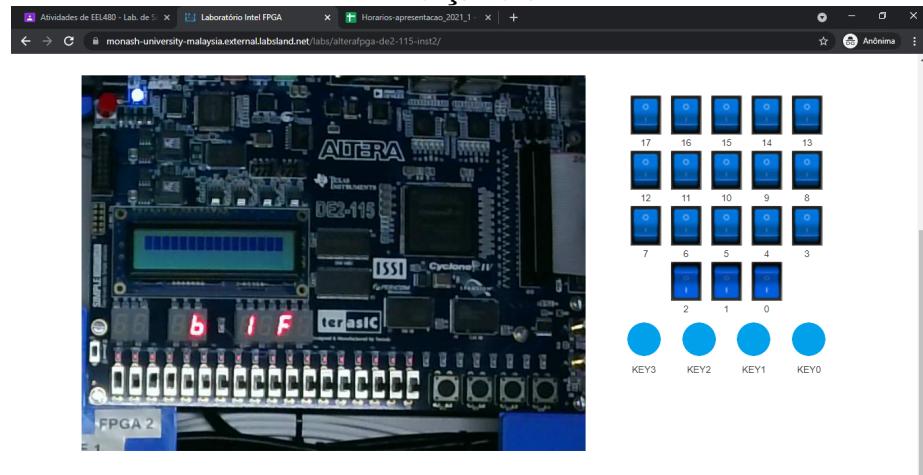


3 Referências bibliográficas

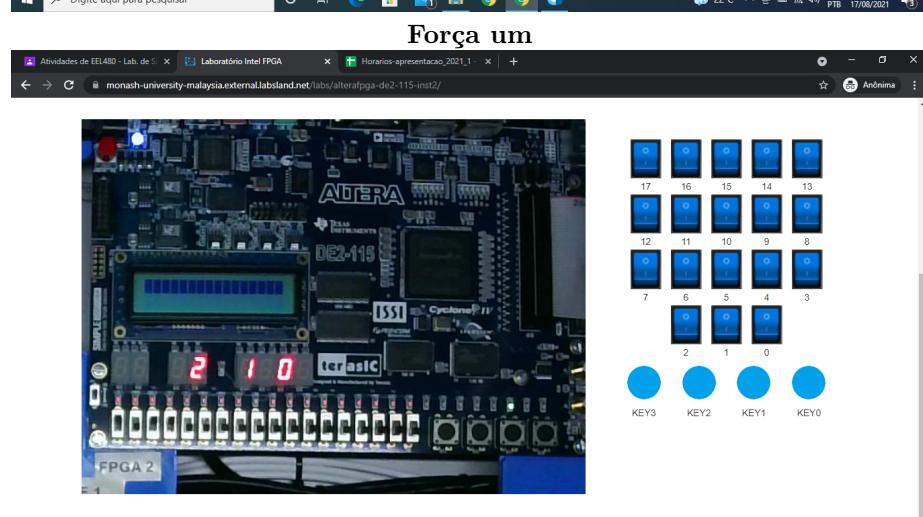
4 Conclusão

5 Snapshots do funcionamento no LABSLAND

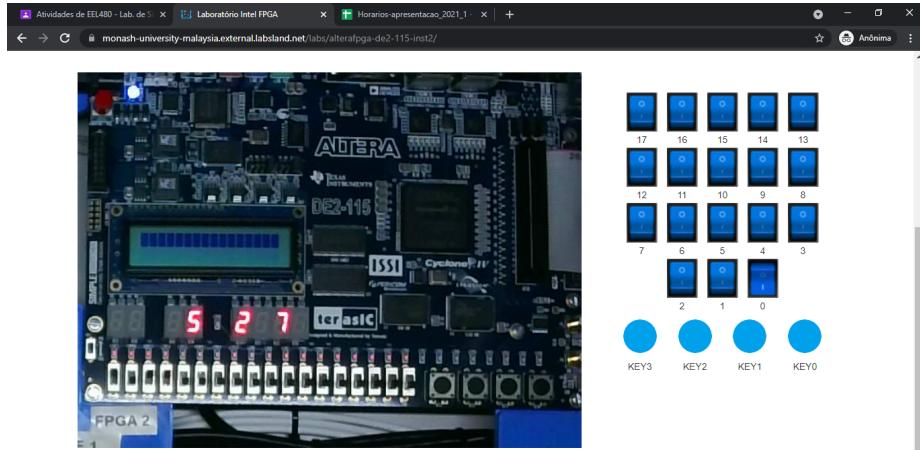
Força zero



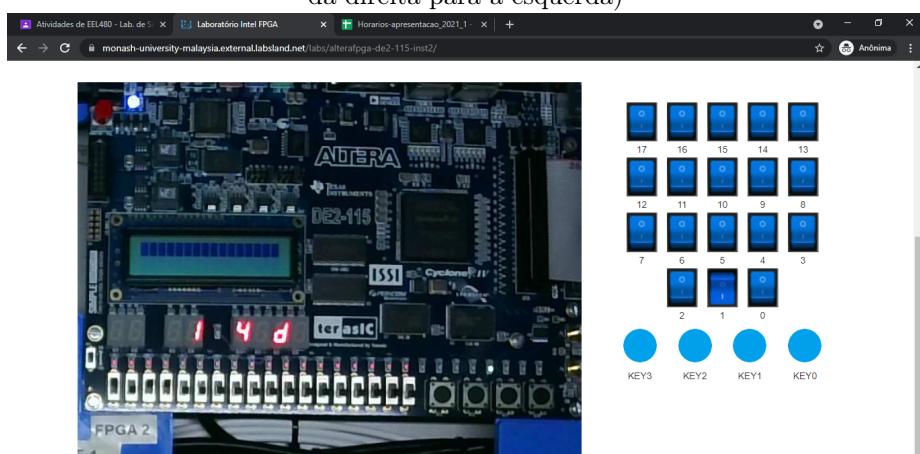
Força um



Soma: $5 + 2 = 7$



Subtração: $1 - 4 = d \text{ (-3)}$ | Note a flag de negativo acessa (4 led partindo da direita para a esquerda)



6 Referências bibliográficas