

doi: 10.3969/j.issn.1671-7775.2011.06.014

基于演化硬件的道路限速标志识别方法

王 进, 康 雄

(重庆邮电大学 计算机科学与技术研究所, 重庆 400065)

摘要: 针对当前模式识别技术存在的学习和识别时间长、学习结果可读性差等缺点, 提出了一种新型识别方法. 首先对 4 类常见的道路限速标志图像进行定位与特征提取, 经预处理的特征向量作为系统训练集和测试集数据; 然后在 Xilinx Virtex xcv2000E FPGA 硬件平台上采用 VHDL 设计演化硬件识别系统, 完成对特征向量数据的学习与识别. 为提高演化硬件识别系统的学习速度和识别精度, 引入了增量演化和统计识别的思想, 并对不同参数设定下的演化硬件识别系统进行了性能对比分析. 结果表明: 基于演化硬件的道路限速标志识别方法对于不同条件下拍摄的 4 类限速标志, 可以获得 92.31% 的平均识别率, 识别时间达到 0.12 μ s. 所提出的方法是一种有效的道路限速标志识别手段.

关键词: 智能系统; 模式识别; 机器学习; 演化算法; FPGA

中图分类号: TP391.4 **文献标志码:** A **文章编号:** 1671-7775(2011)06-0689-06

Recognition method of road speed limit sign based on evolvable hardware

Wang Jin, Kang Xiong

(Institute of Computer Science and Technology, Chongqing University of Posts and Telecommunications, Chongqing 400065, China)

Abstract: In order to solve the limitations of traditional recognition methods with long time system learning and recognition, and poor readability of learning results, an evolvable hardware (EHW)-based road speed limit sign recognition method was proposed. Through the processes of location and feature extraction for the four kinds of normal traffic signs, the preprocessed feature vectors were employed as training and test dataset. The EHW-based recognition system was designed by VHDL and realized on a Xilinx Virtex xcv2000E. In order to improve the system learning speed and recognition accuracy, an incremental evolution strategy and a statistical recognition method were introduced. The performance of the EHW recognition system was analyzed and compared for various experimental settings. The results show that under different outdoor environments the average recognition rate and the recognition time of the proposed evolvable system are 92.31% and 0.12 μ s, respectively. The proposed scheme is an efficient tool for road limit sign recognition.

Key words: intelligent system; pattern recognition; machine learning; evolutionary algorithms; FPGA

道路标志能对交通起到控制作用, 提醒或者警告司机注意当前的路面状况. 交通标志识别 (traffic sign recognition, 简称 TSR) 是能对道路标志进行自动识别, 并且对司机提出警告信息的智能技术, 能有效地辅助

司机进行安全驾驶. 限速标志是一类最常见道路标志, 它们限制车辆的最高行驶速度. 限速标志自动识别技术的研究, 可以避免潜在事故, 提供司机没有注意到的道路信息, 减少交通事故的发生. 在道路标志的分类和

收稿日期: 2010-09-27

基金项目: 国家自然科学基金资助项目 (61075019); 重庆市自然科学基金资助项目 (2009BB2080); 教育部留学回国人员科研启动基金资助项目 (教外司留[2010]1174 号); 重庆邮电大学科研基金资助项目 (A2009-06)

作者简介: 王 进 (1979—), 男, 重庆人, 教授 (wangjin_liips@yahoo.com.cn), 主要从事演化硬件、模式识别、智能信息处理方面的研究.
康 雄 (1987—), 男, 湖北公安人, 硕士研究生 (kang789xiang@163.com), 主要从事演化硬件、智能交通方面的研究.

识别应用中,多种不同的模式识别技术如模板匹配^[1]、人工神经网络^[2]、支持向量机^[3]等方法已经被研究和应用,取得了较好的识别效果.但是这些识别方法也存在不足之处,如:学习速度慢;学习结果可读性差,不易分析等.基于演化硬件的模式识别技术以其学习速度快、数据处理能力强、演化结果电路易于分析等优点,非常适用于道路限速标志识别等应用.近年来,演化硬件模式识别技术已广泛应用于声纳谱识别^[4]、人脸识别^[5]、字符识别^[6]、挪威道路限速标记识别^[7]等领域.

文中拟提出一种基于内部演化硬件的道路限速标志识别方法.对采集的四类常见道路限速标志图像进行定位与特征向量提取,建立演化硬件模式识别模型,给出功能单元阵列及演化算法,完成识别系

统的FPGA实现,并对系统平均识别率、硬件代价、平均演化时间等性能指标进行对比分析,以验证演化硬件识别方法的有效性.

1 限速标志的定位与特征提取

文中所用的样本是一般道路上采集的限速标志图像.限速标志20,40,60,80是限速标志中最常见的4种,因此文中使用这4种标志作为实验样本.限速标志识别系统可分为3个部分:标志定位、特征提取、特征分类.

1.1 限速标志的定位

定位分为3步:颜色分割、边缘提取和 hough 找圆.图1显示了定位与提取的过程.

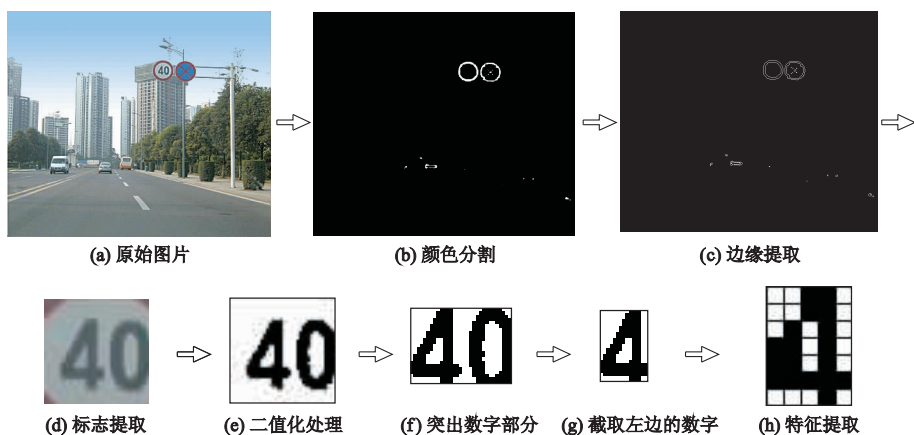


图1 标志定位与特征提取

Fig. 1 Sign location and feature extraction

颜色分割:根据像素是否为红色^[8]将红色像素置“1”,非红色像素置“0”(图1b).

边缘提取:文中采用 sobel 算子^[9]对黑白二值图像进行边缘提取(图1c).

hough 变换找圆^[10]:找圆算法在文献[10]已有详细描述,这里主要介绍如何滤除无用的圆:① 去掉重复的圆.任意2个圆如果满足如下关系则认为是一个圆,可以删掉其中一个:

$$|x_1 - x_2| < 3; |y_1 - y_2| < 3; |r_1 - r_2| < 3;$$

式中: $x_1, y_1, r_1, x_2, y_2, r_2$ 分别指第1,2个圆的圆心横坐标、纵坐标和半径.② 去掉其他圆形标志的干扰.如果圆圈内部红色像素的数量大于整个圆的像素个数的5%,则可认为该标志不是限速标志.通过该步骤,图1c中右边的标志被去掉.

hough 变换找圆结果中找到的圆心和半径对应限速标志的位置和大小.

1.2 限速标志的特征提取

根据 hough 找圆结果,在原始彩色图片(图1a)中截取圆的外接正方形所在部分,可以提取出标志,提取结果见图1d.

根据文献[11]中的特征提取方法,对截取的标志进行处理.首先进行二值化(图1e),然后根据黑色像素的边界提取出数字(图1f),最后去掉对分类没有影响的“0”(图1g).将最后留下的数字进行特征提取:将数字部分划分成 7×5 个小方块并初始化一个 7×5 向量,计算每个小方块内部白色像素的比例,如果该方块内白色像素的比例大于整幅图片中白色像素的比例,则对应的 7×5 向量位置标记为1(白色),否则标记为0(黑色)(图1h).

2 限速标志的分类

文中在作者前期演化硬件字符识别模型^[6]的

基础上,加入统计识别的思想,建立了一个内部演化硬件模式识别系统,对35位特征向量进行分类。

2.1 演化硬件模式识别模型

增量演化策略可以有效降低分类器电路演化设计的复杂度^[4]。文中也采用类似的增量演化策略设计演化硬件分类器模型。图2给出了可对4种限速标志进行分类的演化硬件识别器总体框架图。

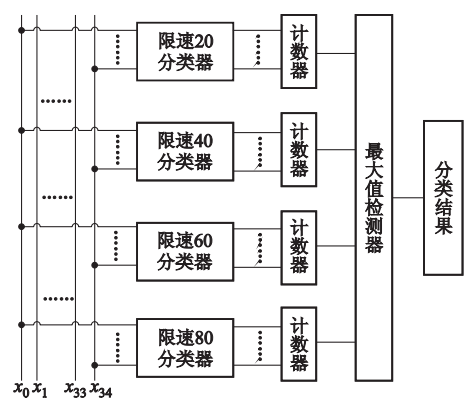


图2 演化识别器的总体框架
Fig. 2 High level view of evolvable recognizer

演化硬件识别系统的输入为35位预处理后的特征向量,输出为该向量的具体类别。整个系统由4个分类器、4个计数器和1个最大值检测器组成。每

个分类器对应1种限速标志。理想状态下,当系统输入为分类器对应类别时,其对应计数器输出为“n”(n为每个分类器所包含的功能单元阵列个数),否则输出为“0”。最大值检测器比较各计数器输出大小,并将输入特征向量归类为4个计数器中输出最大的计数器所对应的限速标志类别。

为了提高演化识别系统的识别率,文中引入了统计识别的思想^[4],每个限速标志分类器都由n个相同的功能单元阵列(简称单元阵列)构成。图3为限速20分类器的内部结构图。

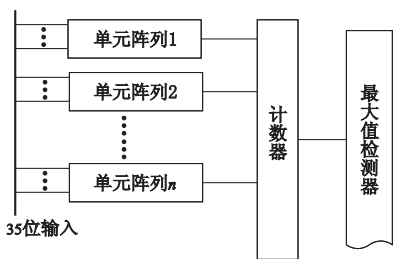


图3 限速20分类器的内部结构
Fig. 3 Internal structure of 20 speed limit sign classifier

2.2 功能单元阵列

图4为了功能单元阵列示意图。其输入为35位特征向量,输出表示该向量类别。

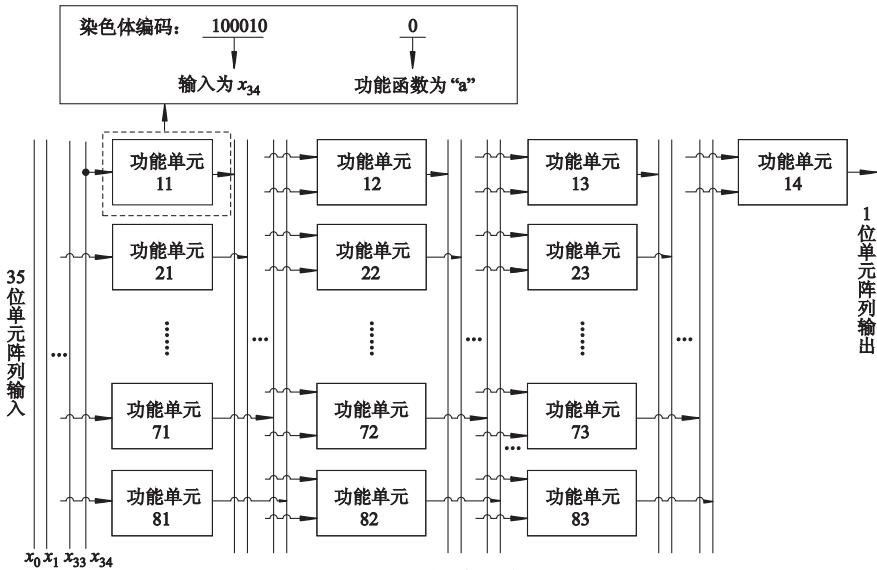


图4 功能单元阵列
Fig. 4 FE array

图4中每个单元阵列由8×4个功能单元构成(第4列只有1个功能单元)。对于第2,3,4列中的功能单元,每个单元有2个输入和1个输出;每个功能单元可选择执行8个功能函数中的1个(8个功能函数将在本文第4节详细说明);每个功能单元

的输入都可以和其前1列的功能单元任一输出进行连接。第1列的功能单元只有1个输入和1个输出并且仅能执行函数“a”、“not a”中的1个;其输入可选择连接功能单元阵列35位系统输入中任意1位。每个功能单元的输入连接和其执行的功能函数都由

染色体编码确定. 通过演化算法改变染色体, 可以改变功能单元阵列的内部连接和功能, 实现电路演化.

单元阵列的染色体编码规则: 对于第1列中的每个功能单元, 其输入从35位特征向量中选择, 因此需用6位染色体来确定功能单元的输入; 功能单元只能执行2种函数, 因此只需1位染色体确定其执行的功能(见图4), 共7位染色体. 对于2, 3, 4列的功能单元, 每个功能单元的2个输入需要3+3位染色体确定; 功能单元所执行的函数需要3位染色体确定, 共9位染色体. 因此, 对于 8×4 单元阵列, 其染色体长度为 $7 \times 8 + 9 \times 8 \times 2 + 9 = 209$ 位.

3 演化算法

文中每个功能单元的演化采用了 $1 + \lambda$ 演化策略^[6], $\lambda = 4$. 演化算法(evolutionary algorithm, 简称EA)运行流程为: ① 初始化一个大小为 λ 的种群; ② 计算种群中每个个体的适应值; ③ 根据适应值选出最优个体; ④ 判断是否满足演化终止条件, 若是, 则程序结束, 否则, 将最好的个体以一定的变异概率变异, 产生 λ 个变异体; ⑤ 将最优个体与 λ 个变异体组成新的包含 $1 + \lambda$ 个个体的种群, 程序转至步骤②.

在文中, 每个个体的适应值是通过对比单元阵列的实际输出和其对应的期待输出得到:

$$f = \sum_{j=0}^{k-1} (w_j \odot v_j), \quad (1)$$

式中: k 为用于训练功能单元的输入样本数目; w_j 和 v_j 分别为单元阵列输出和其对应的期待输出. 每个单元阵列输出和其对应的期待输出相等, 则适应值 f 增加1. 对于演化一个训练样本长度为64的FE阵列, 其最大个体适应值为 $64 \times 1 = 64$.

4 演化限速标志识别器的FPGA实现

为了在FPGA上实现限速标志演化硬件识别器, 文中采用了虚拟可重构结构(virtual reconfigurable architecture, 简称VRA)构建演化系统. 作为一种有效的内部演化硬件方法, VRA技术近年来已被广泛应用于演化图像滤波器^[6]、字符识别器^[6]、组合逻辑电路等应用领域^[12]. VRA结构的演化系统包括了1个Xilinx Virtex xcv2000E FPGA的Celoxica RC1000 PCI板卡被选为硬件试验平

台. 在Xilinx Virtex xcv2000E FPGA上实现的基于VRA的演化识别系统主要包含了: 控制界面、EA单元、适应值单元、 $4 \times n$ 个单元阵列.

控制界面主要用于和主机及板载SRAM通信以及控制FPGA上各个功能单元的运行过程. EA单元执行演化操作以产生配置位串(染色体)对功能单元阵列进行配置. 适应值单元通过将功能单元阵列的输出与系统期待输出进行对比, 计算个体适应值. 控制界面、EA单元、适应值单元的FPGA实现过程已在文献[6]中进行了详细描述.

对于演化硬件中 $4 \times n$ 个单元阵列, 文中在VRA上采用了逐个序列演化的方式进行演化. 每个 8×4 单元阵列有35位输入和1位输出. 对于第1列的功能单元, 每个功能单元的输入选择都是通过1个64选1多路选择器实现. 其中35位与系统输入相连, 其他29位直接置“0”. 对于第2, 3, 4列的功能单元, 如图5所示, 每个功能单元的2个输入选择通过2个8选1多路选择器实现. 第4列的功能单元输出对应于整个单元阵列中系统输出.

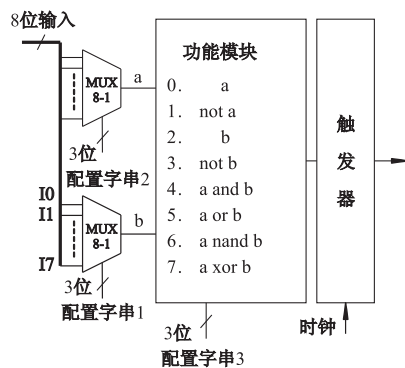


图5 功能单元的FPGA实现
Fig.5 FPGA implementation of FE

5 试验结果及讨论

道路限速标志识别器的演化是基于 $1 + \lambda$ 演化算法, 其变异比率为0.8%, 演化终止条件为: 预定义的16,777,216代演化代数耗尽或算法发现了期待的结果. 试验采用的样本为4种国内道路上常见的限速标志, 分别为限速标志20, 40, 60, 80, 共102张图片. 经过在Matlab上运行限速标志定位与特征提取程序, 12张图片由于天气、光照强度等原因导致限速标志无法有效定位而提取失败. 最终有90张图片完成了特征提取, 获得了90个试验样本. 随机

地选取其中 64 个样本作为训练集;另外 26 个样本作为独立的测试集. 样本具体数量见表 1.

表 1 训练集和测试集样本数量
Tab.1 Number of samples in training and test set

数据集	限速 20	限速 40	限速 60	限速 80	总计
训练集	12	24	20	8	64
测试集	7	7	7	5	26

文中使用 VHDL 语言设计基于 VRA 的演化道路限速标志系统. Xilinx ISE 6.3 工具对设计进行 Virtex xcv2000E FPGA 上的综合与实现. 表 2 给出了演化识别器在不同设定下的硬件实现代价 (FPGA CLB Slice 占用).

表 2 不同 FE 阵列设定下的试验结果
Tab.2 Experimental results under various FE array settings

单元阵列数量/个	平均识别率/%	硬件代价 /Slices	平均演化时间/s
1	89.43	3 739	0.64
2	91.35	5 259	1.26
4	92.31	8 299	2.27
8	92.31	14 379	4.94

根据 Xilinx ISE 6.3 给出的综合报告,演化系统在所有应用中都能以 99.059 MHz 的 FPGA 频率运行. 然而为了与 Celoxica RC1000 板卡上的 PCI 接口同步,所有演化系统的运行频率都被限制在了 33 MHz.

根据文献[6]的描述,标记 EA 演化代数 $ngen$,种群大小为 p ,训练集序列大小为 TRS ,FPGA 运行频率为 f_m ,则系统演化时间 T 为

$$T=t_{init}+\frac{ngen\times TRS\times p-1}{f_m}.$$

(2)

t_{init} 为单元阵列在流水线过程中产生第一个输出的时间(文中为 4 个 FPGA 时钟周期),即演化识别器可在 $4/(33\text{ MHz})=0.12\text{ }\mu\text{s}$ 内完成对第 1 个输入特征向量的识别处理,其后每 $0.03\text{ }\mu\text{s}$ 可识别一个特征向量.

为了说明统计识别对系统性能的影响,试验了 4 种不同识别系统方案:即每个限速信号分类器分别包含 1,2,4,8 个单元阵列. 在表 2 中,分别对比了不同试验设定下的系统平均识别率、硬件代价、平均演化时间. 各分类器在不同试验设定下的平均演化代数如图 6 所示.

所有的平均值都来自每个试验设定下 100 次 EA 独立运行的结果.

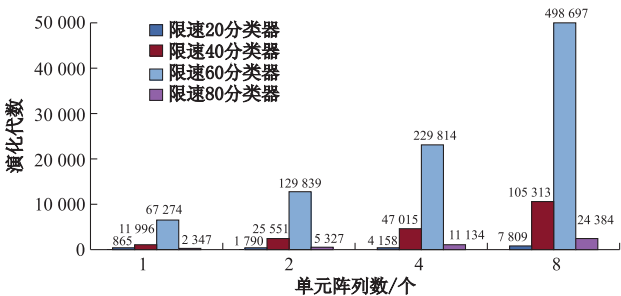


图 6 各分类器在不同单元阵列设定下的平均演化代数
Fig.6 Average number of generations under various FE array settings for each kind of classifier

从图 6 可以看出,各个分类器的演化难度有较大差异. 限速 40 和限速 60 分类器需要相对较多的演化代数进行演化,主要是由于限速 40 和限速 60 标志样本较多,样本间差异较大造成. 图 7 给出了每个限速信号分类器包含 1 个单元阵列设定下的一个限速标志识别器的演化结果.

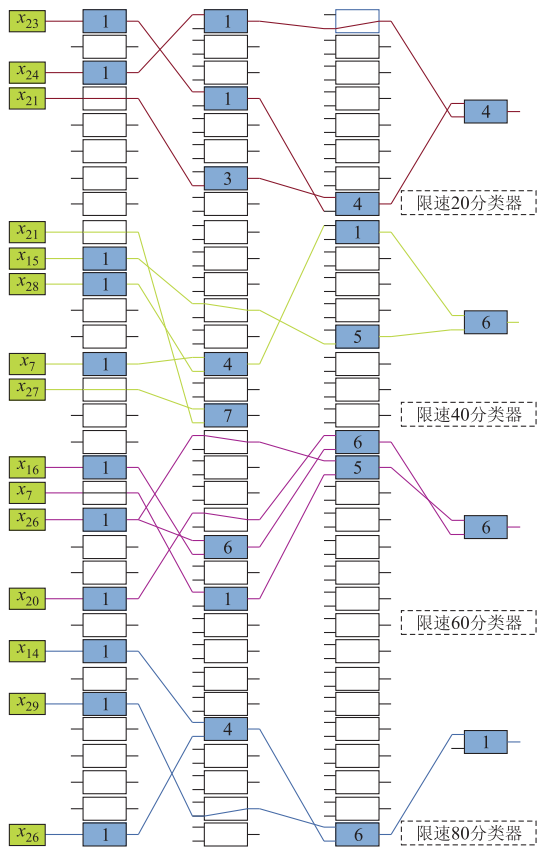


图 7 演化后的限速标志识别器
Fig.7 Evolved speed limit sign recognizer

图 7 中功能单元所执行的函数标号依据图 5 给出. 从以上结果可以看到,演化硬件用于道路限速标志识别取得了较好的效果,识别率达到了 92.31%. 另外使用统计识别的方法对识别率的提高也有帮

助,由表2可以看出,识别率随着单元阵列数量的增加而增大.不过当单元阵列数量达到4个以后,增加单元阵列对识别率的影响不是很明显,反而会增加系统的硬件开销和训练所需时间.

使用演化硬件进行道路标志识别不仅取得了较好的识别率,而且可以大大缩短系统演化时间和系统识别时间.试验中演化包含 $4 \times 8 = 32$ 个单元阵列的识别器的平均演化时间为4.94 s,而识别1个限速标志样本的时间小于等于 $0.12 \mu\text{s}$,远远低于其他现有模式识别技术,为实现一个高速实时的自适应限速标志识别系统奠定了基础.另外,由图7也可以看出,该系统演化出的结果电路为简单的组合逻辑电路,易于分析和实现.

6 结 论

1) 演化硬件可在5 s内完成对4类64个道路标志样本的学习,与其他模式识别方法相比具有较短的学习时间.

2) 演化后的结果电路为简单的组合逻辑电路,易于理解和分析.

3) 演化后的限速标志识别器可以在 $0.12 \mu\text{s}$ 内完成对35位输入向量的识别,并达到平均92.31%的识别精度.

4) 为了进一步提高识别率和学习速度,道路限速标志的定位和特征提取方法的改进,是今后的工作重点.

参考文献 (References)

- [1] Höferlin B, Zimmermann K. Towards reliable traffic sign recognition [C] // *Proceedings of 2009 IEEE Intelligent Vehicles Symposium*. Piscataway: IEEE, 2009: 324 – 329.
- [2] 初秀民,严新平,毛 喆.道路标志图案识别方法研究[J]. *汽车工程*, 2006, 28(11): 1051 – 1055.
Chu Xiumin, Yan Xinping, Mao Zhe. A study on traffic signs image recognition [J]. *Automotive Engineering*, 2006, 28(11): 1051 – 1055. (in Chinese)
- [3] Maldonado-Bascón S, Lafuente-Arroyo S, Gil-Jiménez P, et al. Road-sign detection and recognition based on support vector machines[J]. *IEEE Transactions on Intelligent Transportation Systems*, 2007, 8(2): 264 – 278.
- [4] Glette K, Torresen J, Yasunaga M. An online EHW pattern recognition system applied to sonar spectrum classification [C] // *Proceedings of 7th International Conference on Evolvable Systems: From Biology to Hardware*. Heidelberg: Springer-Verlag, 2007: 1 – 12.
- [5] Glette K, Torresen J, Hovin M. Intermediate level FPGA reconfiguration for an online EHW pattern recognition system [C] // *Proceedings of 2009 NASA/ESA Conference on Adaptive Hardware and Systems*. Piscataway: IEEE Computer Society, 2009: 19 – 26.
- [6] Wang Jin, Chen Qiaosong, Lee C H. Design and implementation of a virtual reconfigurable architecture for different applications of intrinsic evolvable hardware [J]. *IET Computers and Digital Techniques*, 2008, 2(5): 386 – 400.
- [7] Torresen J, Bakke J W, Sekanina L. Recognizing speed limit sign numbers by evolvable hardware [C] // *Proceeding of Parallel Problem Solving from Nature VIII*. Heidelberg: Springer-Verlag, 2004: 682 – 691.
- [8] Sekanina L, Torresen J. Detection of norwegian speed limit signs [C] // *Proceeding of 16th European Simulation Multiconference*. Delft: SCS Publication House, 2002: 337 – 340.
- [9] 柏春岚. Matlab 在图像边缘提取中的应用[J]. *科技信息*, 2009(14): 224 – 225.
Bai Chunlan. Application of Matlab in image edge withdraw [J]. *Science*, 2009(14): 224 – 225. (in Chinese)
- [10] 秦开怀,王海颖,郑辑涛.一种基于 Hough 变换的圆和矩形的快速检测方法[J]. *中国图象图形学报*, 2010, 15(1): 109 – 115.
Qin Kaihuai, Wang Haiying, Zheng Jitao. A unified approach based on hough transform for quick detection of circles and rectangles [J]. *Journal of Image and Graphics*, 2010, 15(1): 109 – 115. (in Chinese)
- [11] Torresen J, Bakke J W, Sekanina L. Efficient recognition of speed limit signs [C] // *Proceeding of 7th International IEEE Conference on Intelligent Transportation Systems*. Piscataway: IEEE, 2004: 652 – 656.
- [12] Wang Jin, Lee Chong Ho. Evolutionary design of combinational logic circuits using VRA processor [J]. *IECE Electronics Express*, 2009, 6(3): 141 – 147.

(责任编辑 梁家峰)