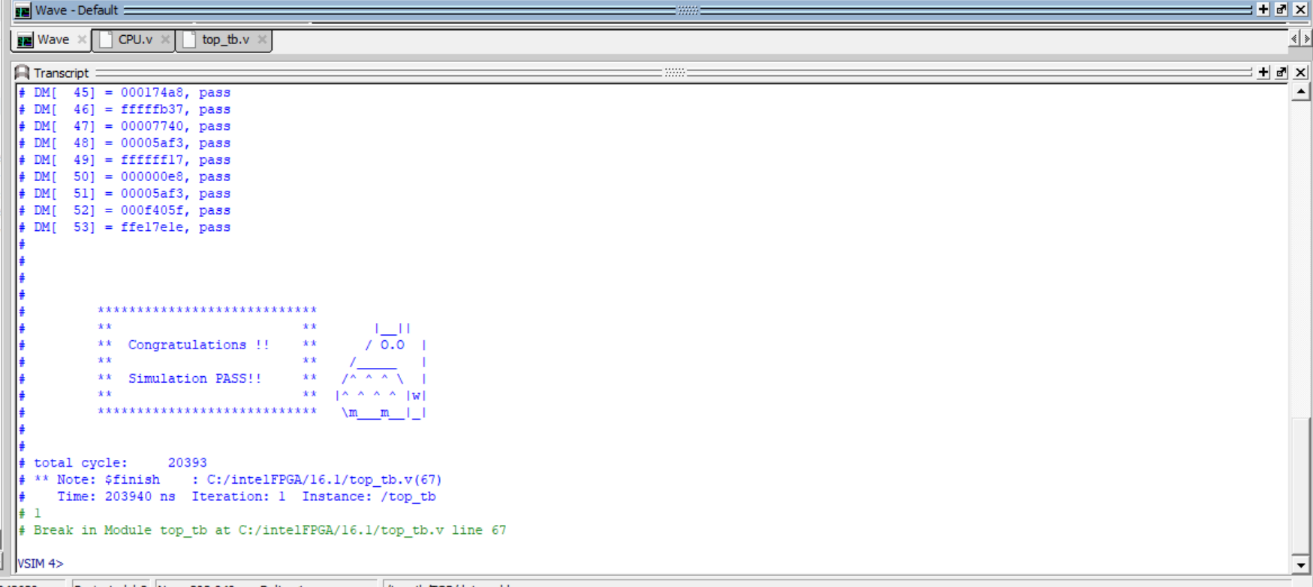
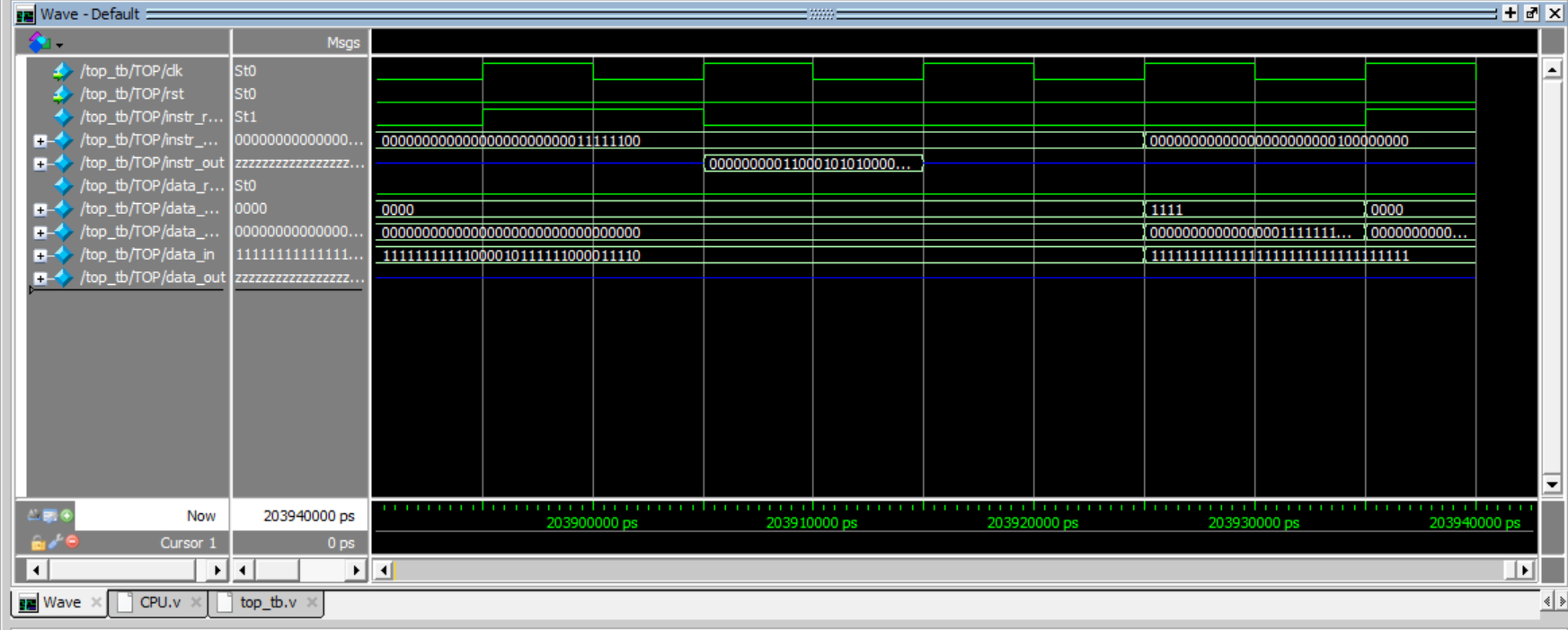
**Computer Organization 2019**

**HOMEWORK 4**

系級: 資訊系112 學號: F74084119 姓名: 邱華苓

**實驗結果圖:**

(波形圖及模擬完成截圖)

****

**程式運作流程:**

(簡單說明波形變化的意義)

當rst==0時，將所有值初始為0

將狀態分為五個部分，第一先將每個type的imm附值，接著進到下一個狀態實作ALU即data read，第三個狀態將值寫回暫存器。其中有兩個狀態為等待，因為拿指令需要delay一個cycle，load系列還要再delay一次。

**心得**

(請寫下完成本次作業的心得、學到哪些東西、困難點的部分。)

除了對verilog還不是很熟悉所以搞語法的部分就花了很多時間以外，很多小細節如果沒有注意到就會debug很久。像是拿指令跟load系列要載delay一個cycle這邊就弄很久，還有判斷每個type的部分很容易把bit打錯，所以整個寫完之後發現錯了一堆指令，花了超多時間debug，但龍貓跑出來的時候還是蠻有成就感的。