

黄宇康

18162147876 ·
scuthyk@126.com ·

基本信息

项目	信息	项目	信息
性别	男	出生年月	1999.01
求职意向	编译（实习）	工作经验	0 年
工作地点	上海	学历	硕士

个人履历

- 硕士，华南理工大学，集成电路工程，2021.9~2024.6，密码学方向/硬件加速器
- 学士，合肥工业大学，微电子科学与工程，2017.9~2021.6

项目经历

- 基于Arm处理器的无线SoC设计**
语言及框架： Verilog HDL、Keil C、汇编 项目来源： 竞赛
使用指定射频前端模块开发，在FPGA上完成FM信号调制解调器，完成FM语音信号的解调、播放、录音，重新发送等功能。在项目中作为队长推进项目进度，完成基带信号处理IP的开发。
- 应用于组合优化问题的全连接退火伊辛机加速器**
语言及框架： Verilog HDL、Matlab 项目来源： 科研
适用于组合优化问题的新型架构，构建高效、资源节约导向的10k-spin全数字伊辛机。独立完成并参与后续工作。
- 基于环上多项式的负卷积乘法器设计**
语言及框架： Verilog HDL 项目来源： 科研
基于整数数论变换完成硬件环上多项式乘法，适用于全同态加密方案。独立完成并参与后续模块整合。

学术成就

- 2022全国大学生集成电路创新创业大赛二等奖
- 一作, A Fully-Connected and Area-Efficient Ising Model Annealing Accelerator for Combinatorial Optimization Problems,IEEE ICTA,2022.
- 四作, Fully-Connected Ising Model for Combinatorial Optimization Problems,IEEE ISCAS,2023.
- 四作, A Scalable Annealing Processing Architecture for Fully-Connected Ising Models,IEEE ISCAS,2023.

主修课程

★★★ 数字集成电路 ★★☆ 嵌入式系统 ★☆☆ 体系结构 ☆☆☆ gem5 ★☆☆ CUDA