

Pelotas, Rio Grande do Sul – Brasil. Universidade Federal de Pelotas - Centro de Desenvolvimento Tecnológico Ciência da Computação, disciplina de Técnicas Digitais.

MANUAL DA UNIDADE LÓGICA ARITMÉTICA EM VHDL

Mathaus Corrêa Huber, Eduardo Marques.

Docente: Leomar Jr.

1) Entradas:

Para selecionar os valores da entrada A, ative os switches do SW[0] ao SW[3].

A: vetor de 4 bits. A(3) = SW[3] A(2) = SW[2] A(1) = SW[1] A(0) = SW[0]

Para selecionar os valores da entrada B, ative os switches do SW[14] ao SW[17].

B: vetor de 4 bits. B(3) = SW[17]B(2) = SW[16]B(1) = SW[15] $\mathbf{B}(\mathbf{0}) = \mathbf{SW}[\mathbf{14}]$ Operacao: vetor de 3 bits. Operacao(2) = SW[10]Operacao(1) = SW[9]Operacao(0) = SW[8]escolha_multiedivi: bit. "1" = Key[0] pressionado "0" = Key[0] desligado SAÍDA LED **OVERFLOW: LEDR[6]** SINAL: LEDR[7] ZERO: LEDR[8]

2) Selecionar Operações:

Para selecionar uma das operações, ative os switches do SW[8] ao SW[10].

```
"000" = Soma
"001" = Subtração
"010" = Inversor de A
"011" = Inversor de B
"100" = A or B
"101" = A and B
"110" = Divisão
"111" = Multiplicação
```