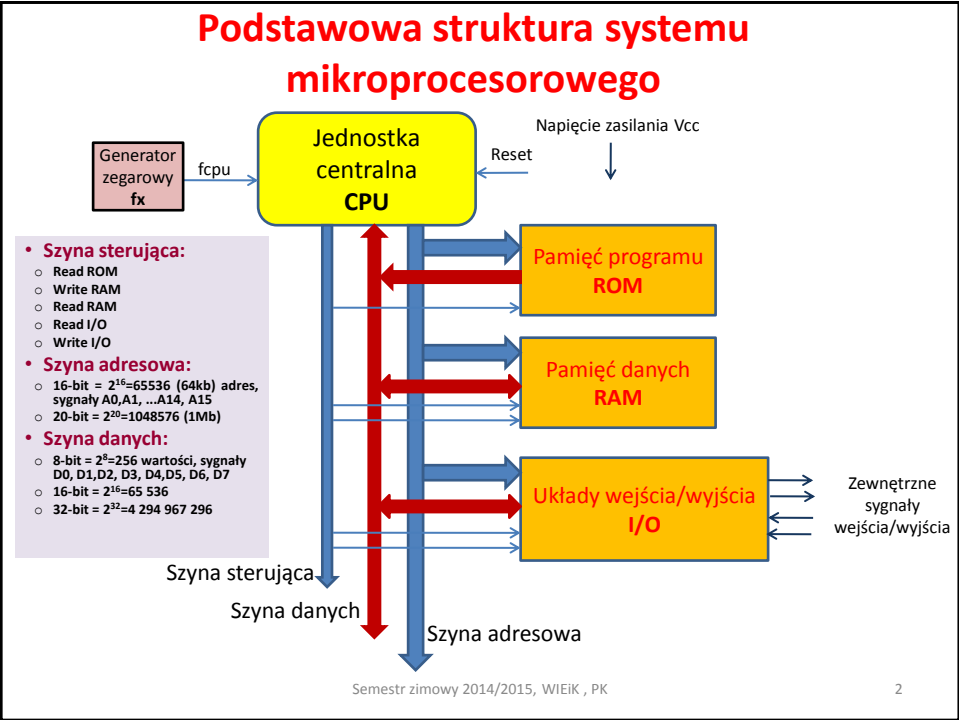


Podstawowa struktura systemu mikroprocesorowego



Pamięć programu - ROM

- **Pamięć programu** (*ang. program memory – ROM – Read Only Memory*) – pamięć do odczytu przeznaczona do przechowywania kodu programu. Pamięć nieulotna, po zaniku napięcia zasilania zawartość pozostaje.
- Podstawowe parametry pamięci ROM:
 - Pojemność (w kB i Ksłowach, 32kB, 256kB, 128k) i organizacja pamięci (8,12,14, 16, 24, 32-bitowa)
 - Czas odczytu (dziesiątki i setki ns), czas i sposób programowania (us i ms), napięcie programowania
 - Napięcie zasilania (2,7V, 3,3V 5V) i pobór prądu (mA)
 - Trwałość zapisu, ilość cykli programowania (kasowania/zapisu)

Rodzaje pamięć programu

- **ROM (*Read Only Memory*)** – programowanie zawartości pamięci następuje w procesie produkcyjnym i nie może być przeprowadzone przez użytkownika.
- **PROM (*Programmable ROM*)** – pamięci z możliwością jednokrotnego zaprogramowania przez użytkownika.
- **EPROM (*Erasable Programmable ROM*)** – pamięci z możliwością kasowania dotychczasowej zawartości promieniami ultrafioletowymi (253,7nm) i prowadzenia nowej zawartości za pomocą zewnętrznego programatora. Umieszczane są w obudowach z okienkiem kwarcowym w celu umożliwienia kasowania.
- **OTP (*One Time Programmable*)** – *pamięć* typu EPROM umieszczona w obudowie bez okienka kwarcowego. Dlatego możliwe jest tylko jednokrotne zaprogramowanie pamięci bez możliwości skasowania jej zawartości.
- **EEPROM (*Electrical Erasable Programmable ROM*)** – pamięci z możliwością elektrycznego kasowania zawartości i programowania bezpośrednio w systemie mikroprocesorowym
- **FLASH (*Bulk Erasable Non-Volatile Memory*)** – pamięć typu EEPROM z możliwością kasowania zawartości i programowania bezpośrednio w systemie mikroprocesorowym.
- **FRAM (*Ferroelectric Random Access Memory*)** jest rodzajem pamięci RAM, w której wykorzystano efekt ferroelektryczny do zapamiętywania bitów słowa danych. Szybki zapis i odczyt jak w RAM, duża trwałość i liczba cykli kasowania/zapisu.
- **MRAM** – rodzaj jest rodzajem pamięci nieulotnej RAM wykorzystującej tunelowy efekt magnetorezystancyjny.

Rodzaje pamięć programu

- W obecnych systemach mikroprocesorowych najczęściej stosuje się pamięć typu Flash i EEPROM.
- W mikrokontrolerach jako pamięć programu najczęściej stosuje się pamięć typu Flash.
- W mikrokontrolerach można już się spotykać z zastosowaniem pamięci FRAM, która pełni rolę pamięci programu ROM i pamięci danych RAM.

Semestr zimowy 2014/2015, WIEiK , PK

5

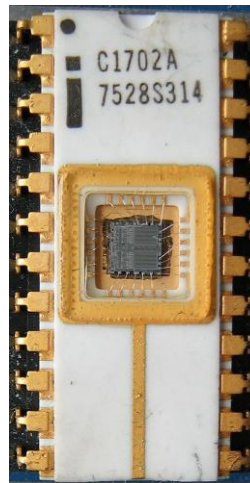
Pamięć typu EPROM



Fotografia pamięci EPROM.

Pamięć typu 27C256:

- technologia CMOS
- pojemność 256kbitów (32kBajtów)
- organizacja 8-bitowa
- czas odczytu 120ns



- Kasowanie promieniami ultrafioletowymi
- Programowanie elektryczne.
- Napięcie programowania, np. 12.5V

Semestr zimowy 2014/2015, WIEiK , PK

6

Pamięć danych - RAM

- **Pamięć danych RAM** (*ang. data memory- RAM - Random Access Memory*) – pamięć do zapisu i odczytu przeznaczona do przechowywania danych obliczanych przez jednostkę centralną.
- Podstawowe parametry pamięci RAM:
 - Pojemność (w kB 128kB, 256kB,) i organizacja pamięci (1,4,8,16,32-bitowa)
 - Czas dostępu (czas odczytu i zapisu dziesiątki ns)
 - Napięcie zasilania (2,7V, 3,3V 5V) i pobór prądu (mA)
 - Wymagany cykl odświeżania dla pamięci DRAM (ms)

Semestr zimowy 2014/2015, WIEiK , PK

7

Rodzaje pamięć danych

- **SRAM (*Static Random Access Memory*)** – pamięci RAM statyczne. Są to pamięci o krótkich czasach dostępu, prostsze w obsłudze przez jednostkę centralną, ale droższe. Elementem pamięciowym jest przerzutnik typu D.
- **DRAM (*Dynamic Random Access Memory*)** – pamięci RAM dynamiczne. Są to pamięci tańsze, ale ich obsługa przez jednostkę centralną jest bardziej skomplikowana. Polega to na konieczności wykonywania w krótkich odstępach czasu określonych operacji na pamięci (tzw. odświeżaniu). W przeciwnym razie dane zawarte w pamięci dynamicznej zanikają. Elementem pamięciowym jest kondensator.
- **FRAM (*Ferroelectric Random Access Memory*)** - jest rodzajem pamięci RAM, w której wykorzystano efekt ferroelektryczny do zapamiętywania bitów słowa danych. Oznacza to technologię wytwarzania nieulotnej pamięci RAM, czyli pamięci łączącej w sobie szybkość pracy RAM i trwałość ROM.
- **EEPROM (*Electrical Erasable Programmable ROM*)** – stosowana jako nieulotna pamięć danych z możliwością elektrycznego kasowania/programowania bezpośrednio w systemie mikroprocesorowym

Semestr zimowy 2014/2015, WIEiK , PK

8

Rodzaje pamięć danych

- W obecnych systemach mikroprocesorowych najczęściej stosuje się pamięć typu SRAM i DRAM.
- W komputerach klasy PC jako pamięć danych stosuje się wyłącznie pamięć typu DRAM
- W mikrokontrolerach jako wewnętrzną pamięć danych najczęściej stosuje się pamięć typu SRAM.
- W mikrokontrolerach jako wewnętrzną nieulotną pamięć danych, najczęściej stosuje się pamięć typu EEPROM.
- W mikrokontrolerach coraz częściej spotyka się zastosowanie pamięci FRAM, która pełni rolę pamięci programu i pamięci danych.

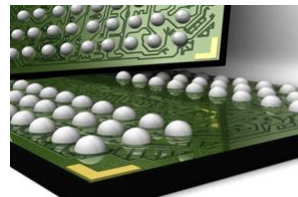
Semestr zimowy 2014/2015, WIEiK , PK

9

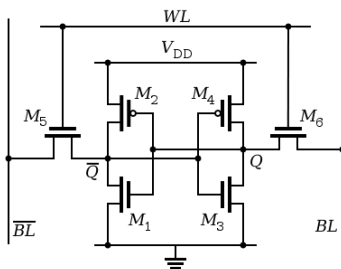
Pamięć danych - SRAM



Wygląd pamięci typu SRAM



Obudowa do montażu przewlekane i montażu powierzchniowego



Podstawowa komórka pamięci SRAM (1 bit)
w technologii CMOS,
6 tranzystorów tworzy przerzutnik

Semestr zimowy 2014/2015, WIEiK , PK

10

The diagram illustrates the internal structure of a DRAM. It features a grid of access transistors (each with a gate connected to a row address line, a source connected to a common source line, and a drain connected to a storage capacitor). The row address lines are labeled 'ROW ADDR. DEMUX: SELECTS ROW' with inputs 'a0' and 'a1'. The column address lines are labeled 'COL. ADDR. LATCH' with input 'a0'. The RAS line is labeled 'RAS' with inputs 'RAS L0 = 0' and 'RAS H0 = 1'. The data selector is labeled 'DATA SELECTOR (4 TO 1 MUX)' with inputs 'D.O. (DATA OUT)' and 'TRI STATE BUS'. The sense amplifier is labeled 'SENSE AMPLIFIER (COMPARATOR)' and the latch is labeled 'LATCH'. The output is labeled 'D.O. (DATA OUT)'.

**Uproszczony schemat
wewnętrzny pamięci
DRAM**

Semestr zimowy 2014/2015, WIEIK , PK

11

Pamięć DRAM3

The image shows a variety of DRAM modules. At the top left is a small SDRAM module. Below it are several DDR modules of different sizes. To the right is a large DDR3 module. At the bottom left is a DDR4 module. At the bottom right is a DDR1 module.

Moduł typu DDR3

**Wygląd pamięci typu DRAM i modułów
pamięci DRAM do komputerów typu PC**

Moduł typu DDR1

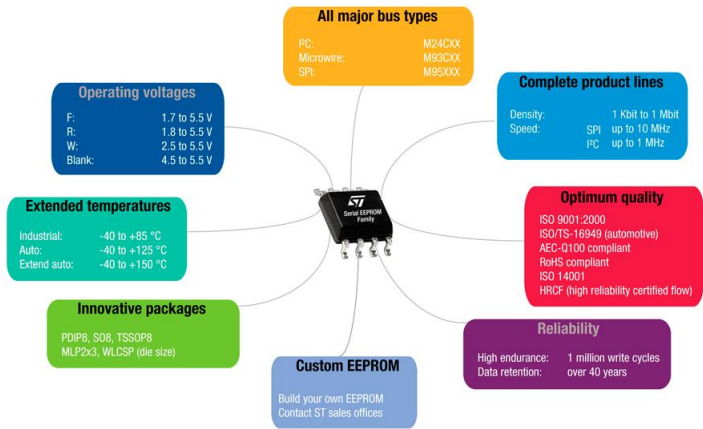
2014/2015, WIEIK , PK

12

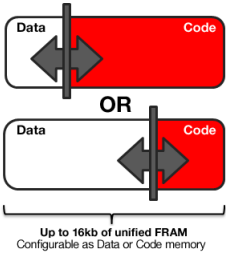
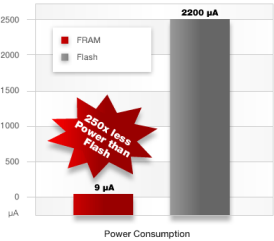
Nieulotna szeregową pamięć danych typu EEPROM



Pamięć o dostępie szeregowym w standardzie I2C, SPI, Microwire
Stosowana jako zewnętrzna nieulotna pamięć danych.



	FRAM	EEPROM	Flash
Time to write 64 bytes to memory	1.6 μ s	2,200 μ s	6,400 μ s
Time to read 64 bytes from memory	1.6 μ s	4.5 μ s	4.5 μ s
Number of write cycles	100 trillion	500,000	100,000
Voltage needed to write	1.5 V	10 to 14 V	10 to 14 V
Manufacturing cycle time	–	>3x	3x
Resistance to gamma radiation	Yes	No	No



PAMIĘĆ FRAM

Key Advantages

- Speed**—FRAM has fast access times – similar to DRAM. The actual write time is less than 50ns/word. This is ~1000x faster than EEPROM or Flash memory making universal memory reality.
- Low Power**—Accesses to the FRAM occur at lower voltages (1.5 V) requiring very little power. EEPROM writes accesses need 10 to 14 V requiring much more power. Lower power memory enables more functionality at faster transactions speeds.
- Data Reliability**—All the necessary power for FRAM is front-loaded at the beginning of data access eliminating "data-tearing." FRAM experiences 100 trillion read/write cycles or greater – *practically unlimited*.

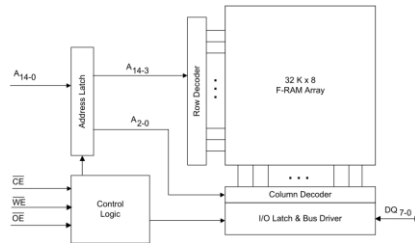
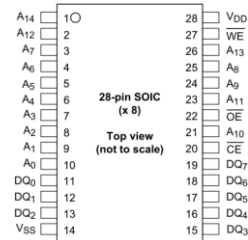
Materiały firmy Texas Instruments

http://www.ti.com/lids/ti/microcontroller/16-bit_msp430/fram/overview.page?DCMP=FRAM&HQS=fram

Pamięć FRAM o dostępie równoległym

FM28V020 - 256-Kbit (32 K × 8) F-RAM Memory,
firmy Cypress Perform

- 256-Kbit ferroelectric random access memory (F-RAM) logically organized as 32 K × 8
 - [High-endurance 100 trillion \(10¹⁴\) read/writes](#)
 - 151-year data retention
 - NoDelay™ writes
 - Page mode operation
 - Advanced high-reliability ferroelectric process
- SRAM compatible Industry-standard
 - 32 K × 8 SRAM pinout
 - [70-ns access time, 140-ns cycle time](#)
- Superior to battery-backed SRAM modules
 - No battery concerns
 - Monolithic reliability
 - True surface mount solution, no rework steps
 - Superior for moisture, shock, and vibration
 - Resistant to negative voltage undershoots
- Low power consumption
 - Active current 5 mA (typ)
 - Standby current 90 μA (typ)
- Low-voltage operation: VDD = 2.0V to 3.6V
- Industrial temperature: -40°C to +85°C



Semestr zimowy 2014/2015, WIEIK, PK

15

Układy wejścia-wyjścia – I/O

- **Układ wejścia-wyjścia** (*ang. input-output circuit, I/O*) – element systemu, służący do wymiany informacji między jednostką centralną a układami/urządzeniami zewnętrznymi.
- Urządzenia wejścia/wyjścia służą także do komunikacji z użytkownikiem
- **Podstawowe wewnętrzne układy wejścia/wyjścia mikrokontrolerów**
 - układy cyfrowe (logiczne) – porty równoległe, porty szeregowo-licznikowe,
 - układy analogowo-cyfrowe – komparatory analogowe, przetworniki A/C i C/A,
 - układy analogowe – wzmacniacze pomiarowe, źródła napięć odniesienia.
- **Zewnętrzne układy wejścia/wyjścia w systemie mikroprocesorowym**
 - Klawiatura, myszka komputerowa
 - Stacja dyskieta, dysk twardy, dysk SSD, czytnik CD-ROM, nagrywarka DVD, ..
 - Karta graficzna, monitor komputerowy
 - Drukarka igłowa, atramentowa, laserowa
 - Karta sieciowa Ethernet, karta sieciowa radiowa Wi-Fi, ..
 - karta dźwiękowa,
 - Zegar czasu rzeczywistego RTC,
 -

Semestr zimowy 2014/2015, WIEIK, PK

16

Rodzaje układów wejścia-wyjścia

- **Układy cyfrowe (logiczne)**
 - Równoległe porty wejścia/wyjścia, pogrupowane 4, 8, 16, 32-bitowe porty,
- **Szeregowe porty wejścia/wyjścia typu:**
 - UART, (*Universal Asynchronous Receiver-Transmitter*) ,
 - USART (*Universal Synchronous-Asynchronous Receiver-Transmitter*),
 - I2C (*inter-integrated circuit*), TWI (*Two Wire Interface*),
 - SCI (*Serial Communication Interface*),
 - SPI, (*Serial Peripheral Interface*), QSPI,
 - CAN (*Controller Area Network*),
 - LIN, (*Local Interconnect Network*)
 - USB, (*Universal Serial Bus*) ,
 - I2S (do zastosowań audio)
 - kontroler sieci Ethernet
 - moduły radiowe

Semestr zimowy 2014/2015, WIEiK , PK

17

Rodzaje układów wejścia-wyjścia

- Programowalne układy czasowo-licznikowe, 8 lub 16, 32-bitowe, liczniki z dzielnikiem wstępnym (*prescalerem*)
 - Modulatory PWM, (*Pulse Width Modulation*),
 - PCA – (*Programmable Counter Array*), matryce (macierz) liczników, liczniki typu CCU (*Compare Capture unit*),
 - Zegar czasu rzeczywistego RTC (*Real Time Clock*),
- Programowalne struktury logiczne PLD,
- Kontrolery do wyświetlaczy tekstowych, alfanumerycznych i graficznych.
- Kontrolery do paneli dotykowych,

Semestr zimowy 2014/2015, WIEiK , PK

18

Rodzaje układów wejścia-wyjścia

- **Układy analogowo-cyfrowe**
 - Analogowy system pomiarowy - multiplexer analogowy 4, 8, 12 wejściowy, przetwornik analogowo-cyfrowy 8, 10, 12, 16, 24 bitowe, mogą być dwa niezależne przetworniki A/C, przetworniki A/C 24-bitowe typu Delta –Sigma wraz programowalny filtrem cyfrowym,
 - przetwornik cyfrowo-analogowy 8, 10, 12-bitowy typu PWM lub klasyczny przetworniki C/A z wyjściem napięciowym, przetworniki Sigma –Delta, (Σ - Δ)
 - Jeden lub dwa komparatory analogowe, monitor napięcia zasilania MCU (komparator analogowy),
- **Układy analogowe**
 - Programowalny wzmacniacz operacyjny,
 - Programowalny wzmacniacz pomiarowy (PGA) dla przetwornika A/C z wejściem pojedynczym lub różnicowym,
 - Źródło napięcia odniesienia V_{ref} , źródło prądowe do zasilania czujników np. mostkowych (tensometrycznych)
 - Czujnik temperatury (pomiar spadku napięcia na diodzie)

Semestr zimowy 2014/2015, WIEiK , PK

19

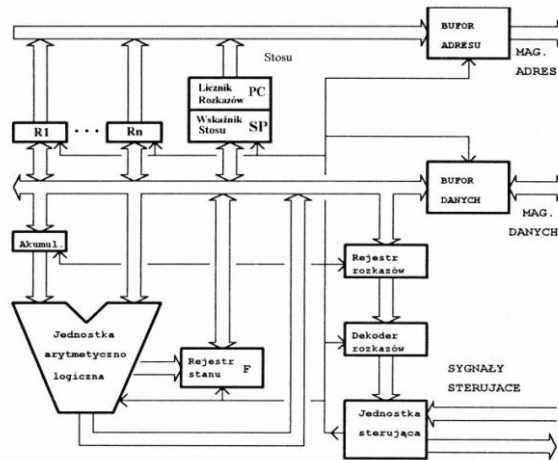
Jednostka centralna - CPU

- Działanie CPU polega na cyklicznym wykonaniu instrukcji zawartych w programie użytkownika przechowywanym w pamięci programu ROM. Lista instrukcji jest z góry określona dla danego układu mikroprocesorowego.
- Zakłada się, że **instrukcja składa się z kodu operacji nazywanego kodem rozkazowym lub w skrócie rozkazem i argumentu lub argumentów.**
- Cykl wykonania instrukcji rozpoczyna się zawsze od wczytania do wewnętrznych rejestrów CPU kolejnego rozkazu. Gdy niezbędne do wykonania operacji są argumenty, to zawarte są one lub informacja o ich miejscu przechowywania w dalszej części instrukcji.
- W kolejnej fazie następuje pobranie tych argumentów i umieszczenie ich w odpowiednich wewnętrznych rejestrach CPU. Po tym następuje wykonanie instrukcji. Jednocześnie jest inkrementowany **licznik rozkazów wskazujący adres spod którego pobierane są instrukcje.**

Semestr zimowy 2014/2015, WIEiK , PK

20

Jednostka centralna - CPU



Przykładowy schemat blokowy jednostki centralnej

Semestr zimowy 2014/2015, WIEiK , PK

21

Architektura systemów mikroprocesorowych – mapa pamięci

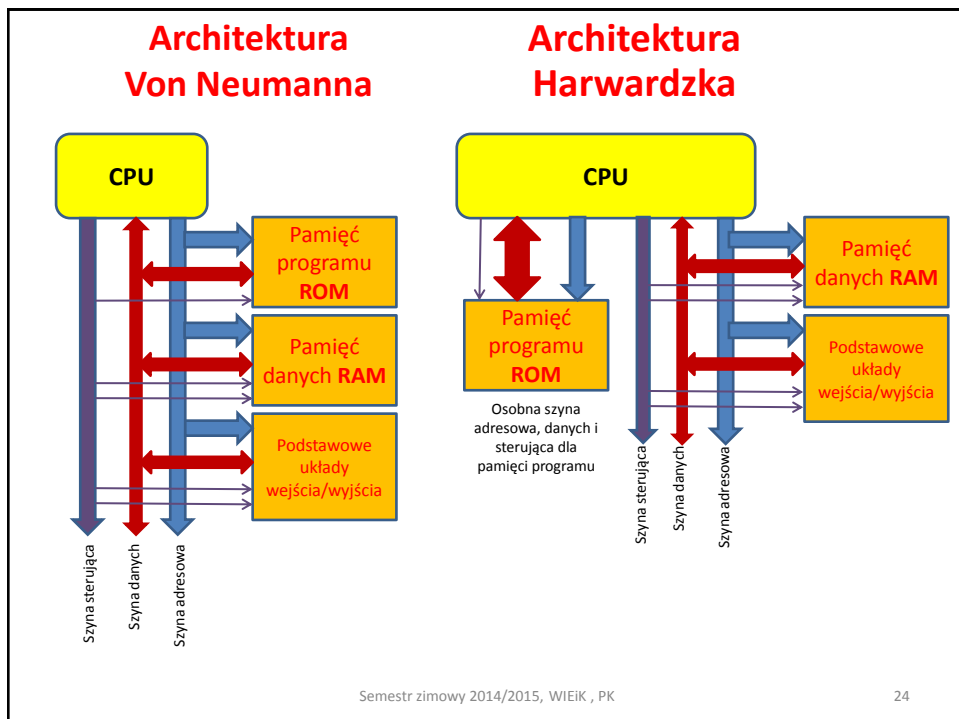
- Mapa pamięci (*memory map*) w sposób graficzny przedstawia rozmieszczenie poszczególnych pamięci w przestrzeni adresowej CPU. Oprócz adresów obszarów RAM, ROM i innych rodzajów pamięci, mapa ta podaje usytuowanie rejestrów uniwersalnych, adresów procedur obsługi przerwań, rejestrów układów we/wy (dostępne przez adresowanie pamięci RAM).
- W zależności od typu struktury mapy pamięci, procesory rdzeniowe mogą mieć następującą architekturę:
 - architekturę harwardzką,
 - zmodyfikowaną architekturę harwardzką,
 - architekturę Von-Neumanna.

Semestr zimowy 2014/2015, WIEiK , PK

22

Architektura mikrokontrolerów
podział ze względu na umieszczenie pamięci ROM,
pamięci RAM i układów I/O (mapa pamięci)

- **Architektura Von-Neumanna**
- **Architektura Harvard**
- **Zmodyfikowana architektura harwardzka**
- **Architektura DSP**



Architektura Von-Neumanna

- Architektura przedstawiona po raz pierwszy w 1945 roku przez Johna von Neumanna stworzona wspólnie z Johnem W. Mauchly'ym i Johnem Presper Eckertem.
- **Architektura Von-Neumanna cechuje się jednolitą przestrzenią adresową, w której** wszystkie pamięci, rejestry i układy we/wy są umieszczone w jednej, wspólnej przestrzeni adresowej.
- W architekturze tej zakłada się, że podział przestrzeni adresowej na pamięć programu, pamięć danych oraz obszar we/wy jest czysto umowny i zależy wyłącznie od rozmieszczenia tych elementów w obszarze adresowym podczas projektowania systemu. CPU ma jedną szynę danych wspólną dla danych i programu.
- Dzięki temu programowanie jest ułatwione, gdyż dostęp do danych, programu i urządzeń we/wy odbywa się przy użyciu zunifikowanych rozkazów wykorzystujących te same tryby adresowania. Zatem nie istnieje tu potrzeba wprowadzania specjalnych rozkazów pozwalających na przepływ danych pomiędzy pamięcią ROM i RAM. Do tego celu może być użyty typowy rozkaz adresowy. Tym samym tworzenie tablic stałych, tablicy wektorów, itp. w pamięci ROM nie stanowi problemu.

Semestr zimowy 2014/2015, WIEiK , PK

25

Architektura Harwardzka

- **Architektura harwardzka opiera się na użyciu dwóch oddzielnych szyn dla danych i rozkazów**, dzięki czemu w trakcie pobierania argumentów wykonywanej właśnie instrukcji można równocześnie zacząć pobieranie następnego słowa rozkazowego (*pre-fetch*). Skraca to cykl rozkazowy i zwiększa szybkość pracy. Obszary adresowe pamięci danych i programu (wewnętrznych i czasami zewnętrznych) są rozdzielone.
- Pociąga to za sobą niejednoznaczność adresów, ponieważ pod tym samym adresem CPU widzi pamięć RAM i ROM. W tym przypadku stosuje się inne rozkazy dla pamięci programu i inne dla pamięci danych. Ponadto magistrala danych i rozkazów mają **różną szerokość (długość słowa)**

Semestr zimowy 2014/2015, WIEiK , PK

26

Architektura Harwardzka

- Wadą tego rozwiązania jest utrudniony przepływ danych z pamięci programu do obszaru pamięci operacyjnej, co uniemożliwia stosowanie jednej z podstawowych technik programistycznych (*look-up tables*).
- *Innymi słowy nie jest możliwe indeksowane przesłanie* danych z pamięci ROM do RAM, co oznacza np. brak możliwości budowy tabel współczynników stałych w pamięci ROM

Semestr zimowy 2014/2015, WIEiK , PK

27

Zmodyfikowana architektura harwardzka

- **Zmodyfikowana architektura harwardzka jest rozwiązaniem pośrednim, starającym się połączyć zalety architektury harwardzkiej i Von-Neumanna.**
- Obszary pamięci ROM i RAM są rozdzielone, ale charakteryzują się **taką samą długością słowa**. **Dzięki multiplexerom** i odpowiedniej organizacji magistrali pamięci ROM i RAM możliwe jest z pewnymi ograniczeniami przesyłanie stałych z pamięci ROM do rejestrów i pamięci RAM.

Semestr zimowy 2014/2015, WIEiK , PK

28

Architektura systemów mikroprocesorowych podział ze względu na listę instrukcji

Kolejny podział architektur procesorów można uzyskać korzystając z kryterium typu listy instrukcji. Pozwala ono na wyróżnienie procesorów o:

- architekturze **RISC** (*reduced instruction set computer*),
- architekturze **CISC** (*complex instruction set computer*),

Semestr zimowy 2014/2015, WIEiK , PK

29

Architektura RISC (*Reduced Instruction Set Computer*)

Architektura RISC, czyli o zredukowanej liście instrukcji, odznacza się następującymi cechami:

- procesor jest zbudowany zgodnie z architekturą harwardzką,
- procesor wykorzystuje **przetwarzanie potokowe** (*pipeling*) w celu **zwiększenia szybkości** wykonywania programu,
- zbiór realizowanych instrukcji jest **ograniczony i spełnia warunki ortogonalności** (symetrii).

W przetwarzaniu potokowym CPU dysponuje pobranymi na zapas instrukcjami, które będą kierowane do współbieżnego wykonania w jej poszczególnych jednostkach wykonawczych. W procesorze tego typu zamiast prostego rejestru instrukcji stosuje się **pamięć FIFO** (*first-in first-out*), która gromadzi kolejkę instrukcji. Instrukcje pobierane z pamięci programu do kolejki w cyklu **pre-fetch** opuszczają ją w takiej samej kolejności i są kierowane do poszczególnych układów wykonawczych.

Klasyczna architektura RISC jest stosowana w mikrokontrolerach rzadko. Najczęściej można znaleźć elementy tej architektury, ale ortogonalność instrukcji nie jest pełna.

Semestr zimowy 2014/2015, WIEiK , PK

30

Architektura RISC (Reduced Instruction Set Computer)

Pojęcie ortogonalności oznacza unifikację instrukcji według następujących zasad:

- każda instrukcja może operować na **dowolnym rejestrze roboczym**. **Procesor nie ma** więc wyróżnionych rejestrów, które są specjalizowane do wykonywania określonych rodzajów operacji,
- każda instrukcja może wykorzystywać **dowolny tryb adresowania argumentów**, nie ma ukrytych związków między instrukcjami (efektów ubocznych), które powodowałyby nieprzewidziane reakcje systemu w zależności od kontekstu użycia rozkazów w programie,
- kody rozkazów i formaty instrukcji są **zunifikowane**. **W szczególności wszystkie** instrukcje zajmują w pamięci programu taką samą liczbę bajtów.
- Ortogonalność zbioru instrukcji radykalnie upraszcza budowę układu sterowania, który może realizować cykl wykonania każdego rozkazu według identycznego algorytmu. Stąd prostszy układ sterowania może pracować znacznie szybciej, dlatego cykl rozkazowy ulega skróceniu.

Semestr zimowy 2014/2015, WIEIK , PK

31

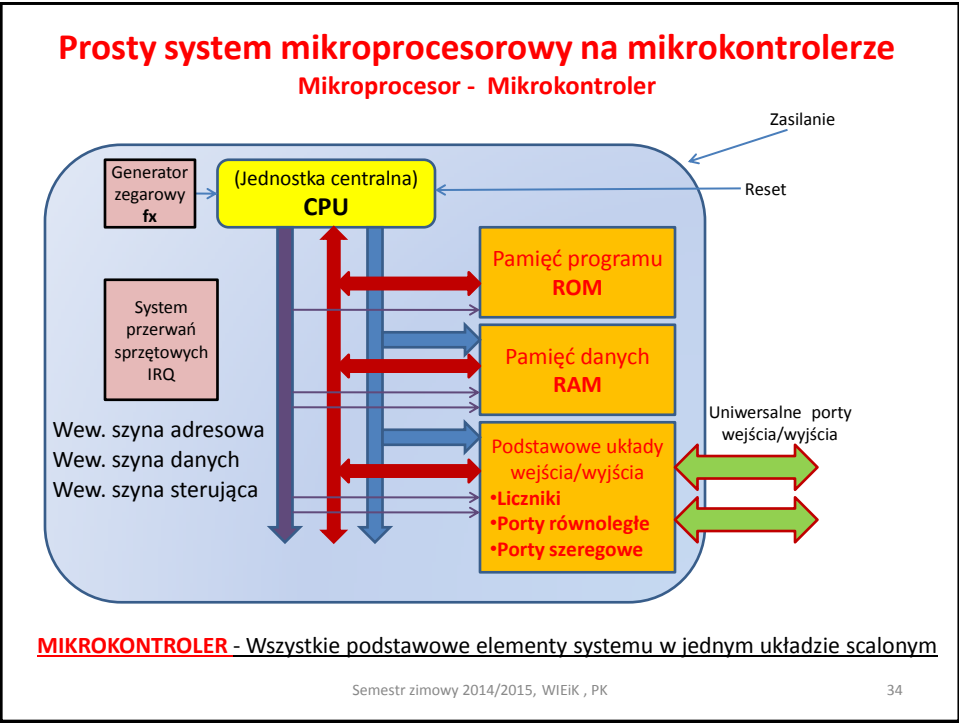
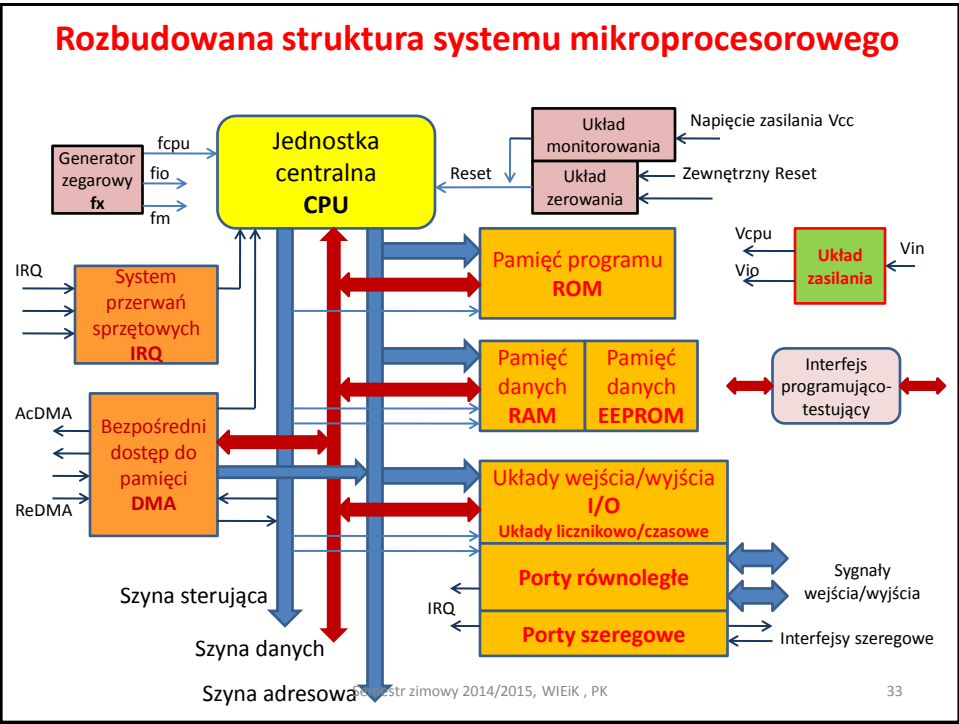
Architektura CISC (Complex Instruction Set Computer)

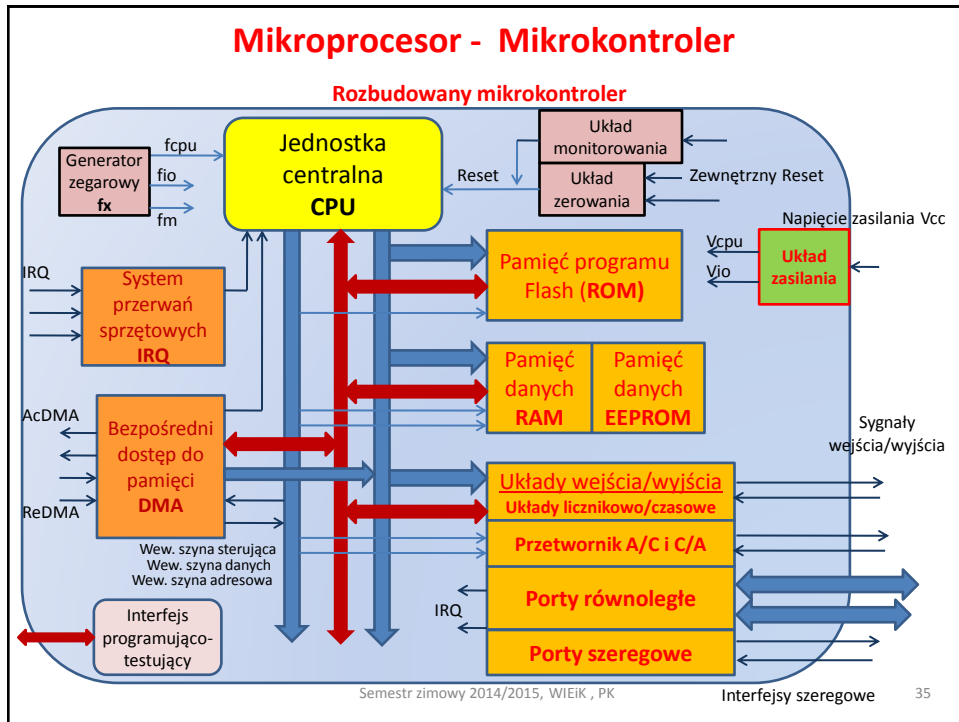
Architektura CISC charakteryzuje się:

- **rozbudowaną liczbą instrukcji (często powyżej 100)**. Przeciwstawia się ją architekturze RISC. Cecha ortogonalności nie jest zachowana.
- Instrukcje są wąsko specjalizowane, współpracują na ogół tylko z określonymi rejestrami i wymagają stosowania określonych trybów adresowania.

Semestr zimowy 2014/2015, WIEIK , PK

32





Pozostałe elementy funkcjonalne systemu mikroprocesorowego (mikrokontrolera)

- system dystrybucji sygnału zegarowego (generator PLL, dzielniki, prescalery),
- system przerwań sprzętowych,
- układ do bezpośredniego dostępu do pamięci DMA,
- dodatkowy moduł obliczeniowy o zwiększonej precyzji, dzielenia, mnożenia i przesuwania
- dodatkowy układ arytmetyczno-logiczny, ALU, np. typu MAC (mnożenie i dodawanie),
- akumulator o zwiększonej liczbie bitów (dokładności),
- system nadzorowania pracą mikrokontrolera, (kontrola napięcia zasilania, kontrola sygnału zegarowego - układy napięciowe i czasowe),
- układ do uruchamiania i testowania systemu mikroprocesorowego (debuger), interfejs JTAG,
- układ do programowania pamięci programu ROM, pamięci danych typu EEPROM, pamięci konfiguracyjnej, tryb programowania szeregowy w systemie lub równoległy,
- program ładujący tzw. bootloader do programowania

Pozostałe elementy funkcjonalne systemu mikroprocesorowego (mikrokontrolera)

- **Do układów nadzorujących (czuwających) nad pracą mikrokontrolerów zaliczamy:**
 - Licznik nadzorujący (czuwający) (watchdog timer). Licznik czuwający może być programowalny lub o stałym podziale częstotliwości, może zliczać impulsy zegarowe lub mieć własny generator.
 - Generator czuwający (oscillator timer).
 - Układ detekcji awarii systemu, lub błędów obliczeń (dzielenie przez zero).
 - Układy monitorowania napięcia, LVD, (*Low Voltage Detector*), BOR (*Brown-out Reset*), POR (*Power on Reset*). Układy do monitorowania napięcia służą do sygnalizowania spadku napięcia zasilania mikrokontrolera poniżej wartości odniesienia. Ta funkcja może być realizowana przez wewnętrzne układy lub zewnętrzne układy.
- **Możemy wyróżnić następujące źródła sygnału zerującego (Resetu):**
 - reset po **włączeniu zasilania**,
 - reset wywołany **zewnętrznym sygnałem RESET**,
 - reset **programowy** wywołany przez **ustawienie odpowiedniego bitu**,
 - reset wywołany przez **układ watchdog**,
 - reset wywołany przez **układy nadzorujące** poprawność pracy MCU (np. od układu wykrywającego spadek napięcia zasilania LVD , BOR, POR).

Semestr zimowy 2014/2015, WIEIK , PK

37

Pozostałe elementy funkcjonalne systemu mikroprocesorowego (mikrokontrolera)

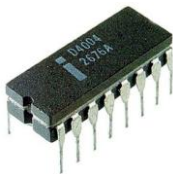
- **System dystrybucji sygnału zegarowego składa się z:**
 - układu generatora sygnału zegarowego (oscylatora),
 - multiplexera do wyboru sygnału zegarowego,
 - dzielników częstotliwości sygnału zegarowego do taktowania poszczególnych fragmentów mikrokontrolera, (CPU, RAM, EEPROM), elementów układu wejścia/wyjścia (przetwornika A/C, liczników), układu zerowania.
- **Typy generatorów sygnału zegarowego:**
 - wewnętrzny układ generatora z dołączanym zewnętrznym rezonatorem kwarcowym lub rezonatorem ceramicznym, (stała częstotliwość pracy),
 - wewnętrzny układ generatora typu PLL z dołączanym zewnętrznym rezonatorem kwarcowym o częstotliwości np. 32,768KHz (możliwość ustalania częstotliwości pracy),
 - wewnętrzny układ generatora typu RC z dołączanymi zewnętrznymi elementami RC oraz prescalerami, (stała częstotliwość pracy, mała dokładność częstotliwości),
 - wewnętrzny układ generatora typu RC z możliwością ustawiania częstotliwości, (możliwość ustalania częstotliwości pracy, mała dokładność częstotliwości),
 - zewnętrzny sygnał zegarowy (możliwość synchronizacji pracy kilku układów)

Semestr zimowy 2014/2015, WIEIK , PK

38

Rozwój systemów mikroprocesorowych

- Ze względu na rozwój technologii do wytwarzania układów scalonych, od lat 70-tych następuje gwałtowny wzrost zastosowania systemów mikroprocesorowych w urządzeniach wojskowych, przemysłowych a następnie w urządzeniach powszechnego użytku.
- Tzw. komputery lub mikroprocesory stały się tak tanie i łatwo dostępne, że znajdują się lub na pewno będą stosowane w coraz większej liczbie urządzeń przemysłowych i powszechnego użytku.
- Zastosowanie systemów mikroprocesorowych powoduje że urządzenia mają więcej funkcji, są bardziej niezawodne, energooszczędne.



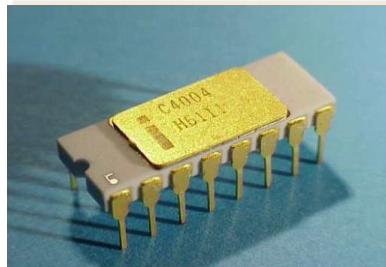
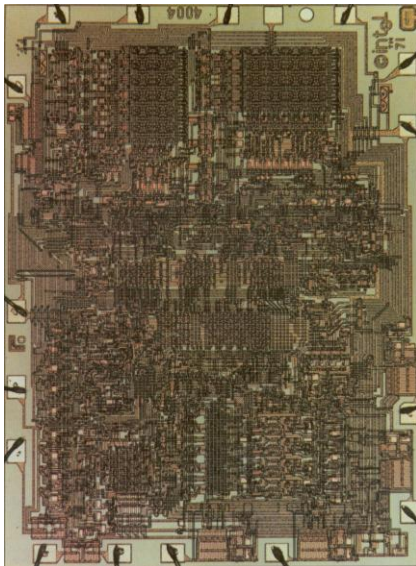
Pierwsze scalone układy mikroprocesorowe

- F14 CAD (F-14A Central Air Data Computer) wojskowy mikroprocesor dla myśliwca F-14 Tomcat, zaprojektowany przez Steve'a Gellera i Raya Holta, firma **Garrett AiResearch Corp**, rok 1970
- Intel 4004 pierwszy układ mikroprocesorowy, **Intel**, rok 1971
- TMS 1000 - jeden z pierwszych "jednoukładowy komputer", Texas Instruments, rok 1971

Semestr zimowy 2014/2015, WIEIK, PK

39

Intel 4004 pierwszy układ mikroprocesorowy, firmy Intel, rok 1971



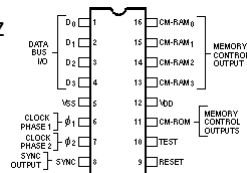
4-bitowy, 2300 tranzystorów (10μm)
zegar 108 kHz (0.06 MIPS)
Procesor realizujący funkcje programowalnego kalkulatora (powszechnie uznaje się za pierwszy na świecie mikroprocesor).

Semestr zimowy 2014/2015, WIEIK, PK

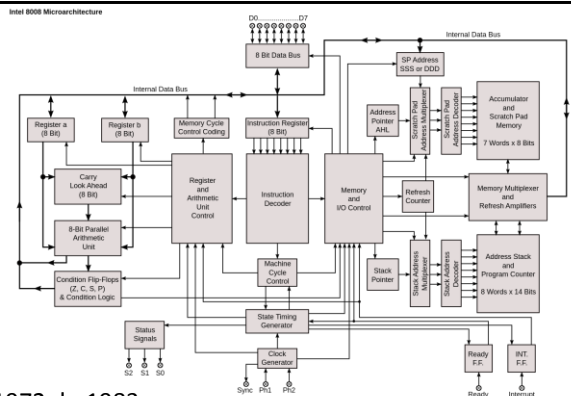
40



- data prezentacji 15.11.1971
- proces 10μm, P-channel silicon gate MOS technology
- 2,300 tranzystorów,
- szerokość szyny danych 4-bit,
- instrukcje 8-bitowe,
- obudowa 16-pin Ceramic DIP,
- częstotliwość taktowania 0.108MHz, później 0.74MHz
- pamięć fizyczna 640 bytes (RAM) i 4 KB (ROM),
- napięcie zasilania V core 15V ± 5%,
- min/max temperatura pracy 0 - 70°C,
- max moc wydzielana 0.45W/0.6W dla temp=25°C.



41



- 8-bitowy CPU,
- produkowany od połowy 1972 do 1983,
- max. częstotliwość taktowania CPU 0.2 MHz do 0.8 MHz,
- proces produkcyjny 10μm PMOS, 3500 tranzystorów,
- zestaw instrukcji 8008,
- zastosowania – terminale komputerowe, kalkulatory, roboty przemysłowe, proste komputery,
- obudowa 18 nóżkowa, typu DIP,
- C8008 to następca C4004, kolejny procesor Intel'a to 8-bitowy 8080 (1974)

42