

# Code

```
module lab2(X1,X2,X3,X4,SELECT,A,B,C )

input X1,X2,X3,X4,SELECT;
// Входные сигналы модуля
output A,B,C;
// Выходные сигналы модуля
wire X1,X2,X3,X4,SELECT,A,B,C;

wire h,j,d,e,f,l,x,z,y,w,u,v;

not GATE01(n_X1,X1);
not GATE02(n_X2,X2);
not GATE03(n_X3,X3);
not GATE04(n_X4,X4);

xor GATE05(f,X2,n_X1);
nand GATE06(j,n_X4,X2,X1);
or GATE07(A,f,j);

or GATE08(z,X1,X2);
and GATE09(x,n_X3,X4);
or GATE10(l,n_X3,n_X1,n_X2);
xor GATE11(B,l,z,x);

bufif1 GATE15 (C,B,SELECT);
bufif0 GATE16 (C,A,SELECT);

endmodule
```



