

LÓGICA DIGITAL (1001351)

EXPERIMENTO NR.11

Máquina de Estado Finito ¹

1 Instruções Gerais

- Grupos definidos no AVA, só incluir os nomes de quem efetivamente participou;
- Ler atentamente todo o procedimento desta experiência antes de realizá-la;

2 Objetivos da Prática

- Implementar um circuito sequencial síncrono como o da Figura 1.
 - Simulação inicialmente apenas da máquina de estados finitos;
 - Implementação do projeto no Kit de desenvolvimento FPGA.

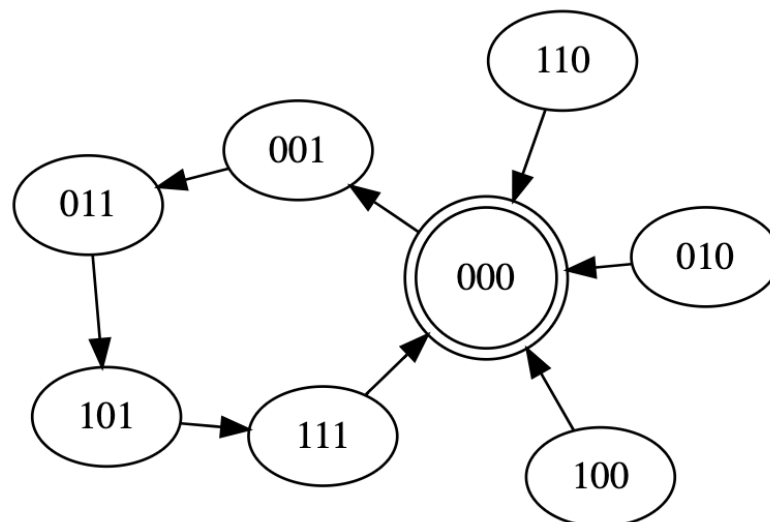


Figura 1: Máquina de Estados Finitos desejada

¹Revisão 4 de setembro de 2024: Prof. Mauricio Figueiredo e Prof. Ricardo Menotti.

- Detalhamento do funcionamento:
 - A máquina possui três bits de estado;
 - O estado atual é mostrado no display de 7 segmentos;
 - É possível carregar qualquer estado inicialmente, informando o valor em $SW[2:0]$ e pressionando $KEY[0]$ (aguardando o tempo necessário para o relógio de 1Hz completar o período);
 - A mudança de estado ocorre automaticamente a cada $\approx 1\text{Hz}$ na sequência indicada;
 - Caso $SW[3]$ seja acionada, a mudança passa a ocorrer na sequência contrária às setas (apenas no ciclo);

3 Procedimentos Experimentais

Para todo o laboratório, use um único arquivo Verilog para poder enviá-lo posteriormente (não é necessário enviar o arquivo de testes):

- 1) Crie um projeto com o código da máquina de estados, simulando seu comportamento em todas as transições (5 pontos);
- 2) Implemente o projeto na placa conforme solicitado (5 pontos).

Referências

- [1] <https://github.com/menotti/ld/tree/main/labs>
- [2] <https://github.com/menotti/fpga/tree/main/labs>
- [3] <https://www.terasic.com.tw/cgi-bin/page/archive.pl?Language=English&CategoryNo=163&No=921>
- [4] <https://digilent.com/reference/programmable-logic/zybo-z7/start>