

# LÓGICA DIGITAL (1001351)

## EXPERIMENTO NR.13

### Barramentos compartilhados: Fibonacci <sup>1</sup>

---

## 1 Instruções Gerais

- Grupos definidos no AVA, só incluir os nomes de quem efetivamente participou;
- Ler atentamente todo o procedimento desta experiência antes de realizá-la;

## 2 Objetivos da Prática

- Implementar um circuito sequencial síncrono para gerar a sequência de Fibonacci.
  - Simulação mostrando a sequência na console na base decimal (usar o conversor BCD fornecido);
  - Implementação do projeto no Kit de desenvolvimento FPGA.
- Detalhamento do funcionamento:
  - A sequência inicia automaticamente, mudando a cada  $\approx 1\text{Hz}$ , no início ou quando  $KEY[0]$  é pressionado, e reinicia no maior número de 2 dígitos (89).

## 3 Procedimentos Experimentais

Para todo o laboratório, use um único arquivo Verilog para poder enviá-lo posteriormente (não é necessário enviar o arquivo de testes):

- 1) Crie um projeto com o código, adapte sua saída para BCD [1] e simule (5 pontos);
- 2) Implemente o projeto na placa conforme solicitado (5 pontos).

## Referências

- [1] [https://en.wikipedia.org/wiki/Double\\_dabble](https://en.wikipedia.org/wiki/Double_dabble)

---

<sup>1</sup>Revisão 13 de setembro de 2024: Prof. Luciano Neris e Prof. Ricardo Menotti.