



TRABALLO FIN DE GRAO
GRAO EN ENXEÑARÍA INFORMÁTICA
MENCIÓN EN ENXEÑARÍA DE COMPUTADORES



Simulador de RISC-V empregando SystemC

Estudante: Hugo Mato Cancela

Dirección: Roberto Rodríguez Osorio

A Coruña, xuño de 2025.

Dedicatoria

Agradecementos

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Etiam lobortis facilisis sem. Nullam nec mi et neque pharetra sollicitudin. Praesent imperdiet mi nec ante. Donec ullamcorper, felis non sodales commodo, lectus velit ultrices augue, a dignissim nibh lectus placerat pede. Vivamus nunc nunc, molestie ut, ultricies vel, semper in, velit. Ut porttitor. Praesent in sapien. Lorem ipsum dolor sit amet, consectetur adipiscing elit. Duis fringilla tristique neque. Sed interdum libero ut metus. Pellentesque placerat. Nam rutrum augue a leo. Morbi sed elit sit amet ante lobortis sollicitudin. Praesent blandit blandit mauris. Praesent lectus tellus, aliquet aliquam, luctus a, egestas a, turpis. Mauris lacinia lorem sit amet ipsum. Nunc quis urna dictum turpis accumsan semper.

Resumo

RISC-V é unha nova arquitectura libre para procesadores programables. Está chamada a competir con outras arquitecturas máis establecidas como ARM en moitos ámbitos tecnolóxicos. Ademais de que as especificacións de RISC-V son abertas, a principal vantaxe desta arquitectura é que cubre desde as implementacións máis sinxelas para sistemas embarcados, ata as máis potentes para cálculo científico e multimedia. Todo isto é posible mediante a especificación de moitas das características máis avanzadas como extensións ás arquitecturas básicas.

A implementación dun procesador require previamente dun modelado e simulación que garantan que o funcionamento final vai ser o correcto.

Neste traballo, pártese dun modelo da versión básica RV32I realizada en SystemC. A única extensión implementada é a multiplicación para enteiros. O obxectivo desde proxecto é modelar e simular extensións adicionais ata chegar ao coñecido como nivel G.

Abstract

RISC-V is a new open-source architecture for programmable processors. It is destined to compete with more established architectures like ARM in a lot of technological fields. In addition to the fact that the RISC-V specifications are open, the main advantage of this architecture is that it spans from the simplest implementations for embedded systems to the most powerful ones for scientific computing and multimedia. All of this is possible through the specification of many of the most advanced features as extensions to the basic architectures.

The implementation of a processor requires a previous modeling and simulation that ensures that its final operation will be correct.

This work is based on a model of the basic RV32I implemented in SystemC. The only extension implemented is integer multiplication. The objective for this project is to model and simulate additional extensions up to what is known as the G level.

Palabras chave:

- RISC-V
- Simulador
- SystemC
- Extensións

Keywords:

- RISC-V
- Simulator
- SystemC
- Extensions

Índice Xeral

1	Introdución	1
1.1	Motivación	1
1.2	Obxectivos	1
1.3	Metodoloxía	2
1.3.1	Fases principais	2
1.4	Contida da memoria	3
2	RISC-V	4
3	Deseño do simulador	6
3.1	RTL	6
3.2	Pipeline de 5 etapas	6
3.3	Módulos do simulador	6
3.4	Modos de operación	7
3.5	Simulación de latencias	7
3.6	Sinais de hazard	8
4	Implementación	9
4.1	Decisións á hora de implementar	9
4.2	Instrucións implementadas	9
4.3	Implementacións dos pipelines	9
4.4	Ferramentas empregadas	10
4.4.1	Segger Embedded Studio for RISC-V	10
4.4.2	Visual Studio 2022	10
4.4.3	GTK Wave	10
4.4.4	Git	11
4.4.5	SystemC	11

5	Probas	13
5.1	Benchmarks	13
5.2	Tests propios	13
5.3	Depuración	14
6	Uso do simulador	15
7	Conclusións	16
7.1	Traballo futuro	16
A	Material adicional	18
	Relación de Acrónimos	20
	Glosario	21
	Bibliografía	22

Índice de Figuras

Índice de Táboas

4.1	Extensións e as instrucións implementadas	12
5.1	Benchmarks empregadas e con que fin	13

Introdución

ESTE proxecto busca crear un simulador de RISC-V empregando a librería SystemC en C++. Ao longo desta memoria describiranse as etapas de execución, as extensións e os distintos módulos, así como a motivación destes.

REVISAR PREGUNTAS DESPOIS DE GUIA TFG

1.1 Motivación

RISC-V apunta a ser unha das arquitecturas máis empregadas nun futuro, xa que é libre, permitindo aforrar o custo de licenzas. Grazas a que se pode modificar, engadindo ou eliminando funcionalidades, isto permite que abarque múltiples sectores, dende [chip](#) máis sinxelos orientados a IoT, ata competir con [Advanced RISC Machine \(ARM\)](#) en sistemas embebidos [1, 2]. Co nacemento da nova [Instruction Set Architecture \(ISA\)](#) debido á necesidade dun conxunto de instrucións máis sinxelo e sen custos por licenzas, nace a necesidade de crear un simulador adaptado tanto a esta [ISA](#) como á arquitectura RISC-V.

Durante o proceso de deseño, unha parte clave é a verificación do correcto funcionamento [3, 4]. Se ben é posible crear un chip con cada versión, na práctica, debido aos longos tempos e altos prezos, é inviable. Ahí é onde un simulador toma protagonismo, xa que permite probar de forma rápida, sinxela e barata os deseños creados.

1.2 Obxectivos

Os obxectivos deste proxecto son modelar e simular, usando SystemC, as seguintes extensións da arquitectura RV32I:

- multiplicación e división por números enteiros (extensión M).
- aritmética en punto flotante de simple (extensión F).

- operacións atómicas (extensión A).
- xestión de rexistros de control e estado (extensión Zicsr).
- sincronización de escritura de instrucións (extensión Zifencei).

O modelado será totalmente parametrizable, permitindo especificar a latencia das diferentes instrucións. Tamén permitirá especificar o número de canles de execución para as unidades de enteiros a punto flotante, e se estes están ou non totalmente segmentados.

Desta maneira, a simulación permitirá comparar o rendemento de, por exemplo, unha implementación na que multiplicador e divisor comparten circuítos, cunha na que ambos son independentes, e tamén comparar un divisor totalmente segmentado con un que non o sexa.

Os resultados do modelado e a simulación son dous: verificar o correcto funcionamento da arquitectura, e comprobar o seu rendemento.

1.3 Metodoloxía

O método de traballo será incremental, dividindo as tarefas en partes independentes que van ser implementadas, simuladas e verificadas por orde de complexidade antes de proceder co seguinte.

O procedemento habitual é unha reunión semanal na que se revisa o feito anteriormente, acompañado de comprobación cos tests correspondentes para esa parte. Despois, decídese cal é o seguinte paso, podendo ser a implementación dunha nova extensión ou modificar un módulo do simulador.

1.3.1 Fases principais

- Estudio da documentación existente sobre RISC-V.
- Familiarización coa implementación base de RV32I en SystemC.
- Modelado e simulación do multiplicador e divisor de enteiros.
- Modelado e simulación das extensións de punto flotante F e D.
- Modelado e simulación de extensións Zicsr e Zifencei.
- Empaquetamento do software.

1.4 Contida da memoria

Nesta sección describirase brevemente os capítulos desta memoria e o seu contido:

- **Capítulo 1: Introdución.** O primeiro capítulo inclúe unha descrición sobre o proxecto, cal foi a motivación deste, os obxectivos propostos para este traballo e a metodoloxía empregada.
- **Capítulo 2: RISC-V.** Aquí falarase sobre a arquitectura, explicando as súas características máis interesantes, as extensións e outros datos relevantes.
- **Capítulo 3: Deseño do simulador.** Neste capítulo tratarase os distintos módulos creados, o por qué e as decisións de deseño detrás destas.
- **Capítulo 4: Implementación.** Explicarase as ferramentas empregadas, como se aplicou a metodoloxía e o proceso de engadir as extensións.
- **Capítulo 5: Probas.** Neste quinto apartado detallase o procedemento para comprobar o correcto funcionamento do simulador, como se elaboraron os tests, unha breve explicación de como funcionan e os programas empregados para a depuración.
- **Capítulo 6: Uso do simulador.** Contén unhas breves indicacións de como empregar o software.
- **Capítulo 7: Conclusións.**
- **Apéndices.**
- **Bibliografía.**

Capítulo 2

RISC-V

Co paso do tempo, nacen novas arquitecturas buscando ofrecer algo innovador no mundo tecnolóxico. RISC-V é unha destas novidades, nacida en 2010 na Universidade de Berkeley [5], foi crescendo pouco a pouco, incluso con axuda de voluntarios fóra do ámbito académico. Os puntos fortes desta arquitectura son a súa aposta por unha [Instruction Set Architecture \(ISA\)](#) libre e modificable, permitindo eliminar ou engadir instrucións según cada caso. Ademais, non é necesario pagar licenzas, polo que o fai un bo candidato para ser empregado en dispositivos [Internet of Things \(IoT\)](#) [1]. Non se trata do primeiro proxecto deste tipo, pero sí dun dos máis relevantes.

Se ben xa existen [ISAs](#) moito máis populares e amplamente estendidas, como por exemplo a ARMv7 [6], si que existen varios motivos para crear un novo conxunto de instrucións. Un dos principais é que a maioría das xa existentes requiren de licencia para o seu uso. Ademais, é necesaria unha [ISA](#) máis sinxela de cara á implementación e a modificación. REV Debido a isto, nace a necesidade de crear un simulador adaptado tanto á esta [ISA](#) como á arquitectura RISC-V.

REESCRIBIR – Cada conxunto de instrucións que realizan funcionalidades similares ou relacionadas agrúpanse habitualmente en extensións. As máis básicas son fáciles de atopar en Internet REFES AQUI, xa que se empregan na inmensa maioría de deseños. Ademais, cada extensión traballa sobre unha base determinada, que determina algunhas das instrucións, a codificación, tamaño, rexistros.... Ademais, este deseño modular permite traballar con bases enteiras de 32, 64 e inclusive 128-bits. As máis típicas son: MELLOR TABOA??

- RV32I: Conxunto de instrucións de base enteira de 32-bits.
- RV32E: Conxunto de instrucións de base enteira (embebida, é dicir, con 16 rexistros) de 32-bits.
- RV64I: Conxunto de instrucións de base enteira de 64-bits.
- RV128I: Conxunto de instrucións de base enteira de 128-bits.

En canto as extensións:

- M: Extensión estándar para multiplicación de enteiros, divisións e resto.
- A: Extensión estándar para operación atómicas.
- F: Extensión estándar para punto flotante de precisión simple.
- D: Extensión estándar para punto flotante de precisión dobre.
- G: Abreviatura empregada para o conxunto de extensións "IMAFDZicsr_Zifencei".
- L: Extensión estándar para punto flotante decimal.
- P: Extensión estándar para instrucións de Packed-SIMD REV.
- Zicsr: Extensión estándar para a xestión de rexistros de control e estado ([Control, Status and Register \(CSR\) Instructions](#)).
- Zifencei: Extensión para instrucións para a sincronización de escritura de instrucións (Fetch e Fence).

Deseño do simulador

D^{ERRADEIRO}

3.1 RTL

Esta é O simulador funciona a [Register Transfer Level \(RTL\)](#), polo que se poden ver como se actualizan os datos no rexistros. Ademais,

3.2 Pipeline de 5 etapas

A división do pipeline comeza co nacemento dos primeiros ordenadores superescalares en REFES AQUI. A idea é aumentar o rendemento ao permitir que o procesador execute máis dunha instrución por ciclo. Para iso, divídese a execución en 5 etapas, habitualmente Fetch, Decode, Execute, Memory e Write Back.

En Fetch obténse a instrución de memoria. Durante Decode procésase a instrución obtida, analizando que tipo de operación se realizará, cales son os rexistros empregados, se hai algunha dependencia, etc. En Execute realízase a operación determinada, como pode ser un cálculo na [Arithmetic and Logical Unit \(ALU\)](#). En Memory, se é necesario, escríbese ou léese en memoria. Finalmente, en Write Back actualízanse os rexistros.

O procesador RISC-V emprega un pipeline deste tipo, polo que ao deseñar o simulador hai que ter en conta as 5 etapas. A aproximación realizada foi dividir cada etapa en un módulo do simulador, salvando Decod e Write Back que se uniron por comodidade.

3.3 Módulos do simulador

Os módulos principais, como se comentou no apartado anterior, son cada unha das 5 etapas, fusionando Decod e Write Back. No caso da etapa Execute, simplemente se creou unha [ALU](#), encargada de realizar operacións de suma, resta e outras operacións lóxicas. Ademais,

engadíronse varios módulos ao longo do proxecto. Para as operacións de multiplicación e división da extensión M, creouse un novo módulo. Separar estas funcionalidades permite organizar o traballo, ademais de simplificalo e facerlo máis sinxelo de depurar. Para a extensión F, de forma análoga, existe un compoñente encargado de realizar todas as operacións de punto flotante simple.

3.4 Modos de operación

Coa fin de mellorar a calidade da simulación, decidíuse engadir no módulo de multiplicación a posibilidade de elixir entre dous modos de funcionamento. O primeiro limita de forma que, se hai unha multiplicación executándose, non se pode realizar ningunha outra operación no módulo. Isto pretende semellarse a un caso real, no que, por limitacións físicas, se empregan os mesmos circuitos para ambas operacións. O segundo modo, permite que se executen todas as multiplicacións necesarias pero solo unha división ao mesmo tempo.

3.5 Simulación de latencias

Á hora de executar código, existen varios axustes que se poden cambiar para simular distintos comportamentos típicos de RISC-V. Pódese modificar a latencia das operacións do módulo de multiplicación, as cales son:

- MUL
- MULH
- MULHU
- MULHSU
- DIV
- DIVU
- REM
- REMU

Isto permite unha representación máis realista, xa que por defecto todas as instrucións no simulador teñen unha latencia dun ciclo. Sen embargo, na realidade, operacións máis complexas como as multiplicacións ou división levan varios ciclos.

3.6 Sinais de hazard

Como en sucede en moitas [arquitectura](#), a execución de instrucións moitas veces vese limitada por dependencias. Isto é, non se pode continuar co programa porque a seguinte instrución emprega algún rexistro que debe ser actualizado previamente, pero non esto aínda non sucedeu porque algunha instrución previa non acabou a súa execución. Para evitar esta situación, en moitos casos engádense burbullas, o que son ciclos nos que non se fai ningún traballo. O simulador replica este funcionamento, polo que para detectar estas dependencias emprega sinais de [hazard](#).

Chámase hazard a calquera perigo que poidese causar un risco [Read After Write \(RAW\)](#), [Write After Read \(WAR\)](#) ou [Write After Write \(WAW\)](#). Polo que para evitar un hazard, débese detectar unha dependencia con suficiente antelación. A nosa elixida neste caso foron empregar sinais nos módulos de punto-flotante, multiplicación e [ALU](#) conectados co módulo de decodificación. Se foi detectado unha dependencia, o sinal enviará un alertará ao módulo e este creará burbullas ata que non exista a dependencia.

Implementación

D^{ERRADEIRO}

4.1 Decisións á hora de implementar

Unha vez deseñado o proxecto, o seguinte paso é a implementación. Durante este proceso, buscaráanse aproximacións á problemas que non se enfretaron na etapa de deseño. Por exemplo, para a implementación da instrución Fence, da extensión Zifencei, introducíronse sinais no módulo Decod conectadas con todos os módulos. Grazas a isto, pódese saber se había algunha instrución executándose en algún módulo, o que permite retrasar a execución da seguinte instrución. Así, asegúrase que todas as instrucións acabaron, simulando a barreira.

4.2 Instrucións implementadas

Como se comentou no capítulo REFE AQUI, neste proxecto implementáronse todas as extensións ata a G. Isto inclúe as funcionalidades da base RV32I, extensión M, F, A, Zifencei, Zicsr. Implementáronse todas as instrucións destas extensións. A continuación unha lista das instrucións implementadas e a que extensión pertencen:

4.3 Implementacións dos pipelines

En todo o proxecto decidiuse empregar pipelines como unha solución práctica a varios dos problemas atopas. Un deles é simular a latencia de instrucións de multiplicación ou división no seu módulo. Para isto, creouse un array dentro do que as instrución avanzaban. O ciclos necesarios para salir do array son a latencia, e unha vez fóra as instrucións son procesadas. Adicionalmente, se nun ciclo a instrución que saliu é un **No Operation (NOP)**, búscase a anterior para que sexa executada.

REV

4.4 Ferramentas empregadas

Durante o proxecto emprégáronse 5 ferramentas: Segger, Visual Studio 2022, Git, GTK Wave e SystemC. A continuación unha breve explicación do seu funcionamento, alternativas dispoñibles e comparativas explicando o por qué desta elección.

4.4.1 Segger Embedded Studio for RISC-V

Segger Embedded Studio for RISC-V é un IDE que permite compilar para RISC-V, incluíndo obxectivos concretos como RV32, producir arquivos .elf e ver o código ensamblador. Foi principalmente empregado á hora de escribir código en C para [test](#) ou [benchmark](#). Ademais, o depurador permite ver código ensamblador coa direccións, polo que foi realmente útil á hora de encontrar bugs. Se ben existen alternativas populares, como CLion de JetBrains co Toolchain de RISC-V, Visual Studio Code ou Eclipse. No caso de CLion é de pago, polo que é un gran punto en contra. Se ben a universidade ofrece claves, sería necesario engadir o toolchain de RISC-V para poder compilar código para RISC-V, facendo o proceso máis complexo. Visual Studio Code tampouco inclúe ferramentas de base, polo que sería necesario buscar plugins e configurar todo para que sexa apto. Por último, Eclipse con un plugin podería ser apto. Se ben o proceso de instalación non é complexo, non inclúe obxectivos determinados. Ademais, estes IDEs non permiten depurar SystemC, solamente C++. Todo isto fai que Segger sexa a mellor alternativa xa que inclúe configuracións xa feitas, todas as ferramentas necesarias sen apenas configuración.

4.4.2 Visual Studio 2022

Á hora de traballar no simulador con C++, o IDE elixido foi Visual Studio 2022. Entre as características máis destacables están integración con Git, depuración con opcións avanzadas, bo funcionamento con GTK Wave e SystemC, ...Existen infinidades de alternativas, como se mencionou no apartado anterior, este foi o empregado por ser o máis empregado para este tipo de proxectos polo estudante. Ademais, xa fora empregado na asinatura de Codeseño [hardware/software](#) xunto SystemC.

4.4.3 GTK Wave

Para solventar algúns dos problemas máis complexos, como se mencionou no capítulo REFE AQUI, foi necesario empregar esta ferramenta. Este software permite, unha vez engadidas trazas no código, rexistrar os cambios de valor de sinais e variables para despois mostralo nun gráfico de ondas. Se ben non é moi popular, xa foi empregada nalgunha asinatura, polo que xa coñecela previamente foi imprescindible para elixila.

4.4.4 Git

Unha das ferramentas máis empregadas en todos os proxectos é Git. É un sistema de control de versións, polo que mediante repositorios crea un ficheiro onde se almacenan todos os cambios en distintos arquivos. Isto axuda a volver a versións anteriores en caso de erros nas modificacións máis recentes ou evitar perder o traballo en caso de fallo do equipo de traballo.

4.4.5 SystemC

Trátase dunha meta-linguaxe (unha librería e un conxunto de macros) creada en C++ empregada para Codeseño. Contén soporte para dataflow e permite engadir código en C++ sen problema, polo que se pode traballar con clases, facilitando un deseño modular. Ademais engade funcionalidades similares ás de Verilog ou VHDL. O que fai que sexa unha alternativa á estas dúas linguaxe é que permite misturar deseño RTL con código C++ para imprimir por pantalla ou leer arquivos. C tamén podería ser outra opción, sen embargo a falta de datos públicos e privados, non existe a mesma facilidade para organizar todo en módulos e hai poucos tipos de datos aptos e crealos implica empregar funcións sempre.

Nome da operación	Estado da implementación
<i>Add</i>	Implementada
<i>Sub</i>	Contido de celda
Esta fila ocupa ambas columnas	
<i>Título de fila</i>	Contido de celda
<i>Título de fila</i>	Contido de celda
<i>Título de fila</i>	Contido de celda
<i>Título de fila</i>	Contido de celda

Táboa 4.1: Extensións e as instrucións implementadas

Capítulo 5

Probas

UNHA parte imprescindible de calquera proxecto é o período de probas ou testing, durante o cal se busca atopar bugs e comprobar que o funcionamento é o esperado e correcto. Ao longo deste capítulo explicaránse os distintos exames aos que se someteu o simulador, o seu obxectivo, orixe e diferencias fundamentais.

5.1 Benchmarks

Unha vez implementada unha nova instrución, ou un pipeline é necesario comprobar que o funcionamento é o esperado. Para iso, empréganse diferentes métodos. Un deles son os benchmarks, diferentes probas que buscar crear casos habituais e incluso os máis edge cases. A fonte destes benchmarks son é o repositorio de RISC-V test [REFES AQUÍ]. Aquí existen diferentes programas orientados a probar determinadas funcións, como a multiplicación con SPMV. Os benchmarks empregados durante o traballo son os seguintes:

Nome do benchmark	Obxectivo
<i>SPMV</i>	Multiplicacións
<i>Título de fila</i>	Contido de celda

Táboa 5.1: Benchmarks empregadas e con que fin

5.2 Tests propios

Ademais de empregar os benchmarks, créronse varios exames buscando probar especificamente certas funcionalidades según fose necesario. O concepto básico foi imitar algún benchmark de instrución, coa mesma orixe ca os benchmarks REFES AQUÍ. Como se ve no apéndice REFE AQUÍ, consiste en empregar ASM REFE AQUÍ embebido para integrar a

instruccion no codigo resultante. Ademais, compróbase o resultado da operación gardando o que devolve e comparando co resultado esperado. Na súa maioría son bastante sinxelos e non proban moitos casos, sen embargo, tendo en conta determinados casos que poderían ser problemáticos, serven para determinar se unha instrución está ben implementada.

5.3 Depuración

Calquera software durante o proceso de desenvolvemento sofre varias revisións, tipicamente empregando o IDE. Este permite parar o programa en determinada instrución, imprimir o valor dunha variable antes e despois dun cambio, etc. Para este punto, tanto Segger e Visual Studio foron moi útiles, xa que proporcionan varias ferramentas perfectamente integradas.

Uso do simulador

NESTE capítulo explícase brevemente cómo empregar o simulador, explicando cómo xerar os arquivos .elf e empregar o simulador, así como interpretar o os resultados.

O primeiro paso é empregar Segger Embedded Studio for RISC-V, aquí escribírase o código C para o programa. Despois, modificar en Project -> Compiler -> Elixir a extensión correcta, por exemplo no caso de que se realicen multiplicacións, débese cambiar de RV32I (por defecto) a RV32IM. Unha vez feito isto, débese compilar con `->`. Agora na carpeta [] están varios arquivos, entre eles o executable con extensión .elf.

Conclusións

DERRADEIRO capítulo da memoria, onde se presentará a situación final do traballo, as conclusións aprendidas, a relación coas competencias da titulación en xeral e a mención en particular, posibles liñas futuras,...

7.1 Traballo futuro

Apéndices

Material adicional

EXEMPLO de capítulo con formato de apéndice, onde se pode incluír material adicional que non teña cabida no corpo principal do documento, suxeito á limitación de 80 páxinas establecida no regulamento de TFGs.

Exemplo de código de proba

```

1 #include <stdio.h>
2 #include <stdint.h>
3
4 // Función para emular la operación div en RISC-V
5 int32_t remu(int32_t a, int32_t b) {
6     int32_t result = 0;
7     asm volatile ("remu %0, %1, %2" : "=r"(result) : "r"(a),
8         "r"(b));
9     return result;
10 }
11
12 // Func de prueba
13 void TEST_REMU(int id, int32_t expected, int32_t a, int32_t b,
14     int32_t *res) {
15     int32_t result = remu(a, b);
16     if (result != expected) {
17         (*res)++;
18     }
19 }
20
21 int main(){
22     int res = 0;
23
24     TEST_REMU( 1,  2,  20,  6, &res );
25     TEST_REMU( 2,  2, -20,  6, &res );
26     TEST_REMU( 3, 20,  20, -6, &res );
27     TEST_REMU( 4, -20, -20, -6, &res );

```

```
26 |  
27 | TEST_REMU( 5,      0, -1<<31,  1, &res );  
28 | TEST_REMU( 6, -1<<31, -1<<31, -1, &res );  
29 |  
30 | return res;  
31 | }
```

Relación de Acrónimos

ALU Arithmetic and Logical Unit. [6](#), [8](#)

ARM Advanced RISC Machine. [1](#)

CSR Control, Status and Register. [5](#)

IoT Internet of Things. [4](#)

ISA Instruction Set Architecture. [1](#), [4](#)

NOP No Operation. [9](#)

RAW Read After Write. [8](#)

RTL Register Transfer Level. [6](#), [11](#)

VHDL VHSIC (Very High Speed Integrated Circuit) y HDL (Hardware Description Language). [11](#)

WAR Write After Read. [8](#)

WAW Write After Write. [8](#)

Glosario

arquitectura No contexto da informática, refírese ao conxunto de circuitos e outros compoñentes dos que se compón un sistema.–REV. [8](#)

benchmark Examen que se realiza coa fin de comprobar que un programa funciona sen erros e producindo a saída correcta.. [10](#)

chip . [1](#)

hardware . [10](#)

hazard Risco producido por unha dependencia RAW,WAR ou WAW. Pode chegar a causar erros na execución dun programa informático.. [8](#)

software Conxunto de compoñentes lóxicos que permiten realizar determinadas funcións nun equipo tecnolóxico.. [10](#)

test Proba mediante a cal se revisa que o funcionamento dun programa é o esperado. Tipicamente, busca simular casos reais de execución.. [10](#)

Bibliografía

- [1] P. Valerio, “Reshaping the Landscape of IoT with RISC-V,” consultado o 12 de xuño de 2025. [En liña]. Dispoñible en: <https://www.eetimes.com/reshaping-the-landscape-iot-with-risc-v/>
- [2] J. Pastor, “RISC-V necesitaba dar un paso de gigante para competir con ARM. Acaba de hacerlo gracias a Google,” consultado o 12 de xuño de 2025. [En liña]. Dispoñible en: <https://www.xataka.com/moviles/risc-v-necesitaba-dar-paso-gigante-para-competir-arm-acaba-hacerlo-gracias-a-google>
- [3] ChipVerify, “Introduction to verification,” consultado o 12 de xuño de 2025. [En liña]. Dispoñible en: <https://www.chipverify.com/tutorials/verification>
- [4] J. R. Scott, “RISC-V Designs,” consultado o 12 de xuño de 2025. [En liña]. Dispoñible en: <https://johnrscott.github.io/rvdocs/single-cycle/0.1.0/verification/verification.html>
- [5] Wikipedia, “RISC-V,” consultado o 12 de xuño de 2025. [En liña]. Dispoñible en: <https://es.wikipedia.org/wiki/RISC-V>
- [6] A. Waterman, “Design of the RISC-V Instruction Set Architecture,” Ph.D. dissertation, EECS Department, University of California, Berkeley, Jan 2016. [En liña]. Dispoñible en: <http://www2.eecs.berkeley.edu/Pubs/TechRpts/2016/EECS-2016-1.html>