

R818-LPDDR4 layout guide

1. LPDDR4 signal groups

Group	Signal Name	Description
Clock	DCK, DCKN	Differential clock
DQS/DQ/DM	DQS[0:3], DQS[0:3]N	Differential data strobes
	DQ[0:31]	Data bus
	DM[0:3]	Data mask
Address	DA[0:9]	Address bus
Control	DCKE[0:1]	Clock enable
	DCS[0:1]	Chip select(One per device rank)
	DODT	On-die termination enable
Power	DVREF	Reference voltage
	VCC-DRAM	Input/Output Supply voltage
	VDD18-DRAMPLL	PLL Supply voltage
Other	DZQ	Reference Pin for ZQ calibration

2. DQ/DM to DQS Mapping

DQ/DM Group	Associated Strobe
DQ[0:7], DM0	DQS0, DQS0N
DQ[8:15], DM1	DQS1, DQS1N
DQ[16:23], DM2	DQS2, DQS2N
DQ[24:31], DM3	DQS3, DQS3N

3. 单板叠层（可根据实际层叠调整）

Stackup Control Table										
Stackup Structure					Impedance Requirements				Layer definition	
Layer	Type	Thickness (mil)		Dk(with Sim Z0)	Impedance spec (Ohms)	Reference layer	Widthspace (mil)	Sim Z0(Ohms)	DDR	others
	solder mask	0.5	SM	4.25						
1	SIG1	1.6	0.3oz+plating	4	50±10%	2	4	52.18	Signal	Signal
					90±10%	2	4.5/7.5	90.03		
					100±10%	2	3.8/8.7	98.5		
	prepreg	2.9		4						
2	POWER	1.2	1.0oz	4.5					Power	GND
	core	27.0								
3	SIG2	1.2	1.0oz	4	50±10%	3	4	52.18	Signal	Power
					90±10%	3	4.5/7.5	90.03		
					100±10%	3	3.8/8.7	98.5		
	prepreg	2.9		4						
4	GND	1.6	0.3oz+plating	4.25					GND	Signal
	solder mask	0.5	SM							
	Board thickness	39.4								

4. 时钟信号拓扑结构及布线规则

4.1 拓扑结构

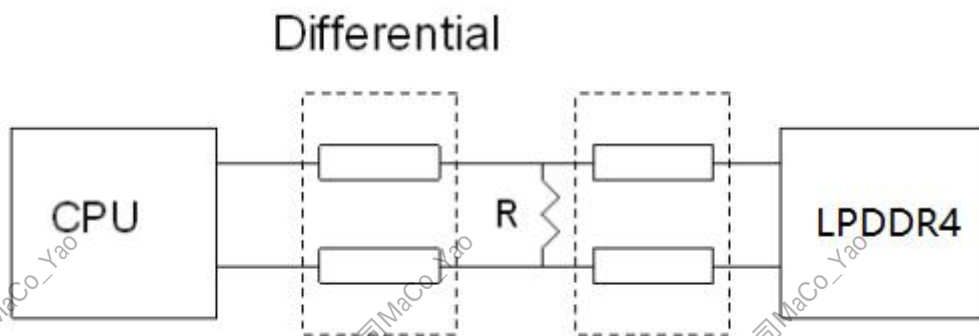


图 1：时钟信号的拓扑结构

4.2 布线规则

参数	布线规则	备注
传输线特征阻抗	100+/-10% ohm	
参考平面	Ground/VCC-DRAM	
差分线宽度/间距	3.8/8.7 mils (可根据实际层叠调整)	
时钟信号与 LPDDR4 其它信号间距	≥ 16 mils	
时钟信号与其它接口信号的间距	≥ 24 mils	
时钟信号与电源的间距	≥ 15 mils	
时钟信号与地的间距	≥ 10 mils	
差分线 P 与 N 的匹配长度	≤ 10 mils (绕等长方式见第 11 章附录内容)	
并联跨接电阻的位置	并联跨接电阻到 LPDDR4 颗粒的距离小于等于 300mils	
插入 GND 过孔	如果信号换层全部参考 GND 平面, 则在 P/N 信号换层过孔附近分别打一个 GND 过孔	
包地线处理	在 DQS 信号与 LPDDR4 其它信号之间进行包地线处理 (地线宽度为 4~16mils), 地线与信号线的间距为 10~16 mils, 地线过孔间距 200mils 以内。	
其它	避免跨分割	

5. 地址信号拓扑结构及布线规则

5.1 拓扑结构

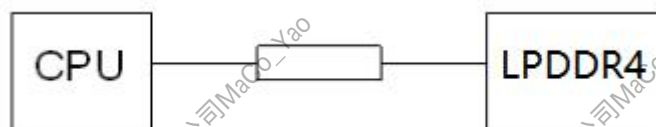


图 2：地址信号的拓扑结构

5.2 布线规则

参数	布线规则	备注
传输线特征阻抗	50+/-10% ohm	
参考平面	Ground/VCC-DRAM	
线宽	4 mils (可根据实际层叠调整)	
地址信号之间的间距	$\geq 8\text{mils}$	
地址信号与其它 LPDDR4 信号的间距	$\geq 8\text{mils}$	
地址信号与其它接口信号的间距	$\geq 24\text{mils}$	
地址信号与电源的间距	$\geq 15\text{ mils}$	
地址信号与地的间距	$\geq 10\text{ mils}$	
地址信号之间的长度偏差	控制在 300mils 以内	
地址信号与时钟信号的长度偏差	控制在 500mils 以内	
其它	避免跨分割	

6. 控制信号拓扑结构及布线规则

6.1 拓扑结构

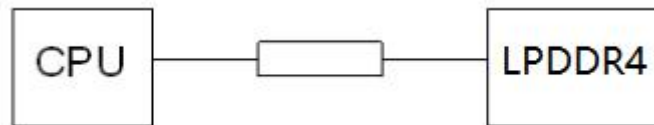


图 3：控制信号的点对点拓扑结构

6.2 布线规则

参数	布线规则	备注
传输线特征阻抗	50+/-10% ohm	
参考平面	Ground/VCC-DRAM	
线宽	4 mils (可根据实际层叠调整)	
控制信号之间的间距	$\geq 8\text{mils}$	
控制信号与其它 LPDDR4 信号的间距	$\geq 8\text{mils}$	
控制信号与其它接口信号的间距	$\geq 24\text{mils}$	
控制信号与电源的间距	$\geq 15\text{ mils}$	
控制信号与地的间距	$\geq 10\text{ mils}$	
控制信号与时钟信号的等长要求	控制在 500mils 以内	
其它	避免跨分割	

7. DQS 信号拓扑结构及布线规则

7.1 拓扑结构

Differential

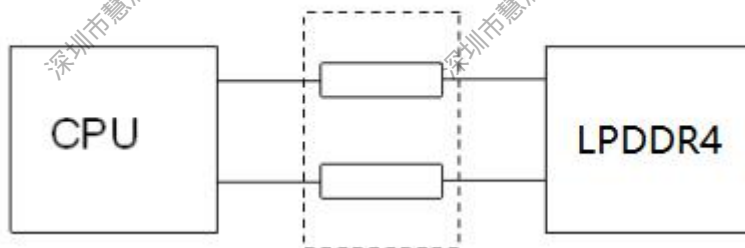


图 4: DQS 信号的拓扑结构

7.2 布线规则

参数	布线规则	备注
传输线特征阻抗	100 \pm 10% ohm	
参考平面	Ground	
差分线宽度/间距	3.8/8.7 mils (可根据实际层叠调整)	
DQS 信号与组内 DQ 信号间距	≥ 12 mils	
DQS 信号与组外 DQ 信号的间距	≥ 12 mils	
DQS 信号与其它接口信号的间距	≥ 24 mils	
DQS 信号与电源的间距	≥ 15 mils	
DQS 信号与地的间距	≥ 10 mils	
差分线 P 与 N 的匹配长度	≤ 10 mils (绕等长方式见第 11 章附录内容)	
DQS 信号与时钟信号的长度偏差	控制 600mils 以内	
插入 GND 过孔	如果信号换层全部参考 GND 平面, 则在 P/N 信号换层过孔附近分别打一个 GND 过孔	
包地线处理	在 DQS 信号与 LPDDR4 其它信号之间进行包地线处理 (地线宽度为 4~16mils), 地线与信号线的间距为 10~16 mils, 地线过孔间距 200mils 以内。	
其它	避免跨分割	

8. DQ 及 DM 信号拓扑结构及布线规则

8.1 拓扑结构

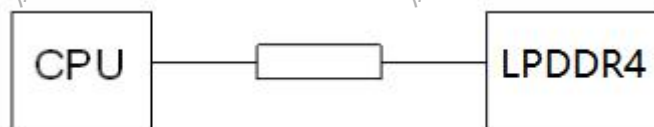


图 4: DQ 及 DM 信号的拓扑结构

8.2 布线规则

参数	布线规则	备注
传输线特征阻抗	50 \pm 10% ohm	
参考平面	Ground	
线宽	4 mils (可根据实际层叠调整)	
组内 DQ, DM 间距	≥ 8 mils	

DQ, DM 信号与组内 DQS 信号间距	$\geq 12\text{mils}$	
DQ 信号与组外 DQ 信号的间距	$\geq 8\text{mils}$	
DQ, DM 信号与其它 LPDDR4 信号的间距 (DQ, DM, DQS 信号除外)	$> 8\text{mils}$	
DQ, DM 信号与其它接口信号间距	$> 24\text{mils}$	
DQ, DM 信号与电源的间距	$\geq 15\text{mils}$	
DQ, DM 信号与地的间距	$\geq 10\text{mils}$	
组内 DQ, DM 信号的长度偏差	控制在 200mils 以内	
DQ, DM 信号与组内 DQS 信号的长度偏差	控制在 500mils 以内	
插入 GND 过孔	如果信号换层全部参考 GND 平面, 则在信号换层过孔附近打 GND 过孔, 尽量两个信号过孔一个 GND 过孔。	
放置电容	如果信号换层分别参考 GND/Power 平面, 则在信号换层过孔附近放置电容, 要求一组 DQ 至少 3 个 100nf 0402 电容, 且离信号过孔的间距为越近越好。	
其它	避免跨分割;	

注: DQ, DM 与 DQS 的分组情况参考前面第 2 章节的 DQ/DM to DQS Mapping 表格。

9. ZQ 信号拓扑结构及布线规则

9.1 拓扑结构

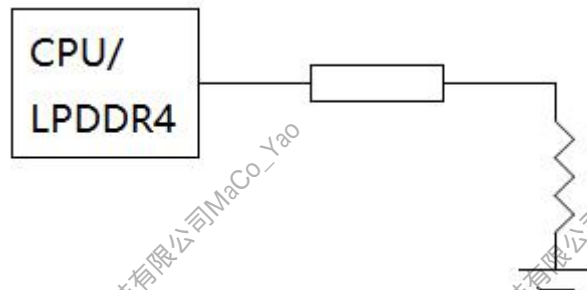


图 5: ZQ 信号的拓扑结构

9.2 布线规则

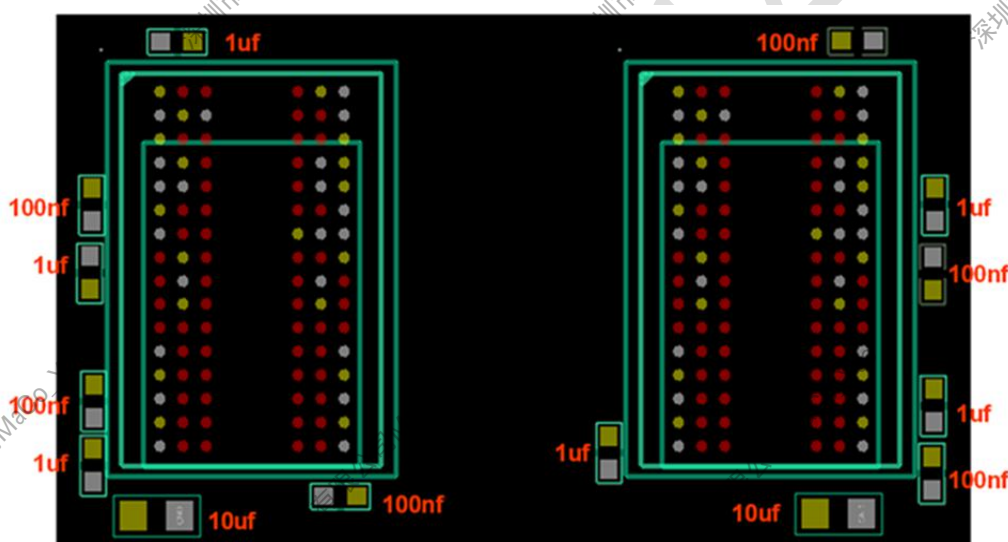
参数	布线规则	备注
传输线特征阻抗	50+/-10% ohm	
参考平面	Ground/VCC-DRAM	
线宽	4 mils (可根据实际层叠调整)	
ZQ 信号之间的间距	$> 8\text{mils}$	
ZQ 信号与其它 LPDDR4 信号间距	$> 8\text{mils}$	
ZQ 信号与其它接口信号的间距	$> 24\text{mils}$	
ZQ 信号与电源的间距	$\geq 15\text{mils}$	
ZQ 信号与地的间距	$\geq 10\text{mils}$	
ZQ ball 到电阻的走线长度	$\leq 500\text{mils}$	
其它	避免跨分割	

10. 电源布线规则

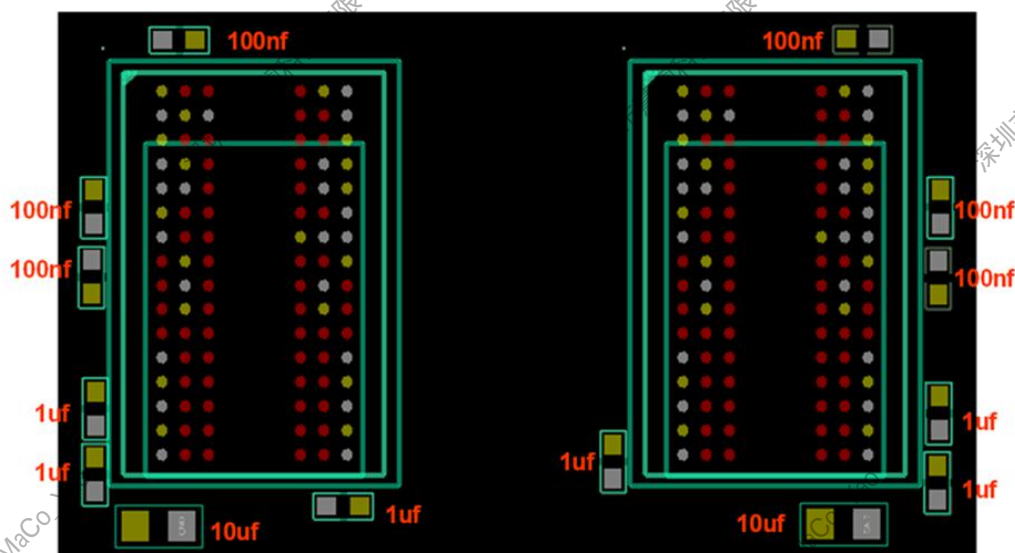
10.1 VCC-DRAM 电源布线规则

参数	布线规则	备注
线宽	≥ 10 mils (建议铺大铜皮)	
与其它信号的间距	≥ 15 mils	
与其它电源的间距	≥ 10 mils	
滤波电容数量	建议 CPU 的 1~2 个电源管脚就要有一个滤波电容; LPDDR4 颗粒 2~3 个电源管脚就要有一个滤波电容; 且 CPU 及每个 LPDDR4 颗粒都要有一个 10uF 的电容。	
滤波电容位置	滤波电容尽量靠近芯片电源管脚摆放, 且优先小容值电容靠近芯片再到大容值电容, 还有滤波电容要均匀分布, 具体情况见下面的图解	

A 滤波电容位置图解



(电容均匀分布)

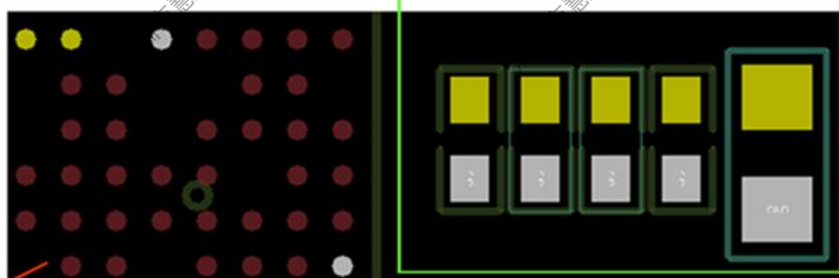


(100nf与1uf电容集中摆放)

小电容靠近芯片

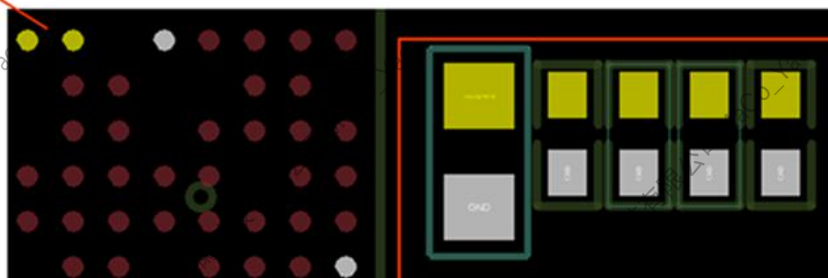
100nf, 1uf, 100nf, 1uf, 10uf

CPU或者LPDDR3颗粒



大电容靠近芯片

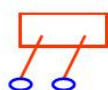
10uf, 1uf, 100nf, 1uf, 100nf



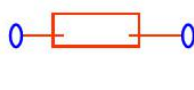
B 滤波电容 fanout 方式



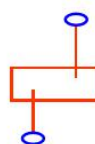
第一选择



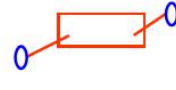
第二选择



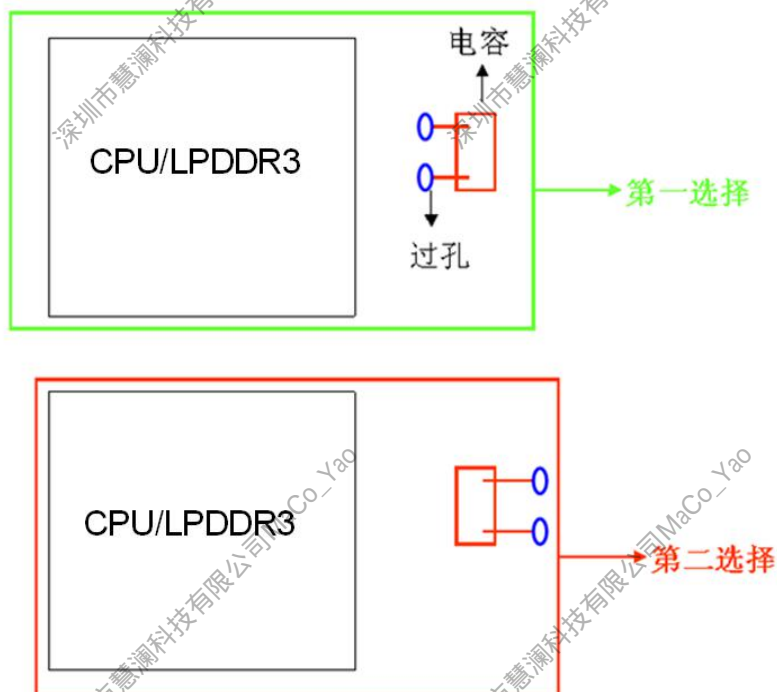
第三选择



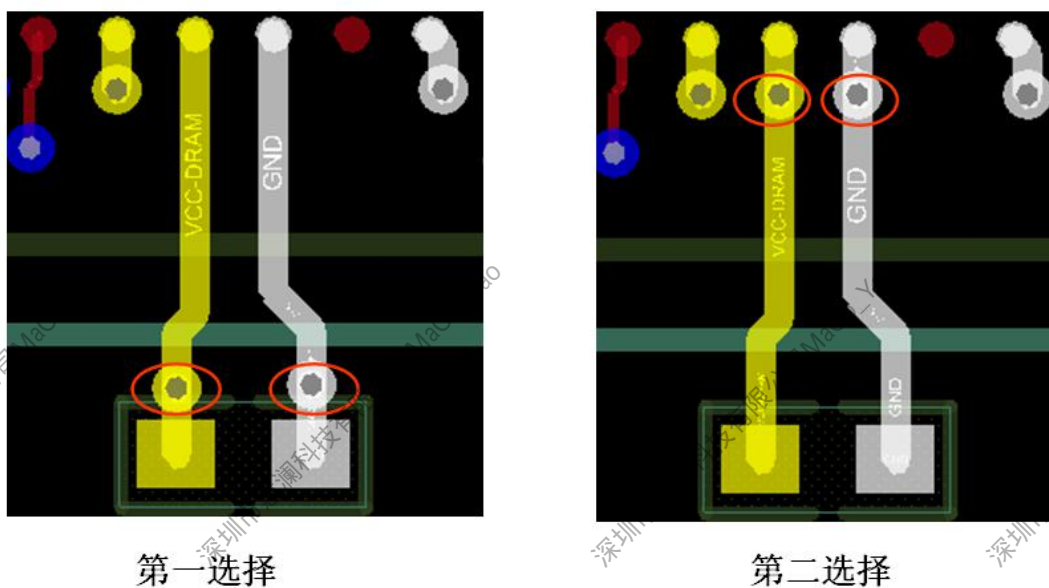
第四选择



第五选择



C 滤波电容与芯片电源管脚连接打孔位置（靠近滤波电容端打孔，先滤波后进芯片）



10.2 DRVEF 电源布线规则

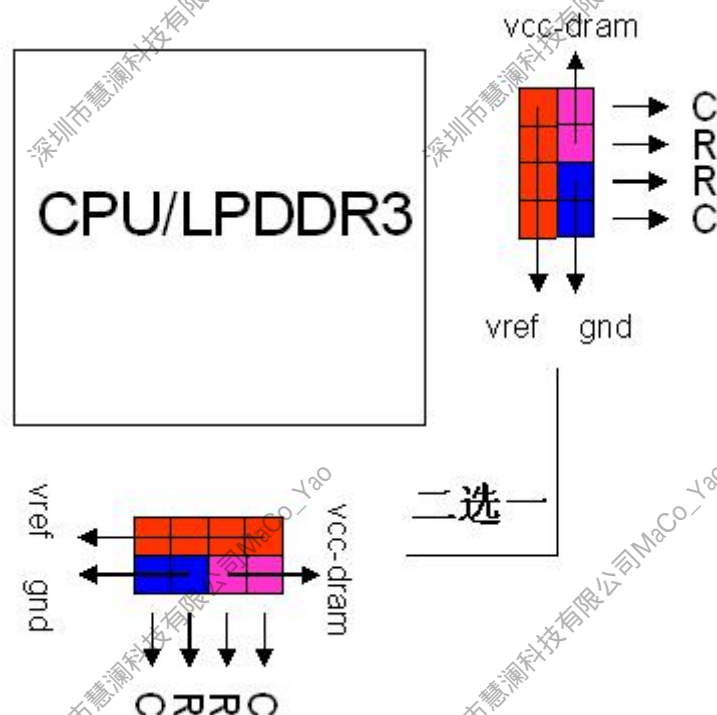
参数	布线规则	备注
线宽	≥ 10 mils	
与其它信号的间距	≥ 15 mils	
与其它电源的间距	≥ 15 mils	
滤波电容数量	建议每个 Vref 电源管脚就要有一个滤波电容。	
滤波电容位置	滤波电容尽量靠近芯片电源管脚摆放。	

DRVEF 电源转换电路器件的摆放顺序（先滤 vcc-dram，然后转换电源，再滤 vref）：

全志科技版权所有，侵权必究

Copyright © 2022 by Allwinner. All rights reserved

Page 8 of 12



10.3 VDD18-DRAMPLL 电源布线规则

参数	布线规则	备注
线宽	≥ 10 mils	
与其它信号的间距	≥ 15 mils	
与其它电源的间距	≥ 15 mils	
滤波电容数量	建议两个电源管脚就要有一个滤波电容。	
滤波电容位置	滤波电容尽量靠近芯片电源管脚摆放。	

11. 附录

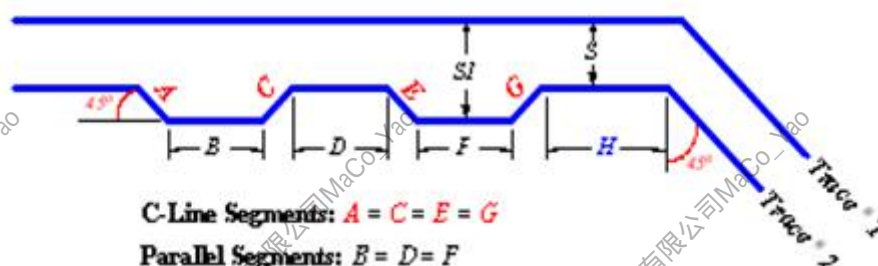
11.1 上述传输线单线线宽，差分线线宽/线距是参考第 3 章里面的单板叠层，依据传输线的特征阻抗（单线： $50 \pm 10\%$ ，差分线： $100 \pm 10\%$ ）要求计算得到的。

11.2 如果上述信号的间距达不到要求，允许小于上述相应间距值但要大于等于 4mils，但这种间距的信号平行走线长度建议小于等于 100mils。

11.3 如果上述电源及地信号的线宽达不到要求，允许小于 10mils 但要大于等于 4mils，但这种线宽走线长度建议小于等于 200mils。

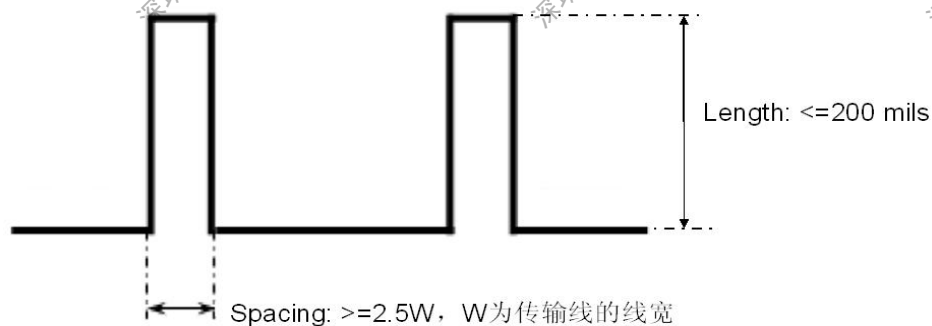
11.4 LPDDR4 差分线 P 与 N 绕等长方式（哪里造成 P 与 N 不等长就在哪里附近绕等长）：

The diagram below shows the recommended length matching serpentine Rule: $S1 < 2 \times S$, $B=D=F=H=3 \times w$, 45 degree bend, where w is the trace width.

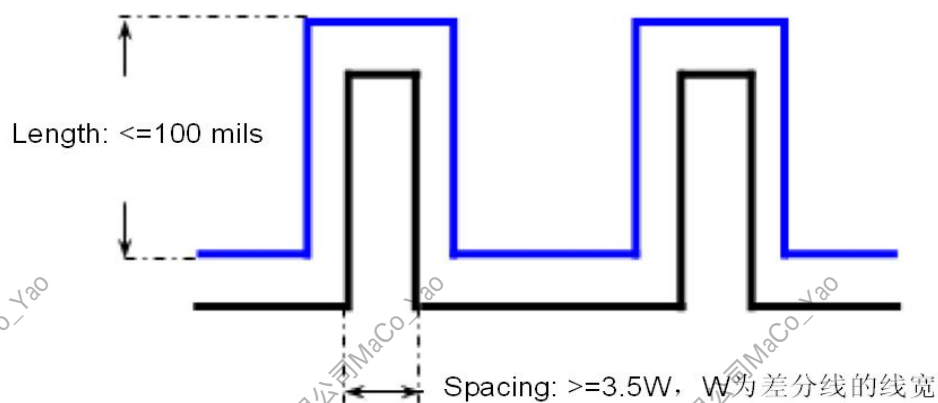


11.5 蛇形线间距及长度要求:

A. 单线

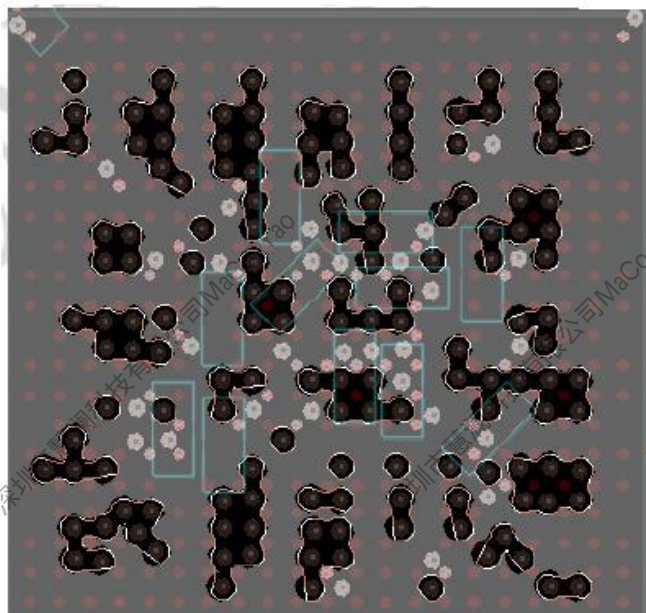


B. 差分线

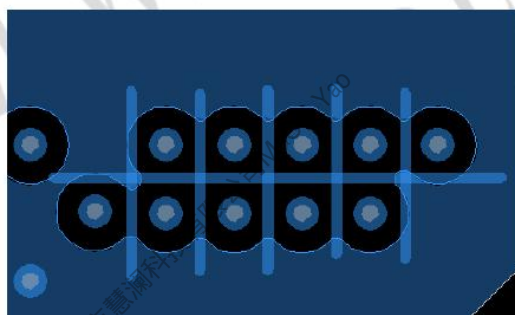


11.6 电源铺铜注意事项:

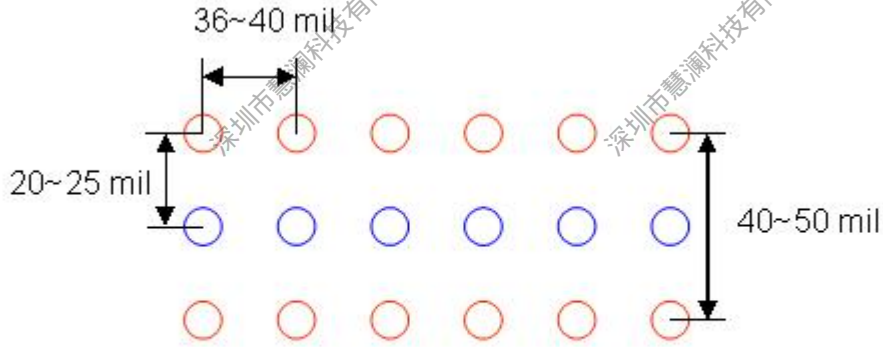
调整过孔位置，减少过孔对平面的破坏。尤其CPU下方位置，尽量加大覆铜有效连接宽度。



调整好过孔的位置、间距，减少对电源、地平面的破坏。平面断开处用走线连接。



11.7 Controller 芯片端中间两个 DQ channel 的出线打孔方式如下(Controller 焊盘到换层过孔之间的表层走线长度小于 200 mil):



上面红色为信号过孔，蓝色为地过孔