



秘密▲5年

R818 硬件设计指南

文档版本：V1.0

发布日期：2020-03-10

版权所有 © 珠海全志科技股份有限公司

未经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档的内容的部分或全部，并不得以任何形



式传播。

商标声明



、Allwinner、Allwinnertech、全志科技和其他全志科技商标均为珠海全志科技股份有限公司的商标，并归珠海全志科技股份有限公司所有。
本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受全志科技公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，全志科技公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

珠海全志科技股份有限公司

地址：广东省珠海市高新区唐家湾镇科技二路9号

邮编：519085

官网：<http://www.allwinnertech.com>

全志科技版权所有，侵权必究

Copyright © 2020 by Allwinner. All rights reserved

Page 1 of 36



前言

概述

本文档主要介绍 R818 芯片在平板应用方案设计中的原理图设计要点以及细则，旨在指导客户设计，帮助客户缩短产品的量产周期，提高产品设计的可靠性以及降低产品的设计成本，保证设计质量。同时请使用全志科技发布的核心模块的模板，保证产品的性能和可靠性。

芯片型号

本文档对应的芯片型号为：**R818**

适用对象

本文档主要适用于：

- 产品硬件开发工程师
- 技术支持工程师
- 产品测试工程师
- PCB layout 工程师

修订记录

修订记录累积每次文档的更新说明，最新版本的文档包含以前所有文档版本的更新内容，请以最新版为准。

版本	修改记录	日期	作者	备注
Ver 1.0	Initial Version	2020-03-10		

目录

前言.....	2
概述.....	2
芯片型号.....	2
适用对象.....	2
修订记录.....	2
目录.....	3
1. R818 概述.....	4
1.1. R818 方案介绍.....	4
1.2. 系统应用框图.....	5
2. 原理图设计.....	6
2.1. 电源系统设计.....	6
2.1.1. R818 电源系统架构介绍.....	6
2.1.2. R818 上电时序要求.....	6
2.1.3. R818 下电时序要求.....	8
2.1.4. R818 POWER TREE.....	9
2.1.5. PMIC AXP707 电路设计.....	10
2.2. DRAM.....	12
2.3. SOC.....	13
2.3.1. 系统功能配置脚设计.....	13
2.3.2. 系统时钟电路设计.....	15
2.3.3. SOC 电源.....	16
2.3.4. GPIO 部分.....	16
2.4. FLASH.....	17
2.5. CARD.....	19
2.6. USB.....	20
2.7. WIFI-BT.....	22
2.8. AUDIO.....	24
2.9. Debug.....	28
2.10. KEY.....	28
2.11. DISPLAY.....	29
2.12. SENSOR.....	30
2.13. CAMERA.....	31
2.14. TP.....	33
3. ESD 设计.....	33
3.1. 原理图 ESD 设计.....	33
3.2. PCB ESD 设计.....	34
3.3. 软件 ESD 设计.....	34
3.4. 结构工艺 ESD 设计.....	34
4. EMI 设计.....	35

1. R818 概述

1.1. R818 方案介绍

R818 是全志科技针对智能音箱市场推出的新一代高性能低成本解决方案。IC 采用 4 核 64bit A53 CPU+PowerVR GE8300 GPU 的 SOC 架构。

R818 集成新一代支持 DDR3/DDR3L/DDR4/LPDDR3/LPDDR4 的 DRAM 控制器。同时 R818 还集成 13M Camera ISP 处理器，支持 4K@30Hz 视频解码，支持 MIPI/RGB/LVDS 丰富的 LCD 接口。工艺的提升，使 R818 具有更低的功耗和更高的性能。搭载全新的 Android Q 系统，为新一代平板带来更好的产品体验。

R818 的芯片框图如图 1-1 所示：

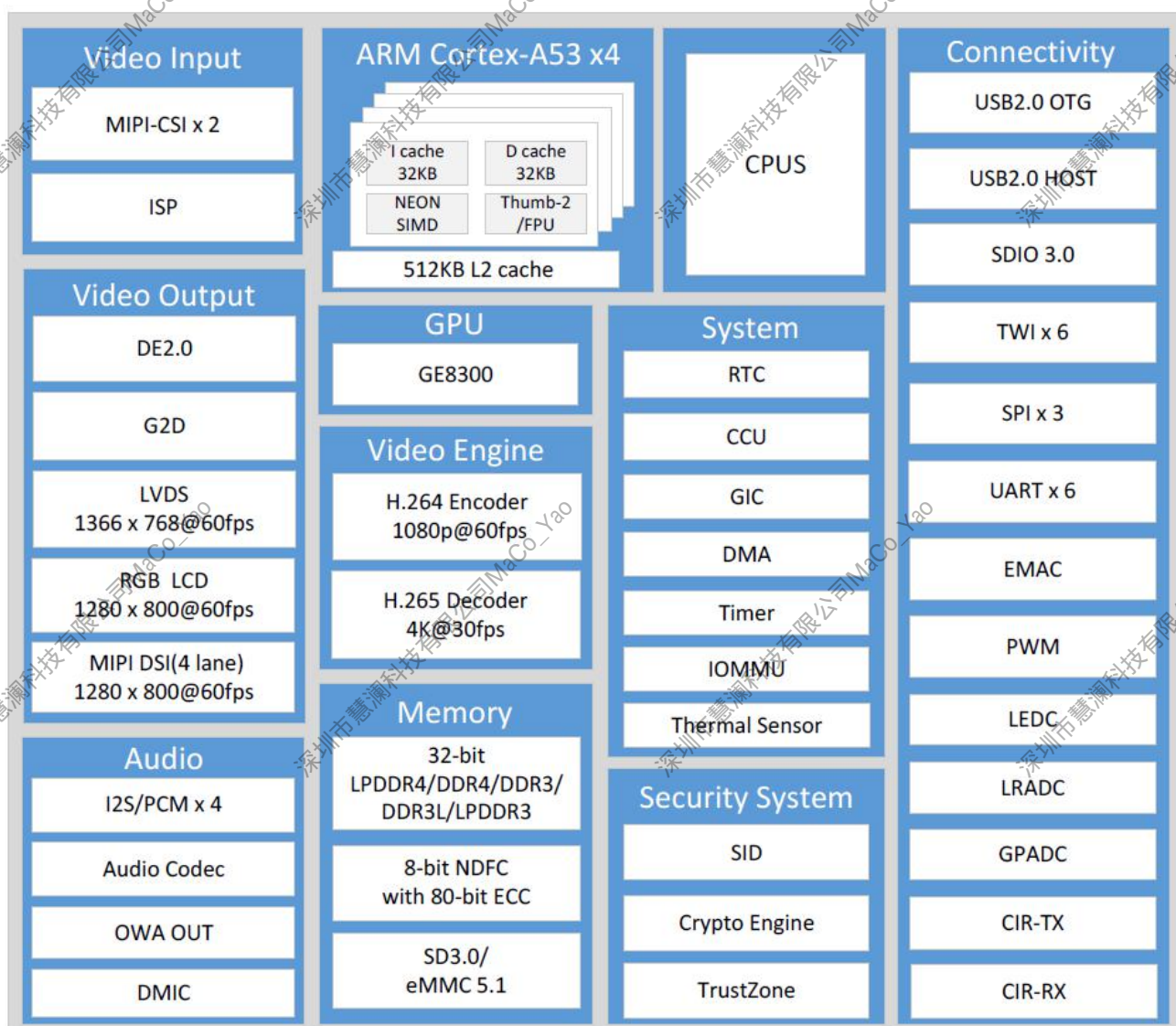


图 1-1 R818 芯片框图

1.2. 系统应用框图

R818 典型产品应用框图如图 1-2 所示：

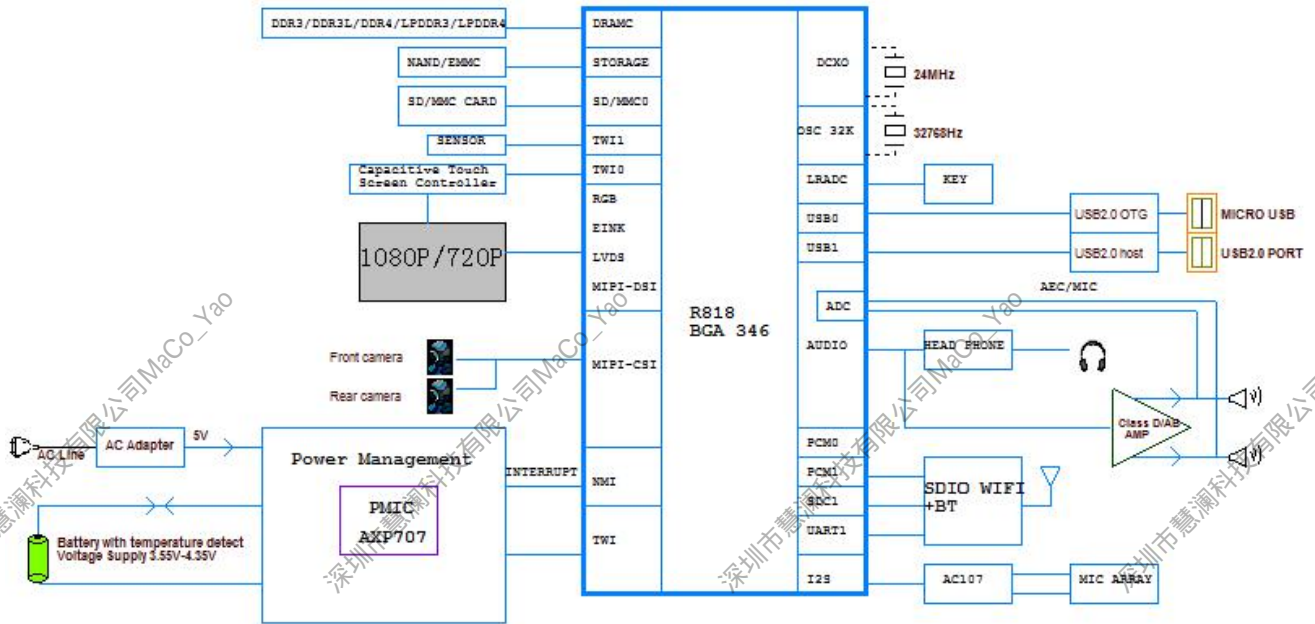


图 1-2 R818 产品应用框图

2. 原理图设计

2.1. 电源系统设计

2.1.1. R818 电源系统架构介绍

R818 平台搭配一款标配的电源管理芯片：AXP707

AXP707 集成电池充放电管理和电源转换，该方案能够提供 6 路可调输出降压 DCDC，14 路可调输出 LDO，一个 Switch，可以满足 R818 方案的使用。

2.1.2. R818 上电时序要求

R818 的上电时序要求如下：

- 为了保证系统时钟的有效状态，VCC-RTC 需保持一直供电。
- VDD-SYS, VCC-DRAM, VDD-CPUS, VDDI8-LPDDR, VPP-DRAM 需第一步上电。
- 其他 SOC 电源需等到 VDD-SYS, VCC-DRAM, VDD-CPUS, VPP-DRAM 稳定之后再上电。
- 在整个上电时序中，Reset 信号必须一直为低电平，直到所有电源上电稳定之后，才能将 Reset 信号拉高。
- 复位信号释放后 24M 晶体起振。

R818 的上电时序如图 2-1 所示：



注意，部分外设 IO 电源的上电时序因受限于驱动的加载时间，如 VCC-PG/VCC-PE，设计上要求只要晚于 T2 时间段启动即可，不在 SOC 上电时序限制范围之内。

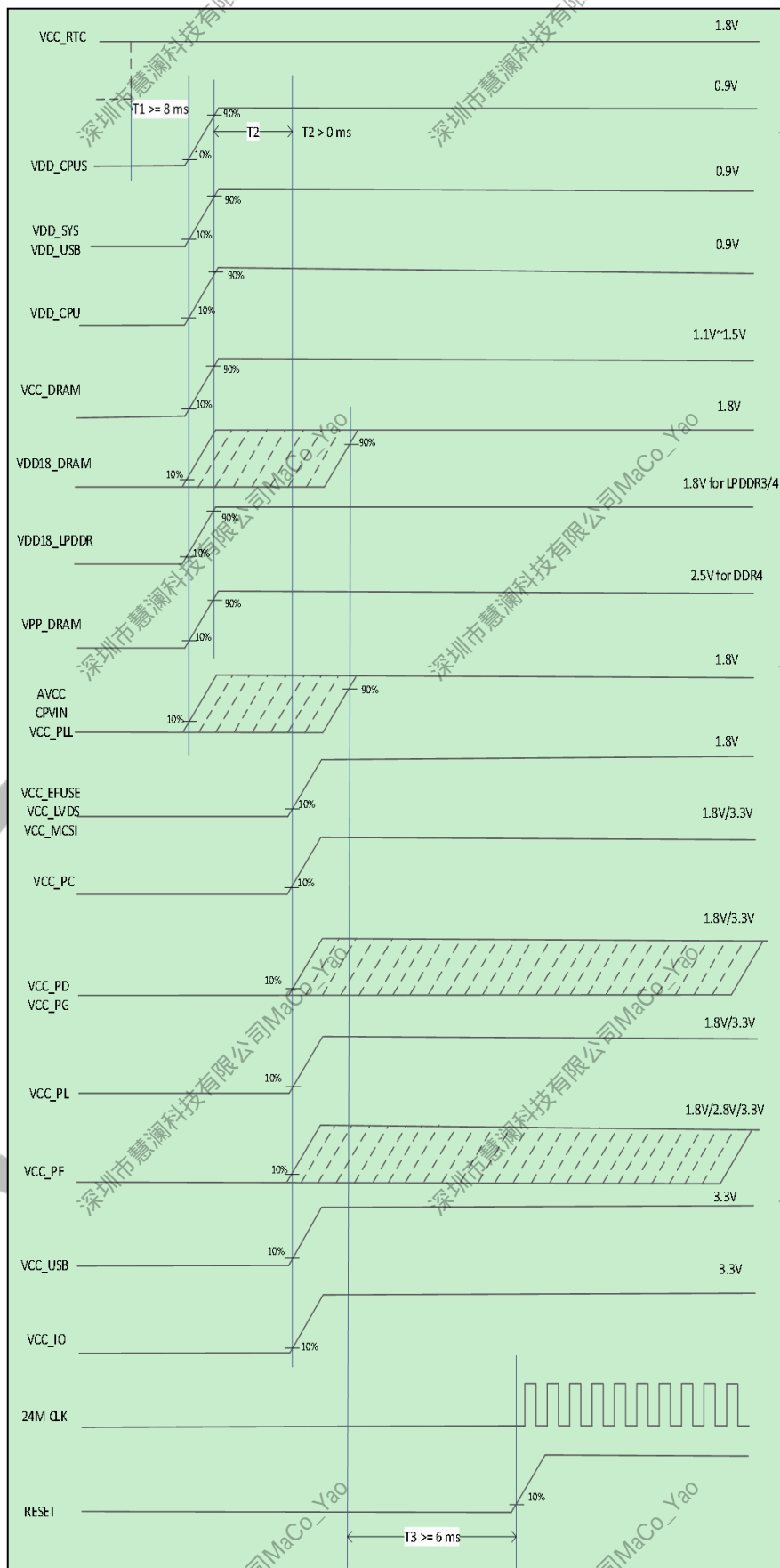


图 2-1 R818 上电时序图

全志科技版权所有，侵权必究

Copyright © 2020 by Allwinner. All rights reserved



2.1.3.R818 下电时序要求

R818 的下电时序要求如下：

- VCC-RTC 不掉电。
- PMU 接收到下电指令后，拉低 Reset 信号，并延时 T1。
- VDD-SYS 不早于其他路电掉电。

R818 的下电时序如图 2-2 所示：



注意，下电时序仅适用于软件关机流程，长按 power 按键 6S 强制硬关机或者拔掉电池关机不适用于以下下电时序。

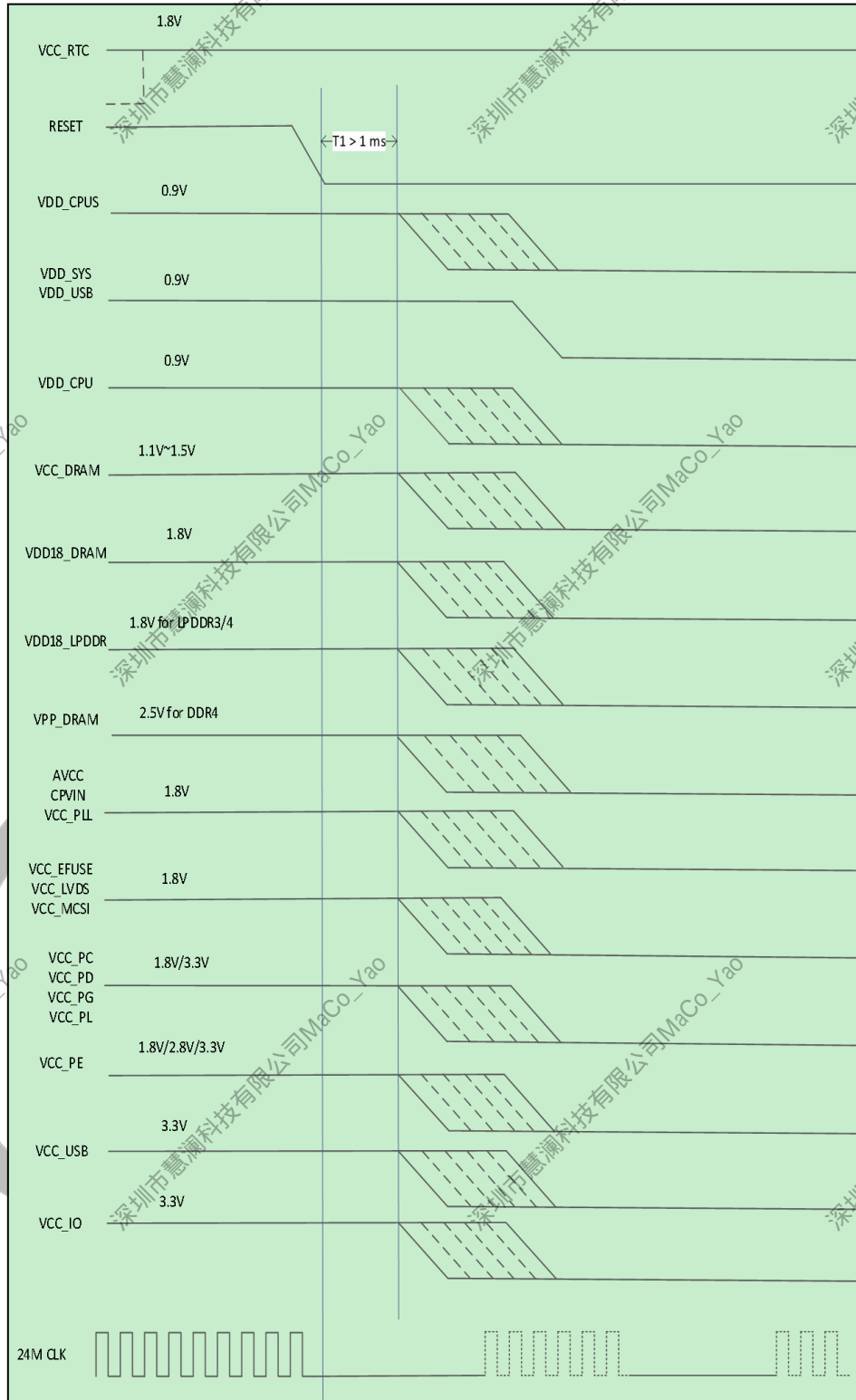


图 2-2 R818 下电时序图

2.1.4. R818 POWER TREE

R818 的 POWER TREE 设计要求如下：

全志科技版权所有，侵权必究

Copyright © 2020 by Allwinner. All rights reserved

Page 9 of 36

- POWER TREE 红色标识的电源，需要默认上电开启，而且有固定的上电时序要求，由 PMU 内部的烧码决定，因此，此部分电源必须按照标案设计，不能更改。
- R818 平台针对平板典型场景进行功耗优化处理，建议电源 POWER TREE 设计按照标案默认分配进行设计，避免因电源改动增加产品部分场景功耗，同时也增加软件适配工作量。
- 对于绑定在一起供电的部分 SOC 模块电源，已经经过系统验证测试，不能随意更换搭配，避免导致系统不稳定，如 AVCC/VCC-PLL 等。

R818+AXP707 的 POWER TREE 参考设计如图 2-3 所示：

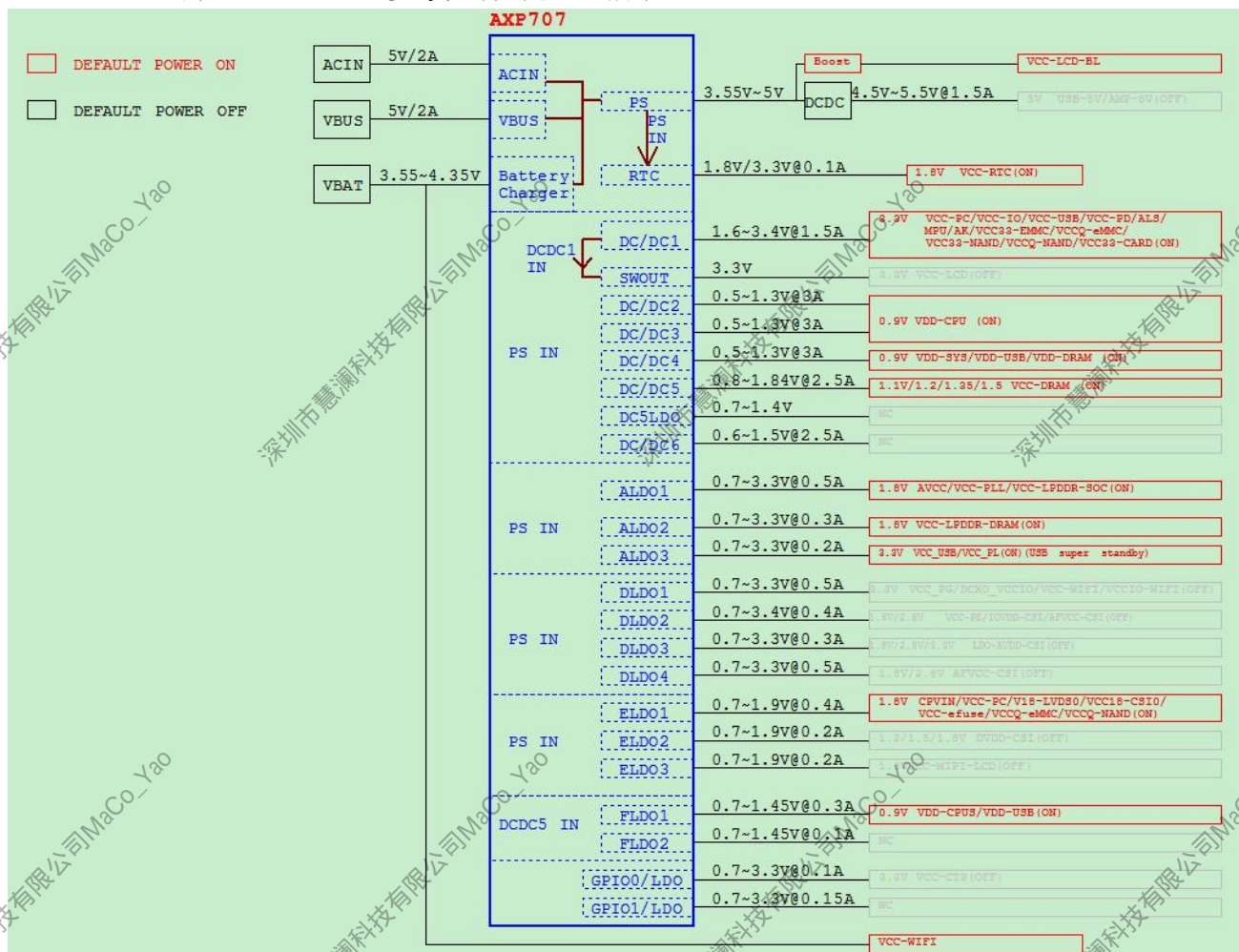


图 2-3 R818+AXP707 POWER TREE

2.1.5. PMIC AXP707 电路设计

- SOC 的功能模块供电设计，请勿修改，按照标案设计。
- DCDC1/DCDC2/DCDC3/DCDC4/DCDC5 电感参考值为：感量为 1uH，要求此路最大电流不超过电感饱和电流的 80%，直流电阻小于 100 毫欧。
- DCDC5 默认给 DDR 供电，DC5SET 脚请保持悬空设计，PMU 烧码默认输出电压值为 1.24V，系统启动后软件根据 DRAM 配置参数自动调节 DCDC5 的输出电压：1.1V/1.2V/1.35V/1.5V。如图 2-4 所示：

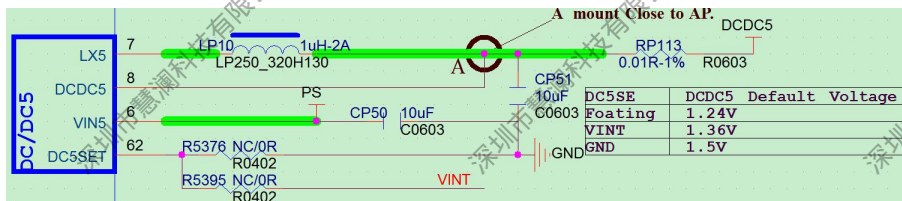


图 2-4 AXP707 DC5SET

- 对于 PMU 未使用的 DCDC 和 LDO，方案应用时可以将此路输入输出滤波电容删除，但必须保持输入供电，如图 2-5 中的 DCDC6 所示。

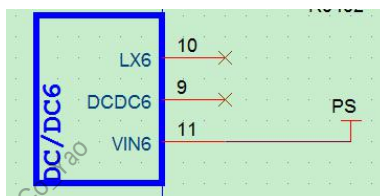


图 2-5 AXP707 DCDC6

- VCC-PC 有 1.8V 和 3.3V 两种电压，设计需根据 NAND/EMMC 的规格来配置电压，具体设计请查看 NAND/EMMC 芯片的 datasheet。
- AXP707 电源因 LDO 路数有限，将 Camera 模组马达的供电 AFVCC 与 IOVDD 绑在一起供电，针对部分 Camera 模组配置的马达有特殊的时序要求，AFVCC 要求晚于 IOVDD 上电，否则会导致马达异响等现象，请采用独立的 LDO 给马达供电。
- WiFi 通常具有宽电压输入，可以采用 PS 供电或者 DLDO1 供电，当 WiFi 支持 SDIO3.0 时，可以将 VCC-WIFI 改用 PS 供电，VCC-PG 采用 1.8V 供电；当 WiFi 只支持 SDIO2.0 时，可以将 VCC-WIFI 与 VCC-PG 一起共用 DLDO1 供电，采用 3.3V IO 电压。如图 2-6 所示：

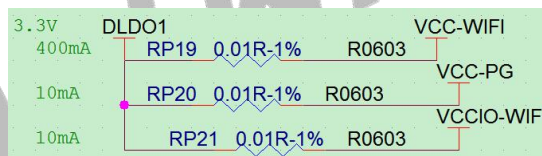


图 2-6 VCC-WIFI 电源设计

- R818 支持 USB 超级待机场景，使用时需根据产品需求进行对应的电源配置。如果不支持 USB-STANDBY, VCC-USB 与 VCC-IO 共用，VDD-USB 与 VDD-SYS 共用，确保 super standby 功耗做到极致。如果支持 USB-STANDBY，VDD-USB 与 CPUS 共用，VCC-USB 与 VCC-PL 共用，且 USB-5V 不可关闭，需要将 VCC-5V 的电源转换芯片使能脚接到 PS 网络上，对应场景下的使用的 IO 要挂到 PL 口上。
- PMU 的 DCDC2/3-FB 必须接到 R818 的 VDD-CPUFb 脚，DCDC4-FB 必须接到 R818 的 VDD-SYSFB 脚，且不能靠近敏感信号，走线尽可能做包地处理。
- DCDC1 脚不仅作为 DCDC1 的反馈脚，同时也是 SWOUT 电源的输入脚，因此在 PCB 走线时需要根据负载加宽线宽，至少保证 $\geq 20\text{mil}$ 。如图 2-7 所示：

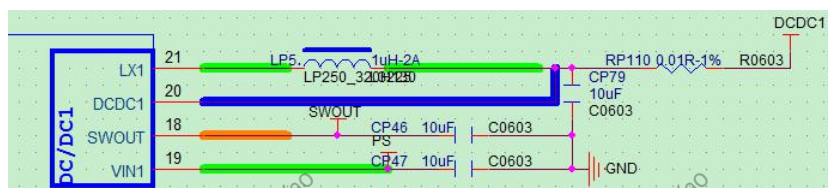


图 2-7 DCDC1 反馈走线设计

- R818 进入休眠待机状态时，只有 VCC-CPUS、VCC-DRAM、VDD18-DRAM、VCC-RTC、VCC-PL 模块带电，只有 CPUS 和 DRAM 模块保持在运行状态，其他模块都会掉电进入待机

状态，如果待机功耗偏高，请进行电源工作状态的逐一排查。

- 因 AXP707 电源方案不带 5V 升压功能，因此在搭配此方案时，必须搭配外部 boost 5V 升压 IC，同时，在电路设计时，反馈采样电阻建议选用阻值较大的电阻，否则会增加系统关机漏电。如图 2-8 所示：

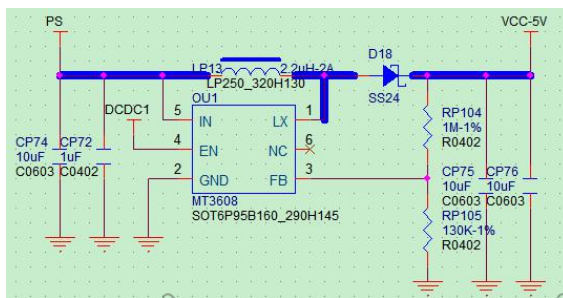


图 2-8 Boost 5V 升压电路

- 需评估好各路电源的工作电压和最大工作电流，并在原理图中明确标注，便于 PCB layout 走线。

2.2. DRAM

- R818 支持 DDR3/3L、DDR4、LPDDR3、LPDDR4，使用时需先确定 DRAM 的类型、片选及位宽，然后选用对应的 DRAM 原理图模板和 PCB 模板，**DRAM 部分设计请严格参照标案原理图设计，并采用配套的 DDR PCB 模板，不建议自行修改。**
- DRAM 部分原理图设计时，请勿修改或者重新编排元件的位号，否则与配套的 PCB 模板无法对应匹配。
- 除了 LPDDR4 颗粒的 ZQ PIN，主控和 DRAM 端每一个 ZQ PIN 都必须接 240R-1% 的下拉电阻到地。
- DRAM 外部分立器件的数量、值大小以及精度不允许随意更改，请严格参照标案原理图设计。
- DRAM 所有的滤波电容不能删减，预留的滤波电容建议在开发阶段预留调试，但可以不贴片，待开发测试验证稳定之后，量产可以根据实际情况酌情删除，如图 2-9。

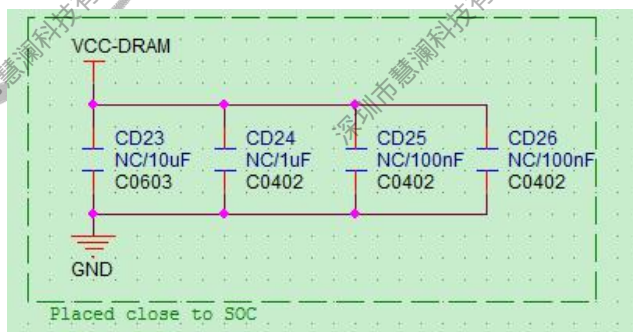


图 2-9 R818 DRAM 滤波电容

- 若自行设计 DDR 模板，SDQ0-SDQ7，SDQ8-SDQ15，SDQ16-SDQ23，SDQ24-SDQ31 分别为 4 组数据线，memory 端可以进行组内或者组间交换，若进行组间交换，则相应的 SDQM 和 SDQS 差分对也必须对应交换，可视 PCB 走线难易程度进行组内或组间交换。

注意：LPDDR4 的模板设计不同于其他种类的模板设计，LPDDR4 进行数据线交换，组内交换时组内 8 个 BIT 可以任意交换。但是组间交换时，必须是在高低 16 位通道内部交换，例如：DX0 只能和 DX1 交换，不能和 DX2、DX3 交换。高低位 16 位需要交换时，必须是高低 16 位一起交换，

全志科技版权所有，侵权必究

不能独立交换，例如：DX1 想和 DX3 交换，必须是 DX0、DX1 和 DX2、DX3 一起同时对调，不能单独对调 DX1 和 DX3，DX0、DX2 不动。

- R818 支持的 DDR 型号请参考《Allwinner AXX SDRAM Support List-Vxx》，产品设计时请严格选用我司支持列表里面的物料型号，若有未支持的 DDR 新物料，请通过我司业务渠道申请调试支持。

2.3. SOC

2.3.1. 系统功能配置脚设计

2.3.1.1. 系统功能配置脚设计

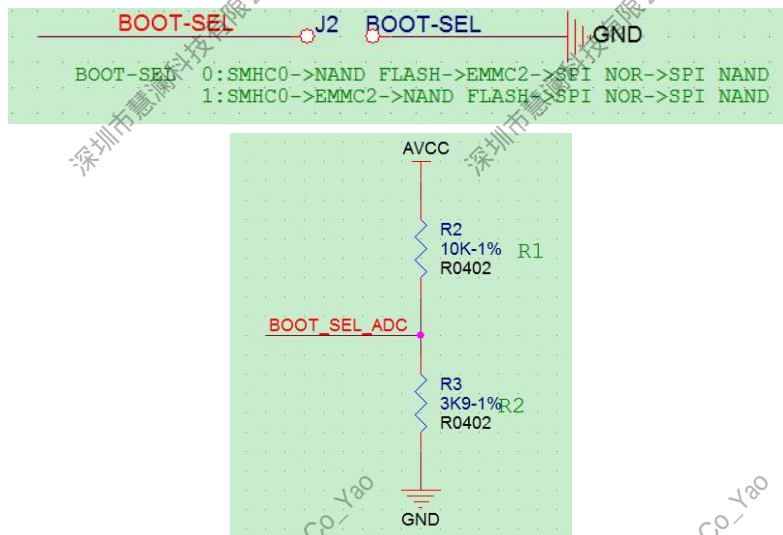
R818 系统功能配置脚说明如表 2-3 所示：

信号名	信号说明	应用说明
BOOT-SEL-A DC	BOOT 启动顺序选择，需外挂分压电阻	根据电阻分压选择启动顺序，详见标案原理图。
BOOT-SEL	BOOT 启动顺序选择，内部默认上拉，与 BOOT-SEL-A DC 功能相同。R818 默认通过 BOOT-SEL-ADC Pin 识别启动顺序	0:SMHC0->NAND FLASH->EMMC2->SPI NOR ->SPI NAND 1:SMHC0->EMMC2->NAND FLASH->SPI NOR ->SPI NAND
JTAG-SEL	JTAG 配置，内部默认上拉	1: 软件可选择 JTAG 功能从 PF (Default) 或 PB 口出 0: 强制 JTAG 功能从 PB 口出
FEL	升级 PIN	上电低电平触发机器进入烧写模式，量产烧写固件时用到
RESET	复位 PIN	1.CPU 复位 PIN; 2.Watchdog 输出 PIN;
NMI	不可屏蔽中断 PIN	1.接收电源系统的中断; 2.发出闹钟唤醒信号，唤醒电源系统;
TEST	IC 测试 PIN	浮空

表 2-3 R818 系统功能配置脚说明

R818 系统功能配置脚设计要点如下：

- BOOT-SEL/ JTAG-SEL 默认为高电平，默认浮空；若要配置为低电平，直接接地即可。此信号为敏感信号，易受 ESD 等干扰，禁止在实际产品中引出一段浮空走线。
- TEST 为内部测试引脚，实际应用请做悬空处理，禁止引出一段浮空走线。
- FEL/GPADC 模块信号接按键时要接 1nF 去抖动电容，请勿删除或者更改为其他容值。
- BOOT-SEL/BOOT_SEL_ADC 均为存储介质启动先后顺序配置脚，可以调整 NAND 和 EMMC 的启动顺序，可以根据产品的需求进行相关配置。**R818 默认开启 BOOT_SEL_ADC pin 识别启动顺序，BOOT-SEL pin 设计时默认浮空即可。**如图 2-10。



NO.	R1	R2	Boot Select type
1	NC	10K	SMHC0->MLC NAND->SLC NAND
2	10K	1K	SMHC0->SLC NAND->MLC NAND
3	10K	2K2	SMHC0->EMMC_BOOT->EMMC_USER
4	10K	3K9	SMHC0->EMMC_USER->EMMC_BOOT
5	6K8	4K7	SMHC0->SPI NOR
6	6K8	6K8	SMHC0->SPI NAND

图 2-10 BOOT-SEL 信号设计

2.3.1.2. 复位和中断电路

- AP-RESET、AP-NMI 信号上需接 1nF 下地电容，请勿删除或者更改为其他容值，否则会影响系统正常启动。复位和中断信号需远离板边和干扰信号，尽量做包地处理，如图 2-11。

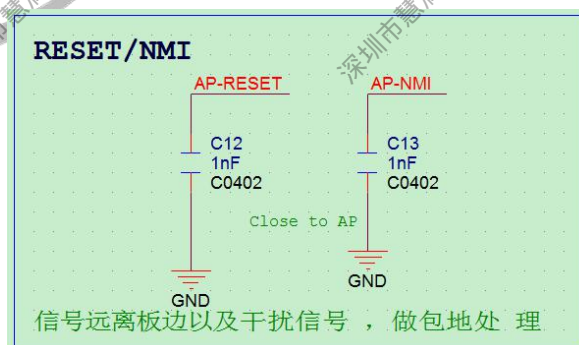


图 2-11 复位中断电路设计

- AP-NMI 网络为 OD 输出结构，必须加上拉到 VCC-RTC。如图 2-12。

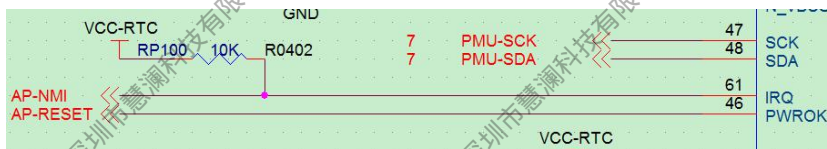


图 2-12 AP-NMI 上拉电路设计

2.3.2. 系统时钟电路设计

- DCXO 模块具有 24M CLK fanout 功能，配套 Allwinner XR819/XR829 WiFi 芯片使用，可以节省 WiFi 部分的 24M 晶振，降低产品的 BOM 成本，使用时 WREQIN 脚需连接为 XR819/XR829 WIFI 模组中断响应脚。此功能不能配合其它厂家 WiFi 芯片使用，若使用其它家 WiFi 芯片，需将 WREQIN 信号接地，REFCLK-OUT 悬空处理。DCXO 模块的使用方法必须参照标案原理图进行设计。
- 晶振选型参考如下：
 - 1) 当需要 DCXO 扇出时钟给 XR819/XR829 WIFI 使用时，晶振选型频偏 $\leq 10\text{ppm}$ ；
 - 2) 当不需要 DCXO 扇出时钟给 XR819/XR829 WIFI 使用时，晶振选型频偏 $\leq 20\text{ppm}$ 。
- 高频晶振网络 X24MO 上的串接电阻必须保留，便于调试振荡幅度。匹配电容容值需根据晶体的负载电容进行匹配选择。如图 2-13。

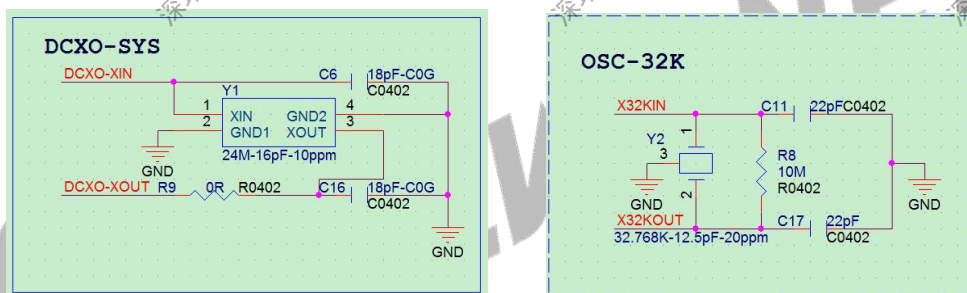


图 2-13 外部晶振

- 外部 32.768K 晶振的精度要求小于 $\pm 20\text{ppm}$ ，在高温 70°C 和低温 -20°C 下能稳定工作；X32KI/X32KO 之间并接的电阻，必须保留，用于对频率微调；匹配电容容值需根据晶体的负载电容进行选择。如 2-13。
- 32KFOUT 脚为 OD 输出结构，使用时必须外接上拉电阻，上拉电压需与外设的工作电压保持一致，如图 2-14 所示。

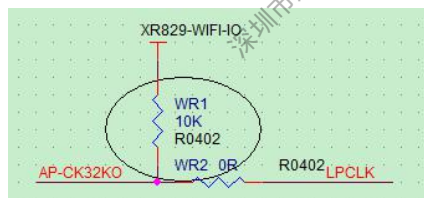


图 2-14 32KFOUT 脚电路设计

- R818 内部含有产生 32K 时钟的 RC 振荡电路，DCXO 模块会定时对 RC 振荡电路进行校准，精度约为： $\pm 7\text{S}$ 每天（精度偏差与 IC 的工艺相关，不同 IC 偏差均不同）。如果客户对系统时钟的精度要求不高，可以省掉外部的 32K 晶体电路，采用内部 RC 振荡电路，同时需要在软件上打开相关的时钟配置。
- 在需要通过 32KFOUT PIN 扇出 32K 时钟给 WIFI 模组使用的时，需要外挂 32K 晶振。



注意，晶振参数不得随意更改，需保证晶体自身负载电容需与外挂匹配电容、PCB 走线负载电容匹配。

2.3.3.SOC 电源

- SOC 部分的滤波电容不能删减，需严格按照标案原理图设计，否则会影响系统的稳定性，如图 2-15。

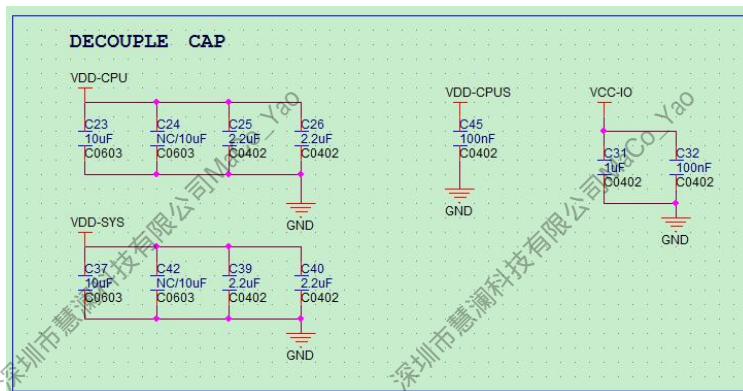


图 2-15 SOC 滤波电容

- 建议 VDD-CPUFB、VDD-SYSFB 信号预留测试点，且靠近 SOC 的 PIN 脚放置，便于对负载端进行电压测试，如图 2-16。

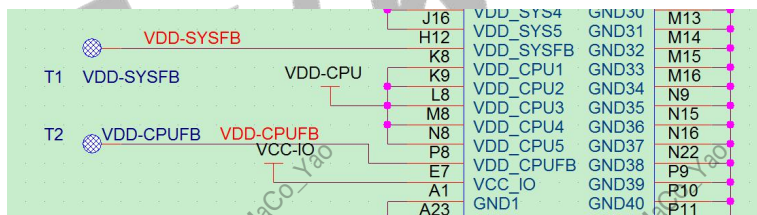


图 2-16 SOC 电源反馈脚

- SOC 其余部分电源脚必须参照标案设计外挂滤波电容，且 PCB 设计时就近放置，不能删减，如 PLL、EFUSE、RTC、GPIO 等，如图 2-17。

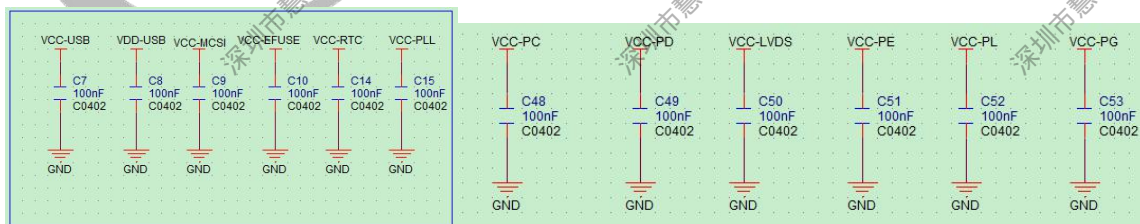


图 2-17 SOC Power PIN

2.3.4.GPIO 部分

- UART0 默认用于系统调试打印，建议预留测试点，用于系统调试打印。如图 2-18。

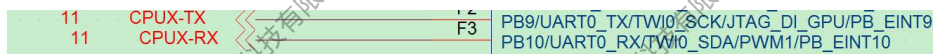


图 2-18 UAR0 调试串口

- GPIO 分配建议按照标案图进行设计，请勿随意调整，降低软件适配工作量。
- GPIO PL0 和 PL1 为主控与 PMIC 专用的 IIC 通讯总线，内部有 4.7K 上拉，不建议与其余 I2C 设备共用。如图 2-19。

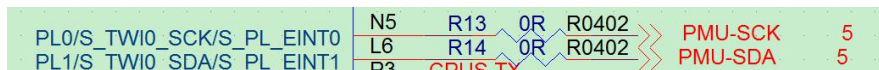


图 2-19 IIC 通讯总线设计

- GPIO PL 口为 CPUS 的 IO 口，在待机休眠时不掉电，保持正常工作状态。若需要休眠唤醒功能，请把中断唤醒源接在 PL 口上，且注意电平匹配。
- 具有独立供电电源引脚的 GPIO 口，可以根据外设的需求进行电压的适配调整，如 PC、PD、PE、PF、PG、PL 口；PB 和 PH 口不具备独立供电设计，由 VCC-IO 电源供电，默认为 3.3V 电压。GPIO 使用时需注意与外设的电平匹配问题。
- GPIO 口需增加上拉电阻时，需将对应的上拉电源设计为对应的电压域，避免造成系统电源漏电，增加系统功耗，如 PE 口的上拉电阻必须加到 VCC-PE 电源上。

2.4. FLASH

- 标案原理图中 FLASH 部分提供了 NAND TSOP48、BGA152 封装与 eMMC BGA169 封装的原理图参考设计，客户可以根据产品规格需求进行相关的删减或者增加。
- 在 PCB 布局中，Flash 需靠近主控摆放，走线与高频信号隔开。
- Flash 的封装建议采用全志提供的封装库，可以兼容 TSOP48 NAND/eMMC 的 FLASH 双 layout 设计。
- 如果使用 eMMC 5.0 及 5.0 以上的片子，则 eMMC 的 PIN T5 和 H6 必须通过 0R 电阻下拉到地。因 R818 eMMC-DS 信号集成下拉电阻，eMMC PIN R5 10K 下拉电阻 10K 可以 NC。其他非 eMMC 5.0 的片子，则 PIN T5、H6、R5 必须 NC。如图 2-20。

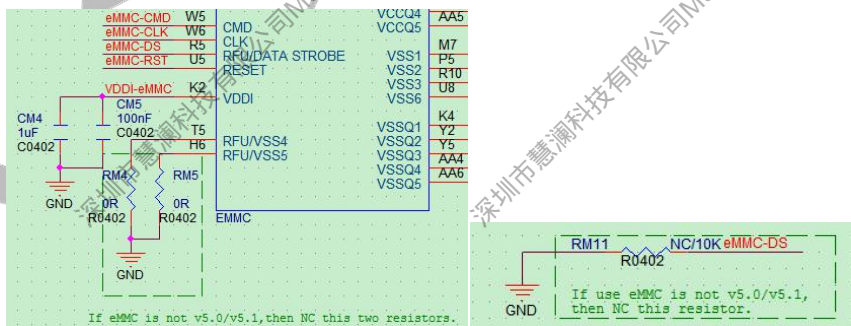


图 2-20 eMMC 5.0/5.1 片子选贴电路

- 如果 eMMC 设备使用 HS200 和 HS400 高速总线模式，需将 eMMC VCCQ 以及主控 GPIO PC 口的电压配置为 1.8V 电压。使用时请按照实际需求进行 VCC-PC 的电源的配置，如图 2-21。

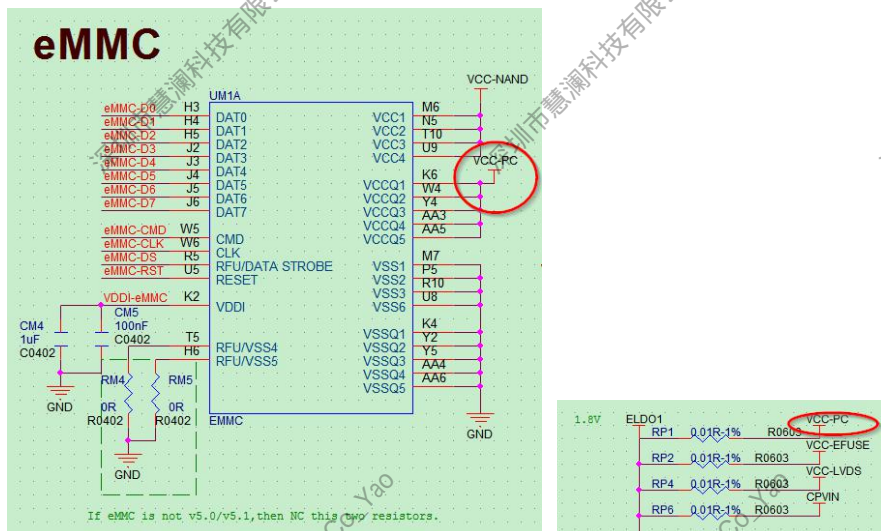


图 2-21 VCC-PC 电源设计

- 贴一片 NAND，可以是 1CE 或 2CE 的；贴两片 NAND，只能是 1CE。
- 部分 NAND Flash 具有 VPS 电源供电引脚，NAND Flash 的 VPS0 和 VPS1 的电路连接需要参照相应的 Datasheet 进行匹配设计。
- 需注意 NAND FLASH 的 IO 电压有 1.8V 和 3.3V 两种电压，使用时需参照对应的 datasheet。按实际的需求匹配 VCC-PC 的电压大小，如图图 2-22。

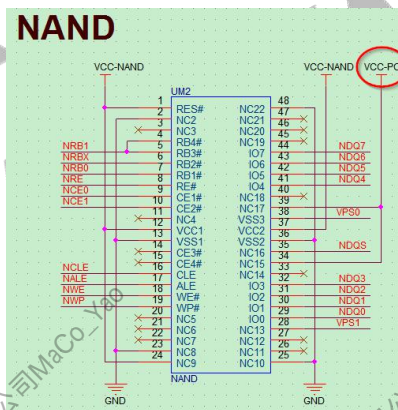


图 2-22 NAND FLASH 的 IO 电压

- 原理图中需增加 NAND、EMMC 信号线走线的阻抗标注说明，如图 2-23 所示：

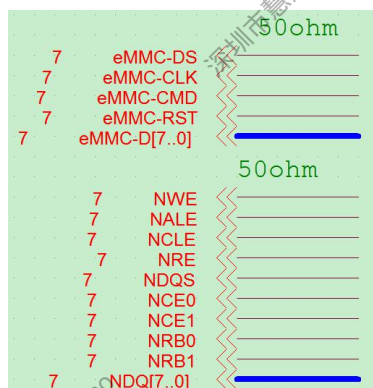


图 2-23 NAND、EMMC 信号线阻抗标注说明

- 需评估清楚 NAND、EMMC 芯片的工作电压及最大工作电流，并在原理图中标注清楚，便于 PCB layout 设计，如图 2-24 所示。

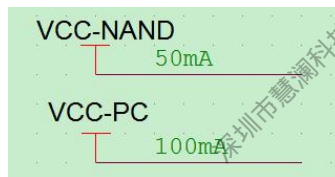


图 2-24 FLASH 电源工作电流电压标注

- NAND 和 EMMC 选型请严格参照《Allwinner AXX eMMC support list_Vxx》和《Allwinner AXX NAND Flash Support List_Vxx》文档，必须选用支持列表里面 R818 平台支持的型号。

2.5. CARD (option)

- CLOCK 脚不需要上拉电阻，需在靠近主控端串联 33 欧电阻；如图 2-25 所示。若并联电容，容值不得超过 15pF。

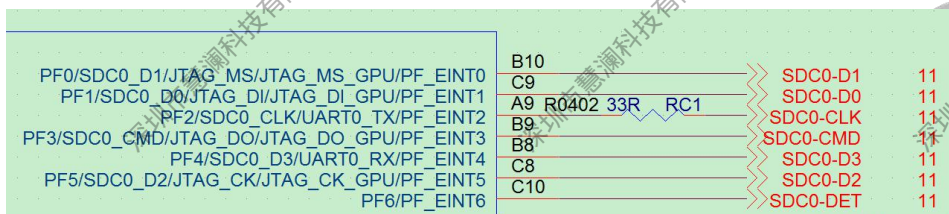


图 2-25 SDC0-CLK 串接电阻

- CMD 以及 DET 信号线必须接上拉到 VCC-PF，具体参照标案原理图。
- R818 支持 SD3.0 协议，会自动识别 CARD 的类型然后调节 IO 电压。若 TF 卡是 SD3.0 存储卡，R818 会工作在 SD3.0 模式，IO 电压则会从 3.3V 切换到 1.8V，PF 口供电会在 SOC 内部进行切换，无需外部提供独立电源。
- SD 接口信号线为高速信号线，若运行 SD3.0 模式，则要求信号线上并接的 TVS 管的寄生电容 $\leq 5\text{pF}$ ；若只运行 SD2.0 模式，则要求 TVS 管的寄生电容 $< 35\text{pF}$ ，否则会影响数据传输质量。
- 建议保留 DET 信号线上的串联电阻，避免在插入 SD CARD 时产生信号下冲，影响信号质量，同时能够提高 IO 信号的 ESD 性能。如图 2-26 所示。

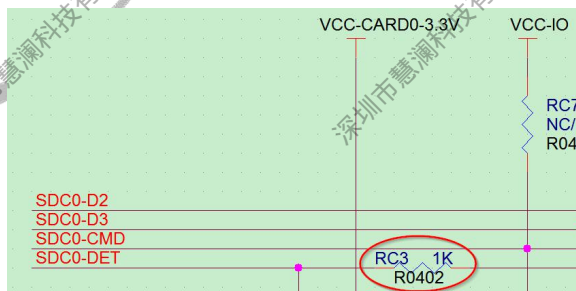


图 2-26 SDC0-DET 串接电阻

- 对于 VCC-CARD，建议采用电源开关保护电路，避免在插入坏卡时拉挂系统以及改善 SD CARD 上电时的电源质量。如果为了降低产品成本，可以删除此电路。如图 2-27 所示。

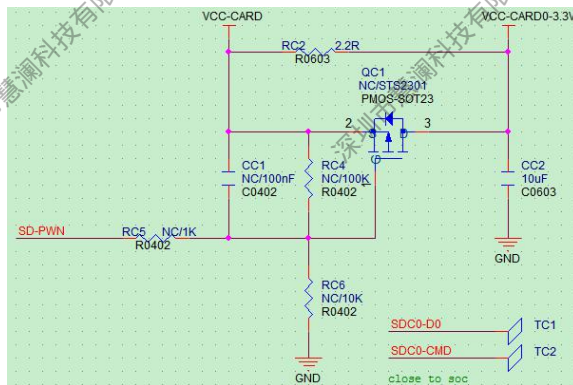


图 2-27 VCC-CARD 的保护电路

- 部分产品的 TF 接口内缩在结构外壳内部，受到 ESD 干扰的风险较低，为了降低产品成本，设计时可以根据产品结构和测试结果，酌情删减 TF 卡接口的 ESD 器件。
- 需在原理图中标注清楚 TF 卡信号线的走线阻抗要求，以便 PCB layout 设计，如图 2-28 所示：



图 2-28 TF 卡信号阻抗要求

- 需在原理图中标注清楚 TF 卡电源的工作电压和最大工作电流，以便 PCB layout 设计，如图 2-29 所示：

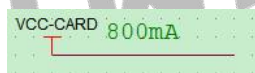


图 2-29 TF 卡工作电压电流标注

2.6. USB

- USB0 具有 OTG 功能，USB1 只具有 HOST 功能，烧录程序只能使用 USB0 口，在产品功能定义上需要注意区别。
- USB0 座子上的 ID Pin 脚用于外部设备检测，连接到 GPIO 脚，并通过电阻上拉到 VCC-IO 电压。若 ID 检测为低，则主控识别 USB 外设插入，USB0 工作为 Host 模式。反之，USB0 工作为 Device 模式。
- 建议保留 ID 信号线上的串联电阻，避免在插入 USB 设备时产生信号下冲，影响信号质量，同时提升 IO 口的 ESD 性能。如图 2-30。

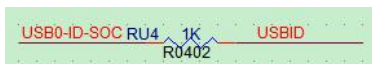


图 2-30 USB-ID 串接电阻

- DP/DM 信号为高速信号线，要求对地并接的 TVS 管的寄生电容 < pF，否则会影响数据传输。
- USB D+/D- 上推荐预留共模电感，可以与 0R 电阻共 LAYOUT，便于 EMI 测试整改。如图 2-31。

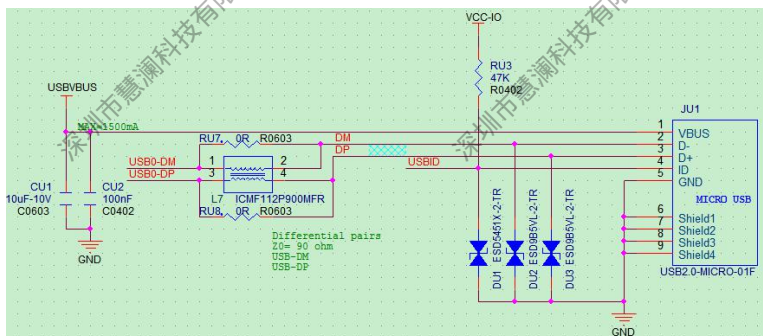


图 2-31 USB0 电路设计

- USB0 和 USB1 接口，在供电电源设计时需要保持与配套的电源方案对应一致。

1、USB0 口的电源设计：

因 PMIC 不带 5V 升压和限流输出功能，因此，USB0 口需要外加限流开关，供电来源于系统 VCC-5V。

如图 2-32 所示。

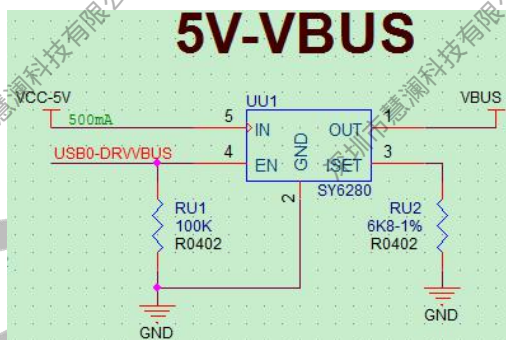


图 2-32 USB0 电源设计

2、USB1 口的电源设计：

- a) 因前端含有了 5V 升压 IC，USB1 口的供电来源于系统 VCC-5V，只增加一个限流开关即可，设计如图 2-33 所示。

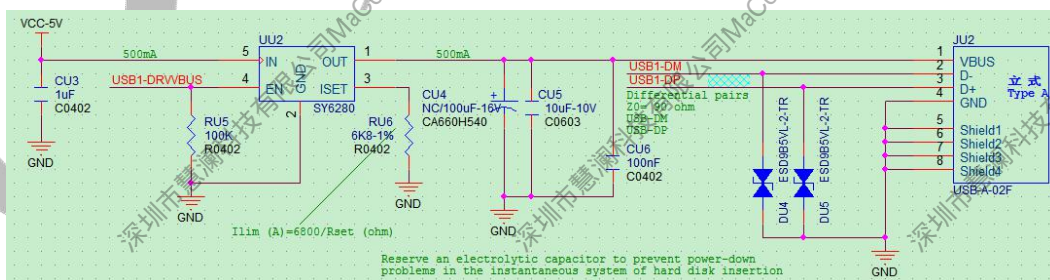


图 2-33 USB1 口电源设计

- 需在原理图中标注清楚 USB 信号线的走线阻抗要求，以便 PCB layout 设计，如图 2-34 所示：

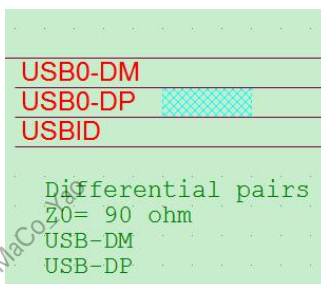


图 2-34 USB 走线阻抗要求

- 需在原理图中标注清楚 USB 电源的工作电压和最大工作电流，以便 PCB layout 设计，如图 2-35 所示：

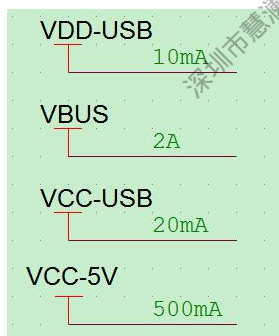


图 2-35 USB 工作电压电流标注

2.7. WIFI-BT

- 需确保 VCC-WIFI 电源的电压与 WiFi 芯片的工作电压保持一致。
- WiFi 的 SDIO 口需与 PG 口的电压保持一致，中断口的电压需与 PL 口的电压保持一致。
- PCM 的连接方式如表 2-4 下，请勿接反：

主控端	WIFI 端
PCM-CLK	PCM-CLK
PCM-SYNC	PCM-SYNC
PCM-DOUT	PCM-DIN
PCM-DIN	PCM-DOUT

表 2-4 PCM 连接方式

- UART 的连接方式如表 2-5 下，请勿接反：

主控端	BT 端
UART-RX	UART-TX
UART-TX	UART-RX
UART-RTS	UART-CTS
UART-CTS	UART-RTS

表 2-5 UART 连接方式

- R818 主控的 32KFOUT 为内部 32.768KHz 时钟输出脚，与 WiFi 模组结合使用时，必须加外部上拉电阻，且注意上拉电源为 VCCIO-WIFI。如图 2-36。

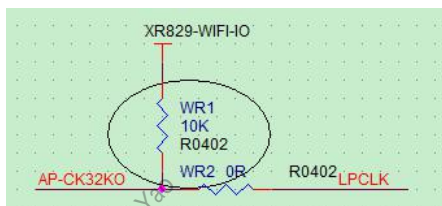


图 2-36 AP-CK32K0 上拉电路

- XR829 可以配合 R818 DCXO 模块的 24M FANOUT 功能使用，达到省晶振的目的。若 XR829 使用 DCXO 模块的 24M FANOUT，需将 CLKREQOUT 脚接到主控的 WREQIN 脚，XTAL2 脚接到 R818

的 AP-CK24M-OUT 信号, XTAL1 脚做接地处理, 如图 2-37 所示。若 XR829 不使用 DCXO 模块的 24M FANOUT, 需将 XR829 的 CLKREQOUT 脚悬空, R818 的 WREQIN 脚接地, XTAL1/XTAL2 脚接外部晶体。

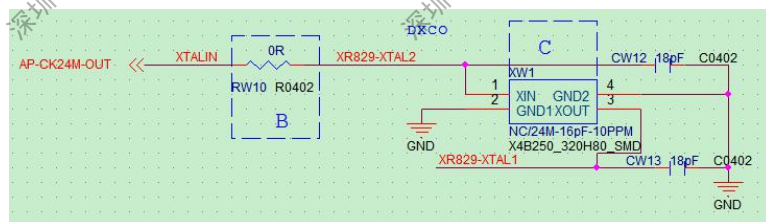


图 2-37 XR829 省 24M 晶振电路设计

- 若采用全志的 XR829 芯片, 为保证 WiFi 的 RF 性能, 请务必使用全志配套的晶振, 型号为: E3SB24E004304E
- 若使用 XR829 芯片和配套晶体 E3SB24E004304E, 若想采用 R818 的 DCXO 模块, 达到省晶体的目的时, 可将此晶体贴在 R818 的 DCXO 部分, 同时, 务必将对应的匹配电容由 18PF 改为 20PF。
- XR829 的 VDD14_XX 电源输出具有 LDO 和 DCDC 两种模式, 若采用 LDO 输出模式, 请将 LDO_SEL 脚上拉到 VCCIO-WIFI, 同时 NC 掉电感 LP14, 电源由 SENSE 脚输出。若采用 DCDC 输出模式, 请将 LDO_SEL 脚下拉到地, 同时贴电感 LP14, 电源由 VLX 脚输出。如图 2-38 所示:

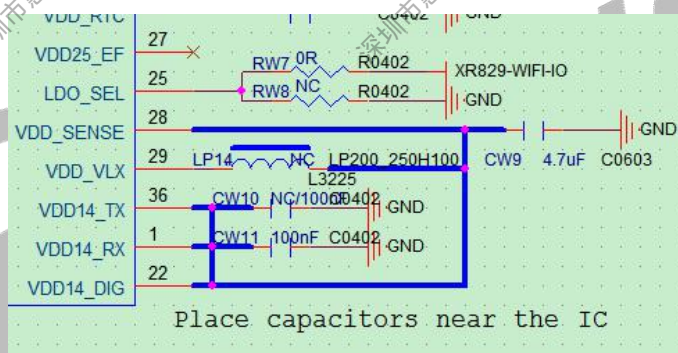


图 2-38 XR829 VDD14 电源设计

- WiFi 的天线设计建议预留 π 型匹配电路, 便于天线的匹配调试。如图 2-39 所示:

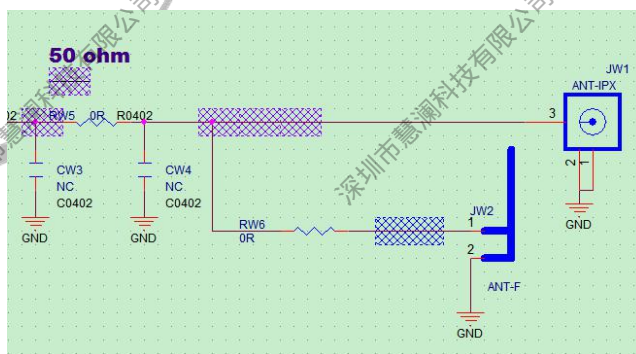


图 2-39 WiFi 天线匹配电路设计

- 每一个新的 PCB 使用 onboard 的 WiFi, 都需要进行一次阻抗匹配和传导测试。
- 对于其它不同厂家的 WiFi 模组, 具体原理图设计请参照 WiFi 原厂的设计指导文档。
- 需在原理图中标注清楚 WIFI SDIO 信号线的走线阻抗要求, 以便 PCB layout 设计, 如图 2-40 所示:

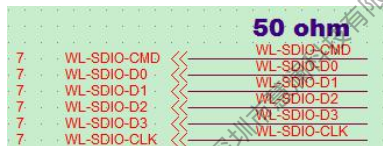


图 2-40 SDIO 信号走线阻抗要求

- 需在原理图中标注清楚 WiFi 电源的工作电压和最大工作电流，以便 PCB layout 设计，如图 2-41 所示：

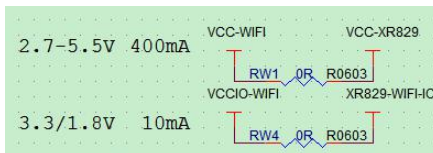


图 2-41 WiFi 工作电压电流标注

2.8. AUDIO

- AVCC、VRA1、VRA2、AGND 的接地点汇总成一点，通过 0R 电阻到 GND。Audio codec 模块外围的络上电阻、电容的参数不能修改。如图 2-42 所示。

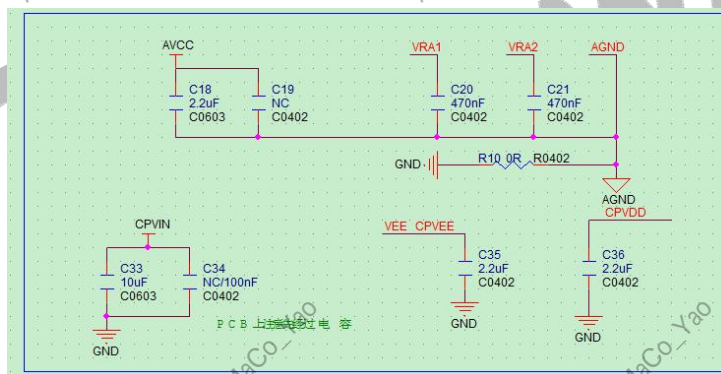


图 2-42 Audio codec 外围电路

- CPVEE 与 VEE 共用滤波电容，PCB 设计时需单独走线到滤波电容 C35 处连接在一起，不能在 IC 下方 PAD 将其连接在一起。
- 耳机输出的 RC 电路必须保留，如下图 2-43 的 C67/R26，C68/R27。HPOUTFB 的接地电阻靠近耳机座子，而且耳机座子与下地电阻 R28 的走线至少要大于 15mil。MIC2N-N 网络要参考耳机座子的地。如图 2-43 所示：

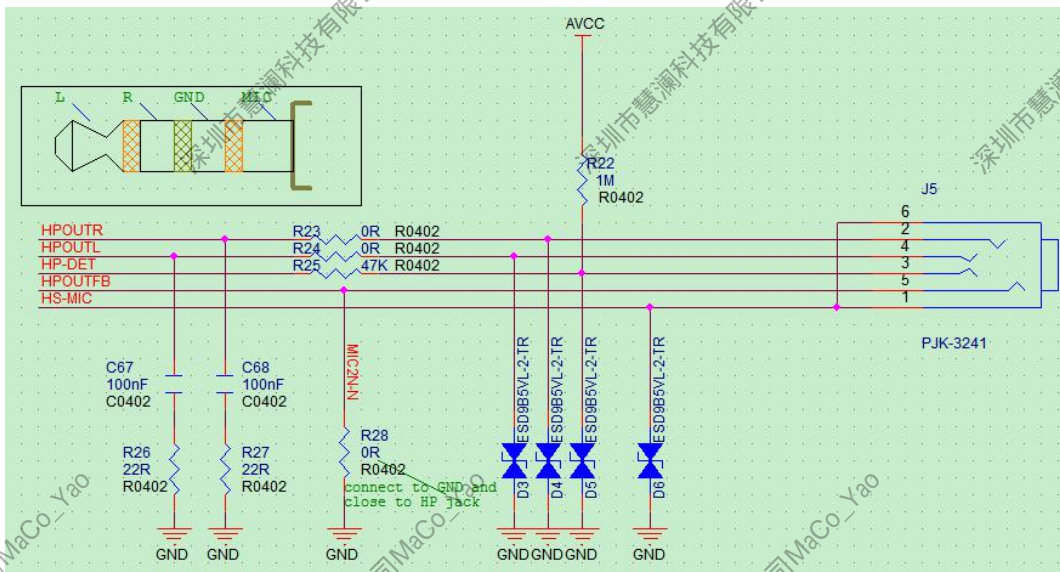


图 2-43 耳机接口电路设计

- 耳机检测是通过检测 HP-DET 的电平的高低状态。若插入耳机，3 和 4 脚短路，则电阻 R84 NC 不贴；若插入耳机，3 和 4 脚断开，电阻 R84 贴 100K，如图 2-43 所示。不同耳机检测的有效电平需在 sys_config 配置文件修改。
- 如果产品不带耳机接口，但又需要通过 HPOUTL/HPOUTR 信号外接音频功放时，必须将 HPOUTFB 信号在 CPU 端就近接地处理。
- 耳机输出 HPOUTR/L 通路不允许串接磁珠，否则会影响音频的传输质量。
- 不同的耳机座子，其结构也不尽相同，耳机接法必须考虑实际采用的耳机座子的结构，具体请参照耳机座子对应的规格书，并考虑欧标（OMTP）或者美标（CTIA）四段式耳机的接线顺序。标案默认为美标四段式耳机接法。美标与欧标的接口差异如图 2-44 所示。

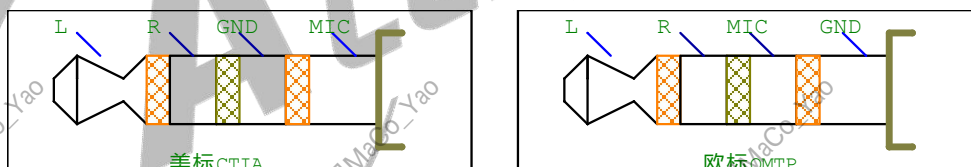


图 2-44 美标欧标耳机接口差异

- AVCC 电源为内部模拟模块的供电电源，对电源质量要求较高，请勿改变现有的供电关系。
- HS-MIC 信号为 MIC 检测和信号接收 PIN，一般都在耳机接口的外部，容易受 ESD 干扰，需对地接 1nF 电容，如 C66，靠近耳机座子摆放，提高系统 ESD 性能，不能删除。如图 2-45 所示：

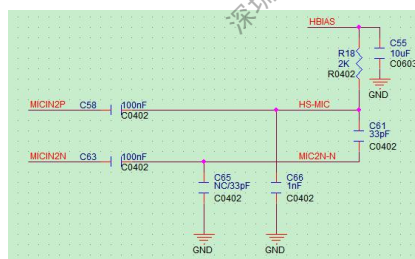


图 2-45 HS-MIC 信号电路设计

- R818 支持喇叭立体声双喇叭输出，如果产品为单喇叭输出时，请将功放默认接到 HPOUTR 信号上，同时将功放使能信号默认下拉电阻到地，避免上下电喇叭异响。功放设计时，注意反馈电阻的选用，反馈电阻的选用需参照功放的规格书，避免放大系数过大，导致声音失真。如图 2-46 所示：

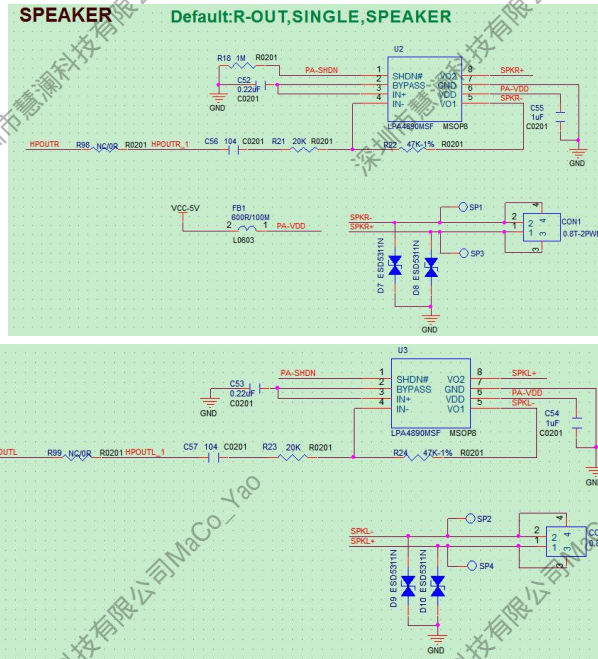


图 2-46 SPEAKER 电路设计

- R818 芯片的 HPOUT 信号只支持单端信号输出，不支持类差分信号输出，接差分 D 类功放时，需将 IN-脚接地处理。
- 本地 MIC 的电路设计推荐了单端设计和类差分设计方案，如果产品需 costdown，建议采用单端设计方式，可以省掉一个 ESD 器件。如果需提高 mic 音质和抗干扰性，推荐采用类差分设计，语音识别类产品必须使用类差分设计。如图 2-47 所示：

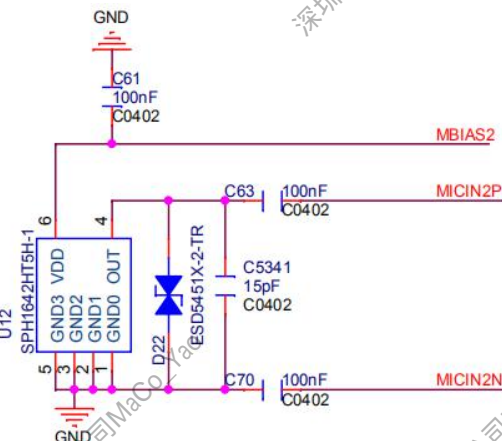
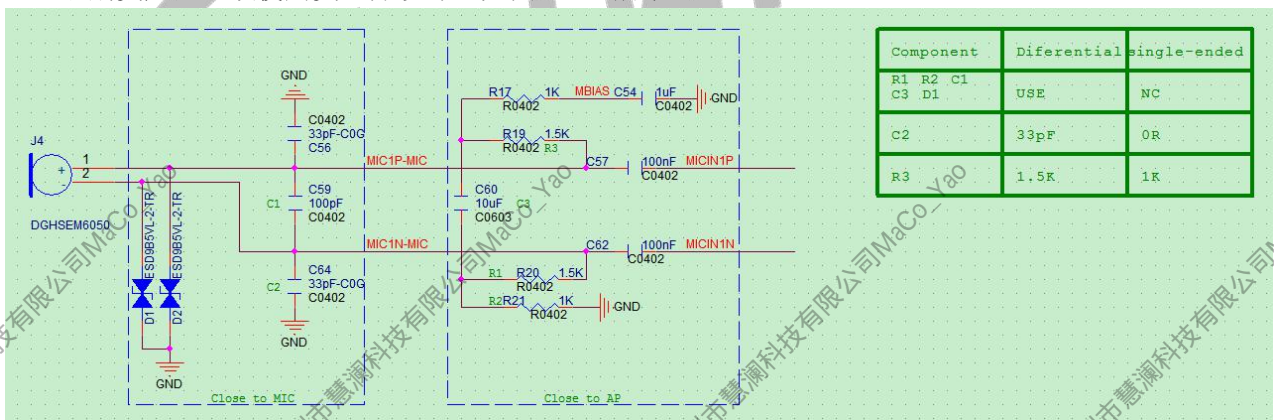


图 2-47 ECM & MEMS MIC 电路设计

- 耳机 MIC 和本地 MIC 的偏置电阻需要根据差分或者单端进行匹配。如图 2-47 所示的电阻 R17/R19/R20/R21。
- AEC 电路参考如下连接方式，当功放端的电源电压为 12V 时，使用 12V PA 的参考设计电路，当功放端的电源电压为 5V 时，使用 5V PA 的参考设计电路。电路的分压值可根据实际场景进行微调。

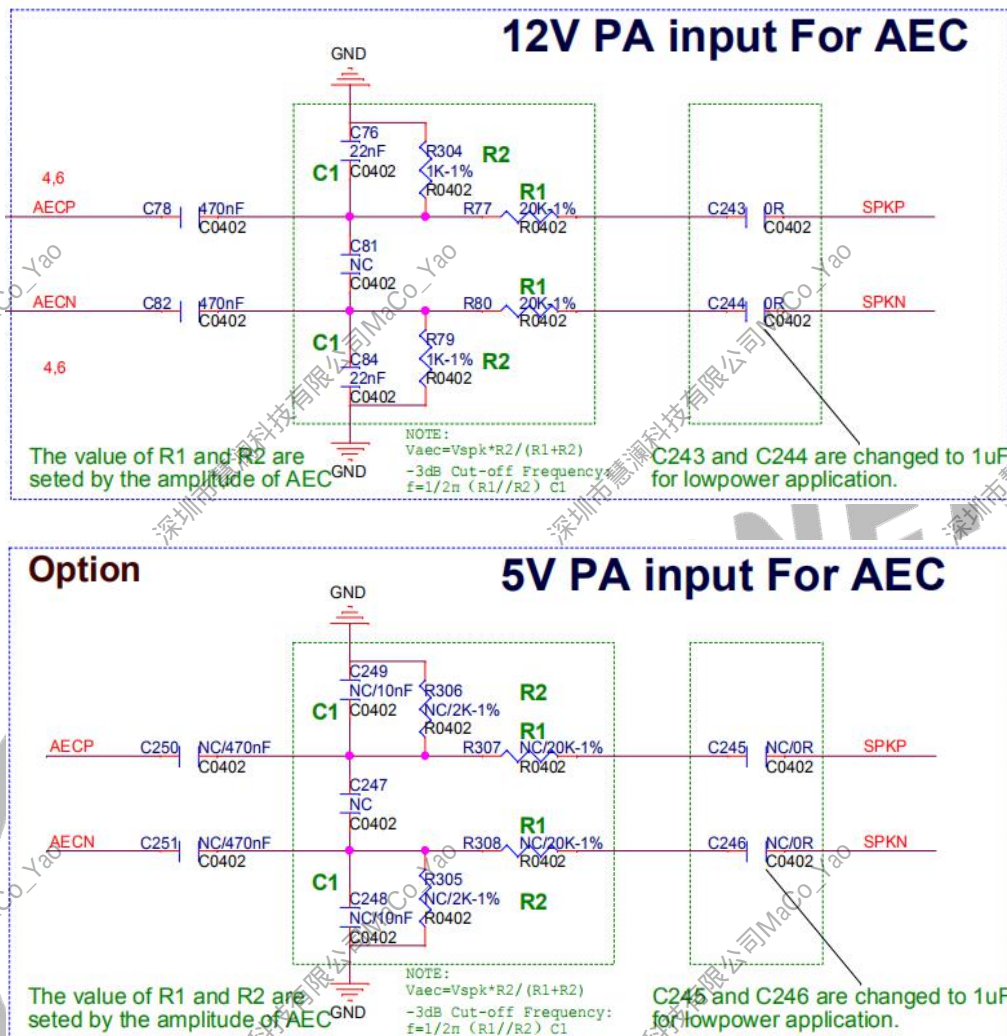


图 2-48 AEC 回路参考设计

- 需在原理图中标注清楚 AUDIO 部分电源的工作电压和最大工作电流，以便 PCB layout 设计，如图 2-48 所示：

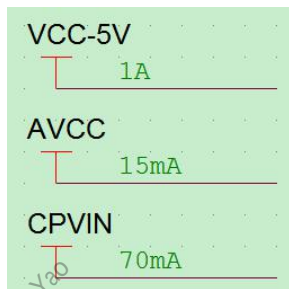


图 2-49 AUDIO 电源工作电压电流标注



注意，HS-MIC 信号要有对地 1nF 电容，提高系统 ESD 性能。

2.9. Debug

- CPUX 的 JTAG 调试接口和 UART 接口分别可以从 SOC 的 PB、PF 口出来，两者必须至少保留其中一种接口，以便开发调试和量产问题分析处理。在有 TF 卡功能的产品中，建议 PB 口也尽量预留测试点，量产可以不贴元件，增加问题的分析调试通道。UART 接口建议增加防漏电电路，避免样机在长期老化测试中样机和电脑之间存在漏电，导致机器工作不正常或者电脑被拉挂。如图 2-49。

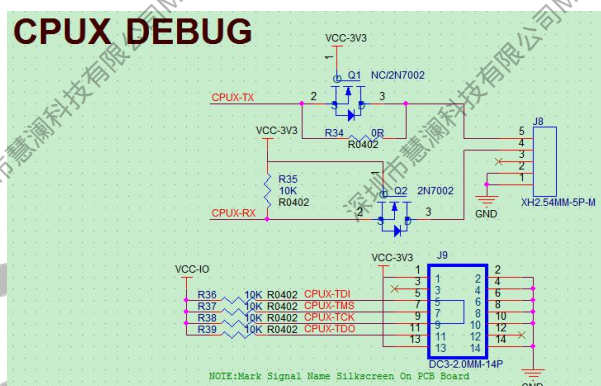


图 2-50 CPUX 的调试接口

2.10. KEY

- LRADC 按键键数选择，根据产品需要进行增加或者删减，LRADC 的电压采集范围为 0~1.266V，设计上请保证每个键值之间的电压间隔大于 0.2V 以上。分压电阻必须采用精度为 1% 的高精度电阻。如图 2-50。

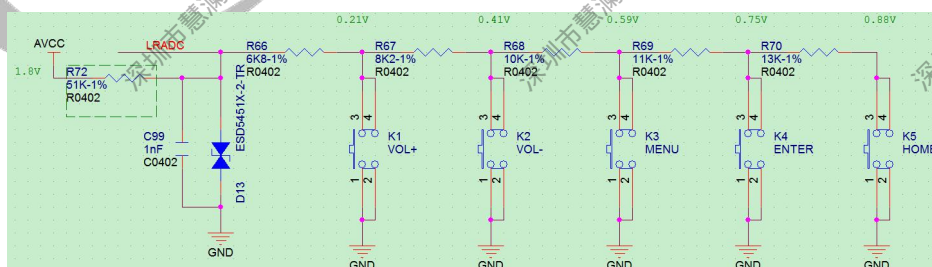


图 2-51 按键电路设计

- 如果不需要按键，若考虑 SDK 兼容，则 LRADC 必须加 100K 上拉电阻到 AVCC，否则 LRADC 可以 floating
- UBOOT 按键为硬件触发程序烧录按键，请根据产品需求决定是否预留。如图 2-51。

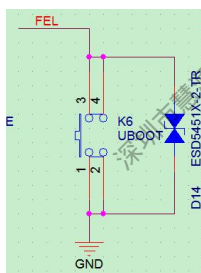


图 2-52 UBOOT 按键

- RESET、POWER 按键请根据产品需求进行删减。
- 机器硬件触发烧录固件的按键组合方式有如下两种，请务必保留其中的一种按键，避免机器程序被破坏之后无法软件烧录。
 - 1) UBOOT 按键；
 - 2) 音量加键或者减键+ POWER 按键。

2.11. DISPLAY

- R818 支持 RGB、LVDS、MIPI-DSI 三种接口 LCD 屏，产品设计时请根据具体的 LCD 规格选用相关的参考设计电路。
- PD 口对应的 RGB 数据接口、LVDS 接口、DSI 接口请按照标案默认设计，不能修改。如图 2-52 所示：

LCD0_D2	LVDS0_D0P	DSI_DP0
LCD0_D3	LVDS0_D0N	DSI_DM0
LCD0_D4	LVDS0_D1P	DSI_DP1
LCD0_D5	LVDS0_D1N	DSI_DM1
LCD0_D6	LVDS0_D2P	DSI_CKP
LCD0_D7	LVDS0_D2N	DSI_CKM
LCD0_D10	LVDS0_CKP	DSI_DP2
LCD0_D11	LVDS0_CKN	DSI_DM2
LCD0_D12	LVDS0_D3P	DSI_DP3
LCD0_D13	LVDS0_D3N	DSI_DM3
LCD0_D14	LVDS1_D0P	
LCD0_D15	LVDS1_D0N	
LCD0_D18	LVDS1_D1P	
LCD0_D19	LVDS1_D1N	
LCD0_D20	LVDS1_D2P	
LCD0_D21	LVDS1_D2N	
LCD0_D22	LVDS1_CKP	
LCD0_D23	LVDS1_CKN	
LCD0_CLK	LVDS1_D3P	
LCD0_DE	LVDS1_D3N	
LCD0_HSYNC		
LCD0_VSYNC		

图 2-53 RGB/LVDS/DSI 接口定义

- 务必保证 AP 端与 LCD 端的 MIPI 或 LVDS 接口信号差分对正确连接，正负不能反接。
- LCD 的正负压供电电源需根据 LCD 的规格进行匹配设计，标案中的设计仅供参考。
- LCD 的背光 IC 需要根据具体 LCD 规格设计，默认采用 PWM 调光，采用 PWM 调光时，请注意 PWM 的频率需要大于 20KHz，否则会出现电感啸叫的情况，建议根据背光 IC 的规格参数，将 PWM 频率调整为 30KHz~50KHz。
- 背光 IC 的 FB 端对地的限流电阻选用 1%精度的电阻，封装的选用需满足电路的功率需求。如图 2-53 所示：

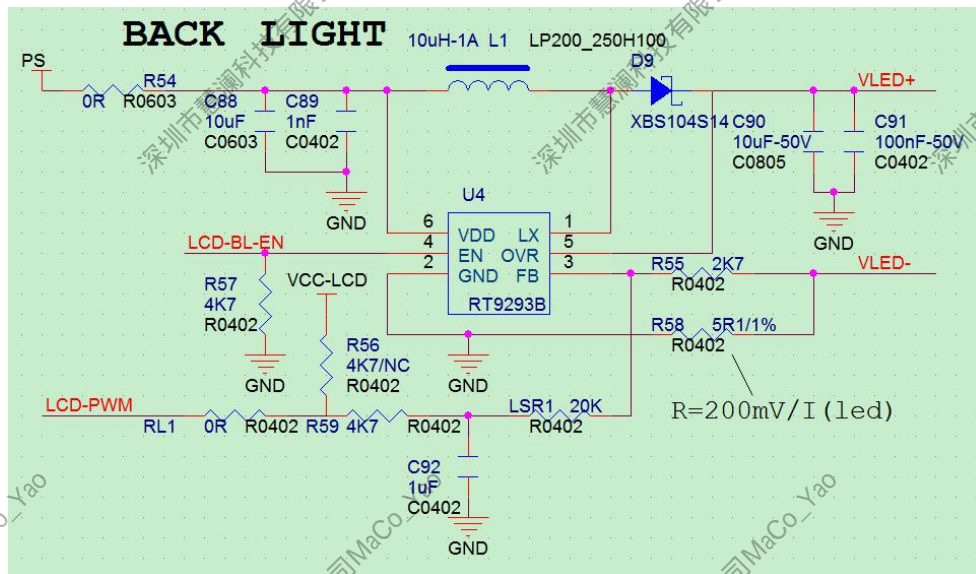


图 2-54 LCD 背光电路设计

- 请确认 LCD 的 IO 电压与 AP 端的控制 IO 电压是否一致，若不一致，注意做电平匹配处理，如 LCD-RST 信号。
- 需在原理图中标注清楚 LVDS、MIPI-DSI 信号线的走线阻抗要求，以便 PCB layout 设计，如图 2-54 所示：

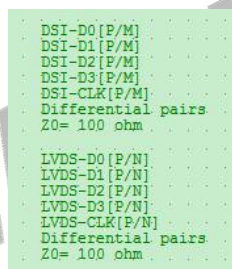


图 2-55 LVDS、MIPI-DSI 信号走线阻抗要求

- 需在原理图中标注清楚 LCD 电源的工作电压和最大工作电流，以便 PCB layout 设计，如图 2-55 所示：

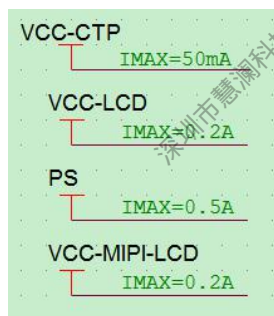


图 2-56 LCD 部分电源工作电压电流

2.12. SENSOR

- SENSOR 的 VCC 与 IOVCC 的电压大小可能不一致，确保 MASTER I2C 总线电压域与 SENSOR 的 IOVCC 一致，否则需要做电平转换处理。
- SENSOR 的 I2C 需接上拉电阻，不可删除，如图 2-56 所示：

全志科技版权所有，侵权必究

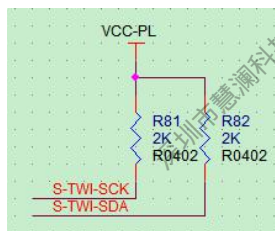


图 2-57 I2C 电路设计

- SENSOR 的中断信号默认接到 R818 的 PH 口，如果有需要在待机工作的 SENSOR，请保持该 SENSOR 的供电在待机时正常工作，同时将中断口连接到 PL 口。如 LIGHT 传感器的电路设计，如图 2-57 所示：

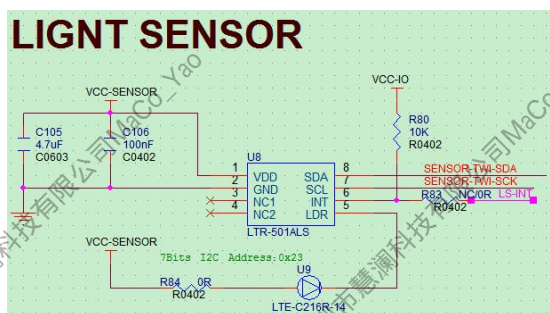


图 2-58 LIGHT 传感器电路设计

- 如果一路 I2C 上需要挂多个 SENSOR，需确保各个 I2C 设备的地址不冲突。
- 必须在原理图中标注清楚 SENSOR 电源的工作电压和最大工作电流，以便 PCB layout 设计，如图 2-58 所示。

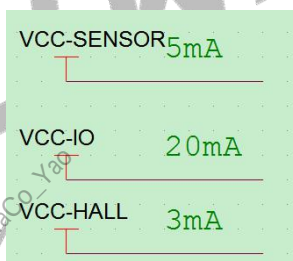
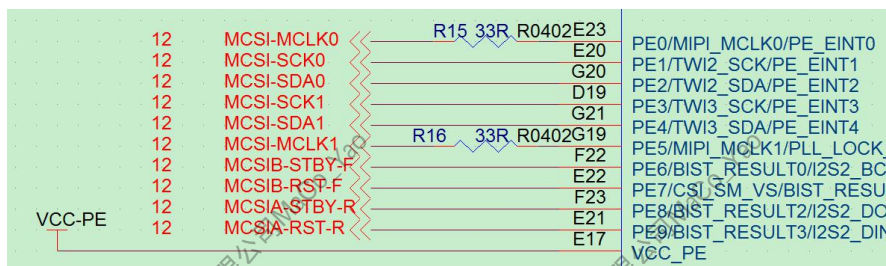


图 2-59 SENSOR 电源工作电压电流

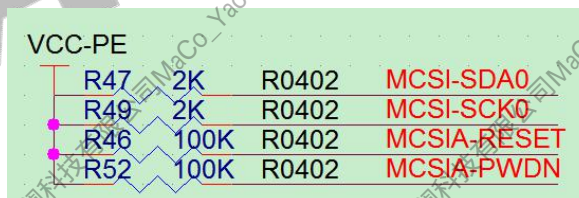
2.13. CAMERA

- R818 支持两路 MIPI-CSI 接口，A、B 通道通过内部模拟开关切换分时复用，硬件设计时，为了便于 PCB layout 设计，可以调换 A、B 通道与前后置摄像头之间的对应关系，但是，如果不同于标案，需要同时进行相关的软件适配。
- CAMERA 供电电源 AVDD-CSI、DVDD1V8-CSI、IOVDD-CSI、AFVCC-CSI 在接口处需挂滤波电容，容值选用需参考 sensor 规格书需求。如图 2-59。

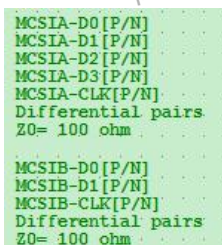
➤ MCLK 建议靠近座子端预留 NC 电容，靠近 SOC 端串接 33R 电阻。如图 2-60。



- AVDD-CSI 为 sensor 内部模拟电路供电，对电源的纹波噪声要求较高，必须与其它电源分开供电，以保证 AVDD-CSI 的电源质量。
- 若模组带自动对焦功能，需给模组提供 AFVCC-CSI 电源供电，若 AFVCC-CSI 电源没有时序要求，可以与 IOVDD 共电，若有 AFVCC-CSI 电源有时序要求，需独立供电。
- 若前后摄像头的数字电源 DVDD-CSI 供电电压相同，则前后摄像头可以共用同一路电源，若数字电源 DVDD-CSI 供电电压不同，需考虑独立供电或者 CAMERA 模组上做 DCDC 降压兼容设计。
- 摄像头模组 PIN 脚定义：检查摄像头模组的 PIN 定义，是否与插座一致。特别需要注意一般 24PIN 插座有上接触或下接触可选择，检查模组金手指接触面的方向是否匹配。
- CAMERA 的 I2C 必须接上拉电阻，且不能与其他设备共用。前后摄像头的 I2C 地址不要相同，避免通讯冲突。如图 2-61。



➤ 需在原理图中标注清楚 MIPI-CSI 信号线的走线阻抗要求, 以便 PCB layout 设计, 如图 2-62 所示:



➤ 需在原理图中标注清楚 CAMERA 电源的工作电压和最大工作电流, 以便 PCB layout 设计, 如图 2-63 所示:

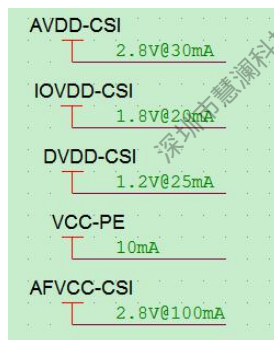


图 2-64 CAMERA 电源工作电压电流

2.14. TP

- TP 的 I2C 需接上拉电阻到 VCC-IO 电源。
- CTP-INT、CTP-RST 信号连接到 R818 的 PH 口，默认为 3.3V 电压，使用时请注意须与 TP 驱动芯片 IO 电压保持一致。
- 必须在原理图中标注清楚 CTP 电源的工作电压和最大工作电流，以便 PCB layout 设计。

3. ESD 设计

平板产品因为体型较薄，测试时与测试平台靠的很近，加上自身有一块较大的 LCD 金属外壳，导致 GND 平面耦合较大，对 ESD 的测试带来了巨大挑战，因此在进行 ESD 测试时，会经常出现 LCD 花屏、卡死，TP 触摸失灵，系统崩溃等现象。产品的 ESD 设计与整机的结构工艺设计、电子系统设计、软件设计、元器件选型等都密不可分，因此，如果客户对产品的 ESD 性能要求较高，需在产品设计前期进行充分的技术评估和产品规划。在产品的设计时，不仅需要做好电子配件的选型，同时还需要做好原理图、PCB、结构工艺、软件等多方面的防护设计。

3.1. 原理图 ESD 设计

R818 的原理图 ESD 设计主要注意点如下：

- R818 系统功能配置脚 TEST 等为敏感信号，易受干扰，抗 ESD 能力较弱，方案应用时不要引出走线，若要引出走线时建议增加对地 1~100nF 电容。
- 系统挂死与 IO 的抗 ESD 能力有关，提高各接口输入 PIN 的 ESD 能力有助于提高系统 ESD。如 HP-DET/USB-ID/CARD-DET/MIC-DET 等检测 PIN，将其到 SOC 端串接电阻有利于提高 ESD 性能。
- HS-MIC 信号为接口外露 PIN，除了增加 ESD 保护器件外，还要增加在 HS-MIC 到 SOC 端串接 1K~1.5K 电阻，或对地增加 1nF 电容；现有方案直接将 HS-MIC 对地电容改为 1nF 即可。
- 复位信号在靠近 AP 端，必须保留一个对 GND 的滤波电容，容值固定选择 1nF。走线尽可能包地处理，且远离干扰信号。
- 对于模组上的 reset 信号，如果测试 ESD 不过，可以考虑在模组上靠近芯片管脚的位置增加 1~100nF 电容接地，提升 ESD 性能。

- USB 的 DP 和 DM 信号可以串接上磁珠或者 0R 电阻，以增强 ESD 性能
- CPU / DRAM / 晶振等 ESD 敏感的关键器件，建议预留金属屏蔽罩。
- 关键敏感电源可以考虑增加 LC 滤波设计。
- 部分与外部直连或者裸露的接口，如 speaker、MIC、耳机、USB、TF、按键等，必须加上合适的 ESD 器件。

3.2. PCB ESD 设计



说明，PCB 的 ESD 设计请参考《R818_Tablet_PCB_Design Layout Guide_Vxx》指导文档 ESD 设计部分。

3.3. 软件 ESD 设计

软件 ESD 设计主要参考点如下：

- 建议把不用的 IO 口设置为低电平。
- 软件上可以加看门狗，对保护的目标状态位进行检测和异常监控。
- 出现 LCD 花屏、卡顿、卡死等异常现象时，如果在硬件整改无效的情况下，可以考虑增加 LCD 软复位的策略。
- 出现 TP 失灵，不能恢复正常时，在硬件整改无效的情况下，可以考虑增加 TP 软复位的策略。

3.4. 结构工艺 ESD 设计

结构 ESD 设计主要参考点如下：

- 整机结构、装配工艺设计时，可通过加大 PCBA 的 GND 平面与外部金属平面的有效接触面积，如 LCD 金属保护壳，增加 ESD 的泄放平面，提升 ESD 水平。
- 如果整机有接口副板设计，通过 FPC 排线与主板连接，建议将接口 ESD 器件摆放在副板上，并将副板与 LCD 金属平面通过导电棉有效连接在一起，使其就近下地，降低 ESD 流入主板干扰到 SOC 系统工作。
- 建议在 PCB 板双面四周均匀留出多个不小于 25mm² 的 GND 裸露铜皮（此铜皮直接通过过孔与 GND 平面相连），并通过导电棉与金属平面相连接。
- 塑胶内层喷导电漆，并将其与 GND 平面有效连接，达到屏蔽的效果。
- 如果 LCD 的 FPC 排线过长易受干扰，可以将 FPC 排线贴导电布屏蔽，或者采用屏蔽的 FPC 排线。
- LCD 在 ESD 测试异常时，可能是 LCD 的 TCOM 板电路受到干扰导致，可以考虑将其贴导电布屏蔽。
- 整机在结构工艺设计时，尽量将 LCD、TP 等 ESD 敏感部件远离裸露在外面的金属接口，降低 ESD 干扰风险。
- 整机装配时，需确保 PCBA 与 LCD 平面有效的接触，增加 ESD 泄放路径。

4. EMI 设计

产品设计之初，应充分了解硬件系统有哪些时钟信号，并对这些信号加以防护，以提高产品 EMI 性能，减少后续 DEBUG 时间和成本。

R818 各模块主时钟频率如表 4-1 所示。

接口	时钟	时钟频率	是否支持展频
DDR	SCKP/SCKN	DDR 各频点	支持
TWI	TWI-SCK	400 KHz	支持
IIS	IIS-MCLK	24.576MHz、22.5792MHz、	支持
SDIO	SDC-CLK	50MHz、100MHz、150MHz	支持
LCD	LCD-CLK	33MHz、49.5MHz、74.25MHz	支持
CSI	MCLK	24M 、 27MHz 、 37.25MHz 、 74.5MHz	支持

表 4-1 R818 各接口时钟频率

EMI 设计建议参考如下：

- 各接口设计请按照各模块原理图和 PCB 设计要求进行。
- 硬件系统上高速时钟线建议走内层，且较高速的单端时钟线上均要预留 RC 滤波电路，抑制高频分量，对于各模块时钟线进行包地处理。
- 差分对信号进行按照差分对要求走线，若无空间，需要满足 3W 原则。
- 排线座子合理布局，排线下方尽量不要有元器件和 PCB 走线；
- 若受结构限制，排线必须拉得很长，则建议排线座子信号线采用两两包地方式，且子板要预留与显示屏金属平面接地位置，排线必要时建议采用带屏蔽的排线。
- PCB 背面预留一些空白地位置，使用导电泡棉与显示屏接触，改善地回路；
- USB 与 BMU 共用一路 USB-DM/DP，在 BMU 端 USB-DM/DP 信号上串接的电阻靠近分叉点处放置。
- 喇叭线建议采用双绞线。