**Синтез управляющего автомата Мили**

**Шаг 1. Разметка ГСА**

**1.** Символом Q0 помечаем вход вершины, следующий за начальной и вход конечной вершины

2. Входы всех вершин, следующих за операторными, помечаем символами состояний Q1-Q7

3. Вход вершины отмечаются одним символом.

Схема алгоритма приведена на рисунке:

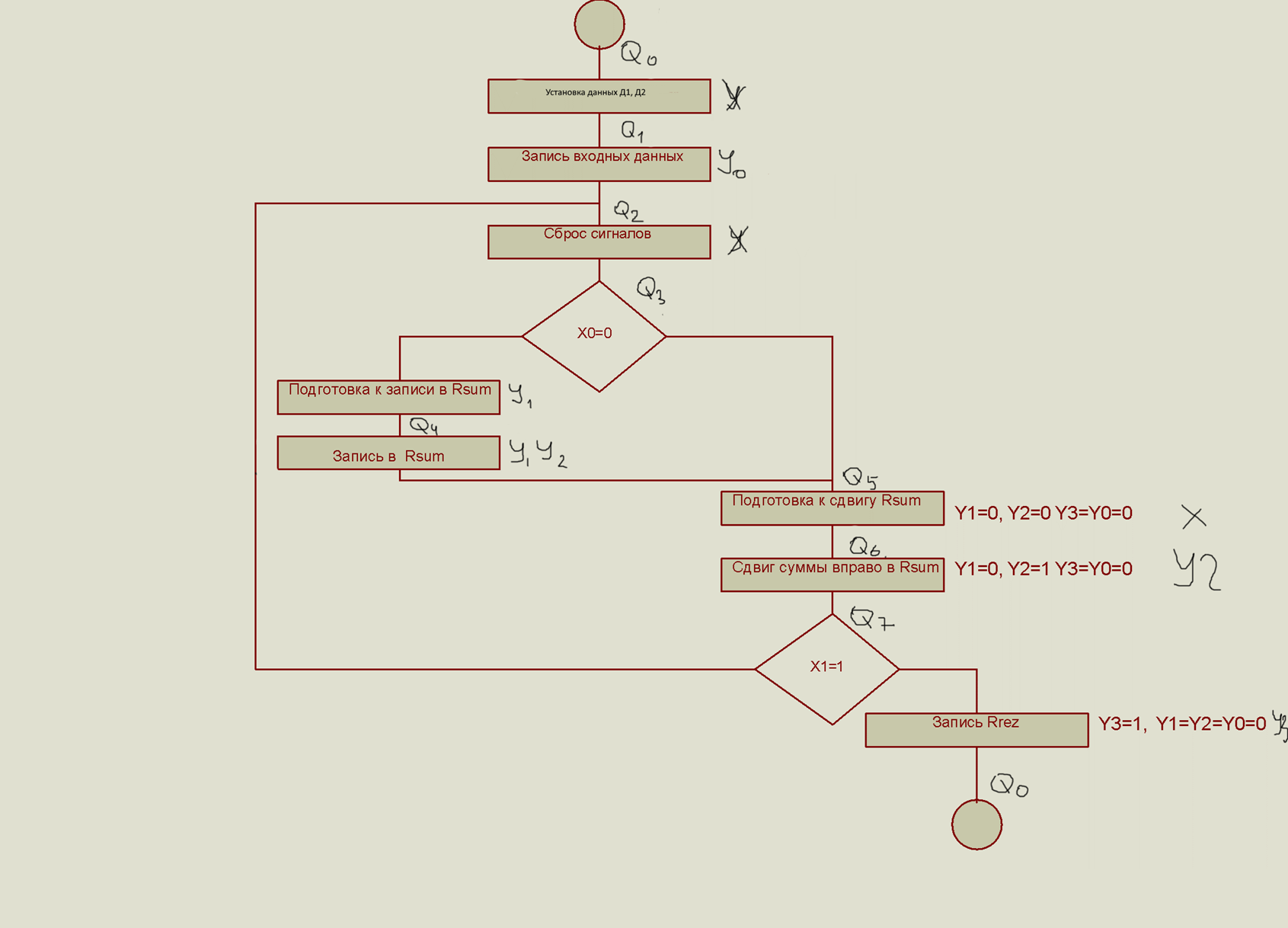


Рисунок 4 - Размеченная ГСА автомата Мили

Как видим наш автомат должен иметь Q = 8 состояний (Q0-Q7). Для его построения необходимо элемента памяти. В качестве элемента памяти будем использовать три D триггера, входящие в четырехразрядный параллельный регистр.

**Шаг 2 Кодирование состояний**

Зададим таблицу кодировки состояний

|  |  |  |  |
| --- | --- | --- | --- |
| Номер  состояния | Код состояния | | |
|  | Т1 | Т2 | Т3 |
| Q0 | 0 | 0 | 0 |
| Q1 | 1 | 0 | 0 |
| Q2 | 0 | 1 | 0 |
| Q3 | 1 | 1 | 0 |
| Q4 | 0 | 0 | 1 |
| Q5 | 1 | 0 | 1 |
| Q6 | 0 | 1 | 1 |
| Q7 | 1 | 1 | 1 |

**Шаг 3 Построение полной таблицы переходов автомата Мили**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Исх.  сост. | Код исходного  состояния | | | Условия  перехода | | След.  Сост. | Код  следующего  состояния | | | Выходные сигналы | | | | |
|  | T1 | T2 | T3 | X0 | X1 |  | D1 | D2 | D3 | Y0 | Y1 | Y2 | Y3 |
| Q0 | 0 | 0 | 0 | \* | \* | Q1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| Q1 | 1 | 0 | 0 | \* | \* | Q2 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| Q2 | 0 | 1 | 0 | \* | \* | Q3 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| Q3 | 1 | 1 | 0 | 0 | \* | Q5 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| Q3 | 1 | 1 | 0 | 1 | \* | Q4 | 0 | 0 | 1 | 0 | 1 | 0 | 0 |
| Q4 | 0 | 0 | 1 | 1 | \* | Q5 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| Q5 | 1 | 0 | 1 | \* | \* | Q6 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| Q6 | 0 | 1 | 1 | \* | \* | Q7 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| Q7 | 1 | 1 | 1 | \* | 0 | Q2 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| Q7 | 1 | 1 | 1 | \* | 1 | Q0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

Состояние Q0 необходимо для начальной установки данных D1, D2.

В состоянии Q1 данные записываются в входные регистры.

**Шаг 4. Построение логических выражений функций выходных сигналов и сигналов управления элементами памяти.**

Y0 = T1\*¬T2\*¬T3

Y1 = T1\*T2\*¬T3\*X0+¬T1\*¬T2\*T3\*X0

Y2 = ¬T1\*¬T2\*T3\*X0+¬T1\*T2\*T3

Y3 = T1\*T2\*T3\*X1

D1 = ¬T1\*¬T2\*¬T3+¬T1\*T2\*¬T3+T1\*T2\*¬T3\*¬X0+¬T1\*¬T2\*T3\*X0+¬T1\*T2\*T3

D2 = T1\*¬T2\*¬T3+¬T1\*T2\*¬T3+T1\*¬T2\*T3+¬T1\*T2\*T3+T1\*T2\*T3\*¬X1

D3 = T1\*T2\*¬T3\*¬X0+T1\*T2\*¬T3\*X0+¬T1\*¬T2\*T3\*X0+T1\*¬T2\*T3+¬T1\*T2\*T3

**Шаг 5. Минимизация логических функций.**

Y0 = T1\*¬T2\*¬T3

Y1 = X0\*(T1+T3)\*(T2+¬T1)\*(¬T2+¬T3)

Y2 = T3\*¬T1\*(T2+X0)

Y3 = T1\*T2\*T3\*X1

D1 = T2\*¬T1+X0\*¬T1+¬T1\*¬T3+T2\*¬T3\*¬X0

D2 = (T1\*¬T2)+(T2\*¬T1)+(T2\*T3\*¬X1)

D3 = (T1+T3)\*(T2+T3)\*(T1+T2+X0)\*(¬T1+¬T2+¬T3)