**Лабораторная работа № 2**

**по курсу «Программное обеспечение цифрового проектирования»**

**«Структурное описание цифровых устройств на языке VHDL. Работа с TestBench»**

Необходимое программное обеспечение:

Xilinx ISE design suite

1. Составить структурное vhdl-описание мультиплексора с двумя входами (a, b), селектирующим сигналом (s) и выходом (z), соответствующее структурной схеме (см. Рис. 1):

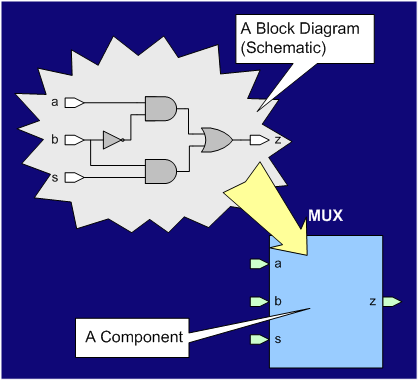


Рис. 1. Структурная схема мультиплексора 2x1.

1. Составить структурное vhdl-описание мультиплексора с четырьмя входами (a, b, a1, b1), селектируюшим сигналом (s) и двумя выходами (z, z1), соответствующее структурной схеме (см. рис. 2). Причем мультиплексор должен состоять из компонентов, описанных в пункте 1.

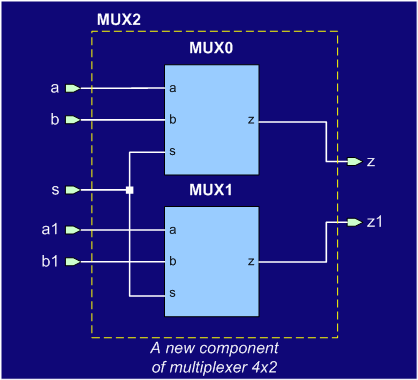
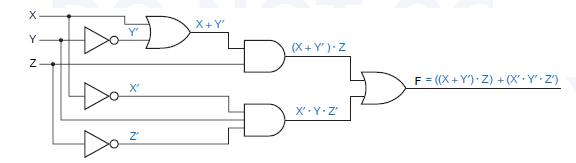
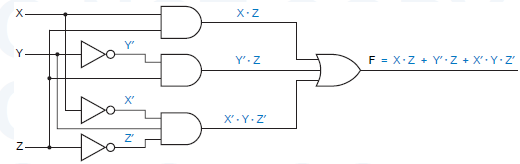


Рис. 2. Структурная схема мультиплексора 4x2.

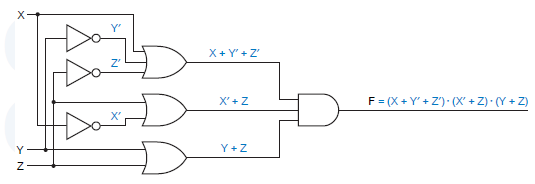
1. Далее необходимо составить структурное и поведенческое описание цифрового устройства (на выбор) из приведенных ниже:
   1. Вариант 1:



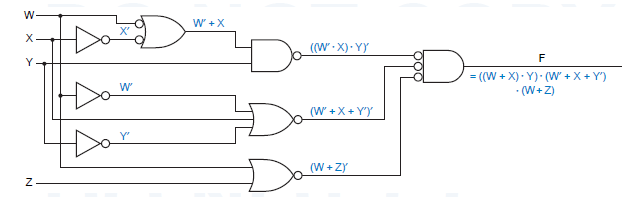
* 1. Вариант 2:



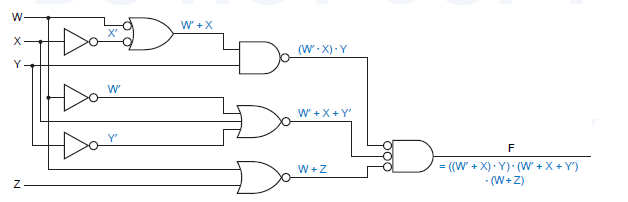
* 1. Вариант 3:



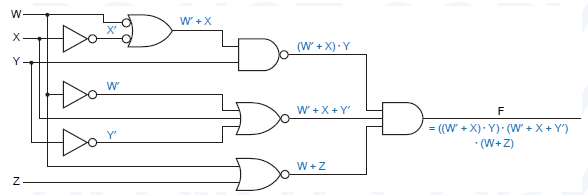
* 1. Вариант 4



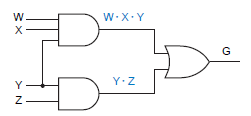
* 1. Вариант 5



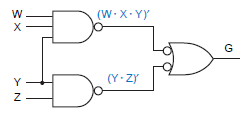
* 1. Вариант 6



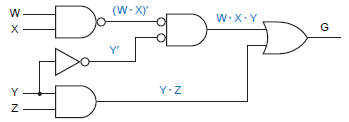
* 1. Вариант 7



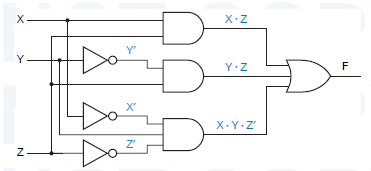
* 1. Вариант 8



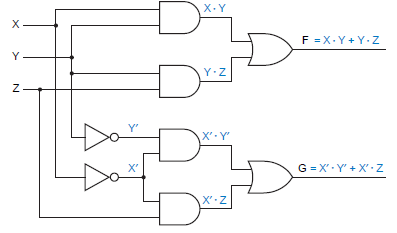
* 1. Вариант 9



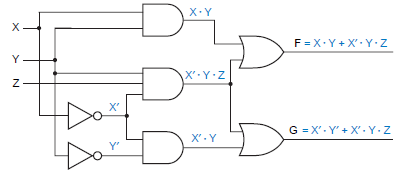
* 1. Вариант 10



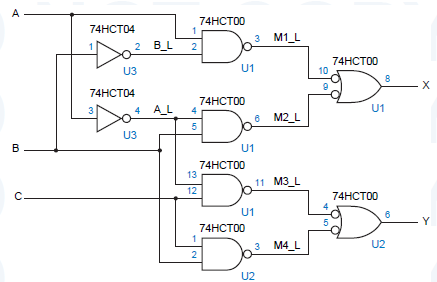
* 1. Вариант 11



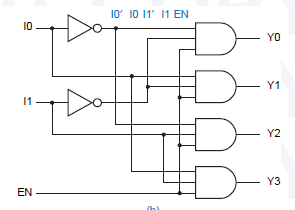
* 1. Вариант 12



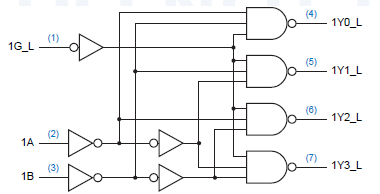
* 1. Вариант 13



* 1. Вариант 14



* 1. Вариант 15



1. Необходимо произвести функциональное моделирование как поведенческого, так и структурного vhdl-описания
   * Мультиплексора и комбинационного устройства **(4 балла).**
   * Задание «а» и демультиплексора 1х4 **(6 баллов).**
   * Задание «b» и элемента AND5. В структурном описании элемента AND5 использовать оператор «generate» **(8 баллов).**
   * Задание «c» и двухразрядного сумматора с переносом (каждый одноразрядный сумматор описывается отдельным структурным описанием) **(10 баллов)**.
2. Для каждого описания необходимо написать Test Bench, который имеет следующую структуру:

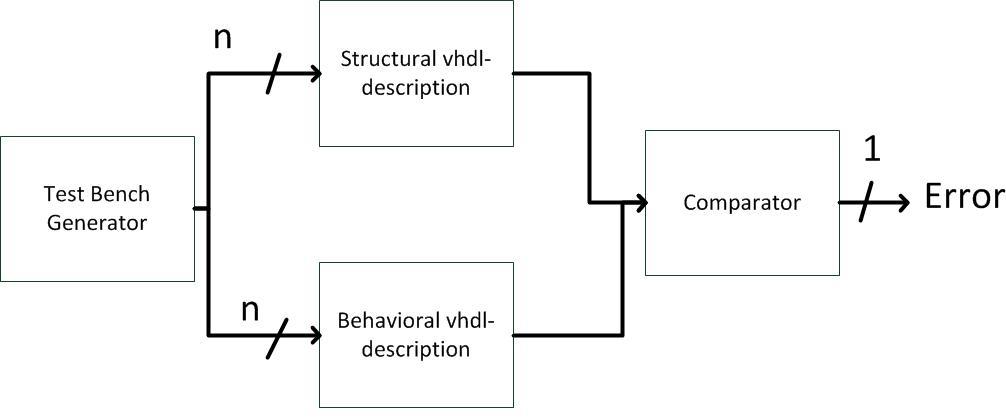


Рис. 3. Структурная схема тестирования

Test Bench должен обеспечивать тестирование структурного и поведенческого описания устройства на всех 2n наборах входных значений (n – количество входных сигналов).

1. Контрольный вопросы
   * Описание и характеристика TestBench.
   * RTL и технологический синтез.
   * Процессы в VHDL
   * Использование LUT в ПЛИС
   * Полусумматор и сумматор. Реализация и особенности применения.
   * Виды моделирования при разработке цифровых устройств.
   * Предназначение усиливающих буферов.