

单项选择题（第一、二章）

13. 若 $x=103, y=-25$, 则下列表达式采用 8 位定点补码运算实现时, 会发生溢出的是 【 】

A. $x + y$

B. $-x + y$

C. $x - y$

D. $-x - y$

14. 某字长为 8 位的计算机中, 已知整型变量 x, y 的机器数分别为 $[x]_{\text{补}} = 1\ 1110100$, $[y]_{\text{补}} =$

$1\ 0110000$ 。若整型变量 $z = 2 * x + y / 2$, 则 z 的机器数为 【 】

A. $1\ 1000000$

B. $0\ 0100100$

C. $1\ 0101010$

D. 溢出

13. 由 3 个“1”和 5 个“0”组成的 8 位二进制补码, 能表示的最小整数是

A. -126

B. -125

C. -32

D. -3

12. 某计算机主频为 1.2GHz, 其指令分为 4 类, 它们在基准程序中所占比例及 CPI 如下表所示。

指令类型	所占比例	CPI
A	50%	2
B	20%	3
C	10%	4
D	20%	5

该机的 MIPS 数是 【 】

A. 100

B. 200

C. 400

D. 600

单项选择题（第二章 浮点运算）

14. 下列有关浮点数加减运算的叙述中，正确的是。

I. 对阶操作不会引起阶码上溢或下溢。

II. 右规和尾数舍入都可能引起阶码上溢。

III. 左规时可能引起阶码下溢。

IV. 尾数溢出时结果不一定溢出。

A. 仅 II、III B. 仅 I、II、IV C. 仅 I、III、IV D. I、II、III、IV。

14. float 型数据通常用 IEEE 754 单精度浮点格式表示，假定两个 float 型变量 x 和 y 分别存放在 32 位寄存器 f1 和 f2 中，若(f1)=CC90 0000H, (f2)=B0C0 0000H, 则 x 和 y 之间的关系为 【 】。

A. x<y 且符号相同。

B. x<y 且符号不同。

。

C. x>y 且符号相同。

D. x>y 且符号不同。

。

13. 某数采用 IEEE 754 单精度浮点数格式表示为 C640 0000H，则该数的值是 【 】

A. -1.5×2^{13} 。

B. -1.5×2^{12} 。

C. -0.5×2^{13} 。

D. -0.5×2^{12} 。

单项选择题（第三章）

15. 某容量为 256MB 的存储器由若干 $4\text{M} \times 8$ 位的 DRAM 芯片构成, 该 DRAM 芯片的地址引脚和数据引脚总数是【 】
- A. 19. B. 22 C. 30 D. 36
16. 采用指令 Cache 与数据 Cache 分离的主要目的是【 】
- A. 降低 Cache 的缺失损失 B. 提高 Cache 的命中率
C. 降低 CPU 平均访存时间 D. 减少指令流水线资源冲突.
17. 下列存储器中, 在工作期间需要周期性刷新的是
- A. SRAM B. SDRAM C. ROM D. FLASH
18. 某计算机使用 4 体交叉编址存储器, 假定在存储器总线上出现的主存地址 (十进制) 序列为 8005, 8006, 8007, 8008, 8001, 8002, 8003, 8004, 8000, 则可能发生访存冲突的地址对是
- A. 8004 和 8008 B. 8002 和 8007
C. 8001 和 8008 D. 8000 和 8004
29. 计算机开机后, 操作系统最终被加载到【 】
- A. BIOS B. ROM
C. EPROM D. RAM.

单项选择题（第三章 外存储器 虚存）

16. 某计算机主存地址空间大小为 256MB，按字节编址。虚拟地址空间大小为 4GB，采用页式存储管理，页面大小为 4KB，TLB（快表）采用全相联映射，有 4 个页表项，内容如下表所示。

有效位	标记	页框号	...
0	FF180H	0002H	...
1	3FFF1H	0035H	...
0	02FF3H	0351H	...
1	03FFFH	0153H	...

则对虚拟地址 03FF F180H 进行虚实地址变换的结果是 【 】

- A. 015 3180H. B. 003 5180H.
C. TLB 缺失 D. 缺页
20. 若磁盘转速为 7200 转/分，平均寻道时间为 8ms，每个磁道包含 1000 个扇区，则访问一个扇区的平均存取时间大约是
A. 8.1ms B. 12.2ms. C. 16.3ms D. 20.5ms
21. 某磁盘的转速为 10 000 转/分，平均寻道时间是 6 ms，磁盘传输效率是 20 MB/s，磁盘控制器延迟为 0.2 ms，读取一个 4 KB 的扇区所需的平均时间约为 【 】
A. 9 ms B. 9.4 ms.
C. 12 ms D. 12.4 ms

单项选择题（第四章）

17. 假设变址寄存器R的内容为1000H,指令中的形式地址为2000H:地址1000H中的内容为2000H,地址2000H中的内容为3000H,地址3000H中的内容为4000H,则变址寻址方式下访问到的操作数是 **【 】**

A. 1000H

B. 2000H

C. 3000H

D. 4000H

17. 某计算机有16个通用寄存器,采用32位定长指令字,操作码字段(含寻址方式位)为8位,Store指令的源操作数和目的操作数分别采用寄存器直接寻址和基址寻址方式。若基址寄存器可使用任一通用寄存器,且偏移量用补码表示,则Store指令中偏移量的取值范围是 **【 】**

A. -32768~+32767

B. -32767~+32768

C. -65536~+65535

D. -65535~+65536

18. 某CPU主频为1.03GHz,采用4级指令流水线,每个流水段的执行需要1个时钟周期。假定CPU执行了100条指令,在其执行过程中,没有发生任何流水线阻塞,此时流水线的吞吐率为 **【 】**

A. 0.25×10^9 条指令/秒

B. 0.97×10^9 条指令/秒

C. 1.0×10^9 条指令/秒

D. 1.03×10^9 条指令/秒

12. 计算机硬件能够直接执行的是

I. 机器语言程序; II. 汇编语言程序; III. 硬件描述语言程序;

A. 仅 I.

B. 仅 I、II

C. 仅 I、III

D. I、II、III

单项选择题（第五、六、八章）

18. 某计算机采用微程序控制器，共有 32 条指令，公共的取指令微程序包含 2 条微指令，各指令对应的微程序平均由 4 条微指令组成，采用断定法（下址字段法）确定下条微指令地址，则微指令中下址字段的位数至少是 【 】
- A. 5 B. 6 C. 8 D. 7
19. 某同步总线采用数据线和地址线复用方式，其中地址/数据线有 32 根，总线时钟频率为 66MHz，每个时钟周期传送两次数据（上升沿和下降沿各传送一次数据），该总线的最大数据传输率（总线带宽）是 【 】
- A. 132MB/s B. 264MB/s C. 528MB/s D. 1056MB/s
22. 若某设备中断请求的响应和处理时间为 100ns，每 400ns 发出一次中断请求，中断响应所允许的最长延迟时间为 50ns，则在该设备持续工作过程中，CPU 用于该设备的 I/O 时间占整个 CPU 时间的百分比至少是 【 】
- A. 12.5% B. 25% C. 37.5% D. 50%
23. 处理外部中断时，应该由操作系统保存的是
- A. 程序计数器（PC）的内容 B. 通用寄存器的内容 C. 快表（TLB）中的内容 D. Cache 中的内容