# Ответы на вопросы «Электроника и схемотехника»

[Ответы на вопросы «Электроника и схемотехника» 1](#_Toc168497916)

[1. Определение и классификация обратных связей. 4](#_Toc168497917)

[2. Примеры схем в ООС. 6](#_Toc168497918)

[3. Влияние ООС на коэффициент усиления по U. 7](#_Toc168497919)

[4. Влияние ООС на входное сопротивление усилителя. 8](#_Toc168497920)

[5. Влияние ООС на выходное сопротивление усилителя. 9](#_Toc168497921)

[6. Влияние ООС на диапазон усиливаемых частот, частотные и нелинейные искажения. 11](#_Toc168497922)

[7. Определение и внутренняя схемотехника операционного усилителя. 12](#_Toc168497923)

[8. Эквивалентная схема, система параметров и классификация ОУ. 14](#_Toc168497924)

[9. Понятие идеального ОУ. Общая схема включения ОУ. 16](#_Toc168497925)

[10. Частные случаи схем включения ОУ: дифференциальный, инвертирующий, не инвертирующий усилители; Повторитель напряжения. 17](#_Toc168497926)

[11. Выполнение математических операций на ОУ: сложение, интегрирование, дифференцирование, логарифмирование. 18](#_Toc168497927)

[12. Применение ОУ в измерительных устройствах: измерительный усилитель, оптико-электронный преобразователь, преобразователь температуры. 19](#_Toc168497928)

[13. Определение компаратора напряжения, сравнение однополярных сигналов, амплитудные передаточные характеристики. 20](#_Toc168497929)

[14. Компаратор для сравнения разнополярных сигналов. 21](#_Toc168497930)

[15. Компаратор с гистерезисом. 22](#_Toc168497931)

[16. Генератор прямоугольных импульсов на ОУ. 23](#_Toc168497932)

[17. Назначение, функция преобразования и система параметров ЦАП. 24](#_Toc168497933)

[18. ЦАП с двоично-взвешенными сопротивлениями. 25](#_Toc168497934)

[19. ЦАП с резистивной матрицей R-2R. 26](#_Toc168497935)

[20. Назначение, функция преобразования, система параметров и классификация АЦП. 27](#_Toc168497936)

[21. АЦП двойного интегрирования. 28](#_Toc168497937)

[22. АЦП параллельного действия. 29](#_Toc168497938)

[23. Логический элемент ТТЛ. 30](#_Toc168497939)

[24. Функции базовых логических элементов. 31](#_Toc168497940)

[25. Комбинационные схемы на основе базовых логических элементов. 32](#_Toc168497941)

[26. Законы алгебры логики в комбинационных схемах. 33](#_Toc168497942)

[27. Одноразрядные полусумматор и сумматор. 34](#_Toc168497943)

[28. Преобразователь кода и дешифратор. 35](#_Toc168497944)

[29. Мультиплексор и демультиплексор. 36](#_Toc168497945)

[30. Триггеры. 37](#_Toc168497946)

[31. Регистры. 38](#_Toc168497947)

[32. Счётчики. 39](#_Toc168497948)

# Определение и классификация обратных связей.

Обратная связь – это связь, обеспечивающая передачу части выходного сигнала обратно на вход схемы.

**Рисунок стр. №1 (тетрадь)**

(Описание элементов рисунка)

1. Усилитель с коэффициентом усиления , охватываемый обратной связью;
2. Цепь обратной связи с коэффициентом передачи ;
3. Устройство смешивания входного сигала и сигнала обратной связи;

Наиболее часто реализуются 2 варианта: ;

Классификация обратной связи:

1. По типу обратной связи:
   1. Положительная;
   2. Отрицательная;
2. По частотной зависимости **γ**:
   1. Частотно-зависимая;
   2. Частотно-независимая;
3. По месту возникновения:
   1. Внешняя;
   2. Внутренняя (как правило не устранима);
4. По числу охватываемых каскадов усилителя:
   1. Общая;
   2. Местная;

**Рисунок стр. №2 (тетрадь)**

1. По зависимости от уровня входного сигнала:
   1. Линейный;
   2. Нелинейный;
2. По способу получения сигнала ОС:
   1. По напряжению;
   2. По току;
   3. Смешанная;

**Рисунок и формулы стр. №2 (тетрадь)**

1. По способу введения сигнала ОС во входную цепь усилителя:
   1. Последовательная;
   2. Параллельная;
   3. Комбинированная;

**Рисунок и описание стр. №3 (тетрадь)**

# Примеры схем в ООС.

1. Последовательная ООС по току:

**Рисунок стр. №4 (тетрадь)**

Усилением охватываемым ОС-ю является БТ, входы которого – выходы управляющего перехода Б-Э;

ООС реализована на RЭ;

В активном режиме при протекании тока IЭ на RЭ падает UОС, которое минусом через R2 воздействует на Б транзистора;

UБЭ, UОБР. СВ. и UВХ образуют последовательный замкнутый контур;

**Рисунок стр. №4 (тетрадь)**

Связь отрицательная, т.к. UВХ и UОС включены встречно;

Связь по току, т.к. UОС пропорционально IЭ, который пропорционален IН;

1. Параллельная ООС по U:

**Рисунок стр. №5 (тетрадь)**

R (ОС И СМЕЩ.) БТ является RОС, через который с одной стороны обеспечивается протекание IБ БТ и его активного режима, а с другой стороны при увеличении IВХ R, за счёт уменьшения UК, оттягивает часть IВХ, не давая ему поступать в Б, т.е. связь отрицательная;

Связь параллельна, т.к. присутствует узел «а»;

Связь по U, т.к. ток цепи ОС пропорционален UВЫХ (UК);

# Влияние ООС на коэффициент усиления по U.

**Рисунок стр. №5 (тетрадь)**

Для цепи справедливы выражения:

1. ;
2. ;
3. ;

Найдём коэффициент усиления схемы с ООС как

– глубина обратной связи;

– петлевое усиление;

Выводы к последней формуле:

1. Введение отрицательного ОС приводит к уменьшению коэффициента усиления по напряжению;
2. При больших значениях KU, когда γ \* KU много больше. Из пункта «1» => в выражении , Единицей можно пренебречь, тогда и перестаёт зависеть от KU;

# Влияние ООС на входное сопротивление усилителя.

Зависит от способа введения сигнала во входную цепь усилителя, т.е. от типа связи (последовательная или параллельная);

1. Последовательная:

**Рисунок стр. №6 (тетрадь)**

Вывод: У последовательной ООС выше RВХ; (RВХ ОС > RВХ);

1. Параллельная:

**Рисунок стр. №7 (тетрадь)**

Вывод: RВХ ОС < RВХ;

# Влияние ООС на выходное сопротивление усилителя.

Зависит от способа съёма сигнала обратной связи с выходной цепи, т.е. от вида связи: по напряжению (U) или по току (I);

1. По напряжению:

**Рисунок стр. №12 (тетрадь)**

Здесь усилитель, охватываемый обратной связью со стороны представлен эквивалентным источником напряжения (EВЫХ, RВЫХ);

Предполагаем, что к выходу подключён внешний источник напряжения (UВЫХ) положительной полярности; Рассчитав ток (IВЫХ), созданный этим источником можно найти:

На вход усилителя сигнал не подаётся, но на выходе появляется отрицательное напряжение (EВЫХ) за счёт прохождения UВЫХ по цепи обратной связи (ООС) на вход усилителя и далее на выход;

Поскольку усилитель инвертирующий, то EВЫХ будет отрицательного знака;

Вывод: ООС по напряжению приводит к уменьшению RВЫХ;

1. По току:

**Рисунок стр. №13 (тетрадь)**

Полярность EВЫХ обусловлена действием ООС по току («-»), которое стремится уменьшить IВЫХ;

Вывод: ООС по току приводит к увеличению RВЫХ;

# Влияние ООС на диапазон усиливаемых частот, частотные и нелинейные искажения.

При введении ООС снижается коэффициент усиления по напряжению, увеличивается (расширяется) диапазон усиливаемых частот (уменьшаются частотные искажения), уменьшаются нелинейные искажения (коэффициент гармоник);

**Рисунок стр. №14 (тетрадь)**

# Определение и внутренняя схемотехника операционного усилителя.

ОУ – это усилитель постоянного тока с двумя входом и одним выходом, предназначенный для выполнения математических операций в аналоговой форме представления информации;

Усилитель разности входных сигналов:

**Рисунок стр. №14 (тетрадь)**

Синфазный входной сигнал:

Дифференциальный входной сигнал:

Используется понятие идеального ОУ, для которого считается, что усиливается только дифференциальный сигнал, а коэффициент усиления по синфазному сигналу равен «0»;

Простейшая схема ОУ:

**Рисунок стр. №15 (тетрадь)**

ОУ содержит три каскада:

1. ДУ – дифференциальный усилитель – усиливает разность входных сигналов по напряжению (U);
2. КСУ – каскад сдвига уровня напряжения (U);
3. ВыхК – выходной каскад – обеспечивает усиление по току (I);

Note: ГСТ – схема, которая генерирует ток заданного значения (имеет высокое выходное напряжение);

Note: VT работает в активном режиме, поэтому имеет большое сопротивление со стороны K, что обеспечивает стабилизацию тока (I);

* ДУ:

Если на вход подаётся синфазный сигнал, то изменяется напряжение (U) на Э у VT1 и VT2, при этом ток остаётся неизменным, т.к. он стабилизирован ГСТ1 => Напряжение (U) на выходе ДУ не изменяется;

При подаче дифференциального сигнала ток одного транзистора увеличивается, а другого уменьшается. Это приводит к изменению напряжения (U) на выходе;

Как видно из схемы вх1 – не инвертирующий, а вх2 – инвертирующий;

* КСУ:

???

Между выходом ДУ и выходом КСУ происходит сдвиг напряжения на постоянную величину, определяемую током ГСТ2 и сопротивлением R3;

* ВыхК:

Реализован по двух ступенчатой схеме, в которой выходные транзисторы VT4 и VT5 обеспечивают усиление по току (I) положительных и отрицательных полуволн соответственно;

# Эквивалентная схема, система параметров и классификация ОУ.

Эквивалентная схема определяет набор рабочих параметров ОУ, которые определяют его свойства;

**Рисунок стр. №16 (тетрадь)**

1. Входные параметры:
   1. Входное дифференциальное и синфазное сопротивление (R);

* 1. Входной ток (I [мкА]) и разность входных токов;
  2. Температурный коэффициент разности входных токов;
  3. Напряжение смещения нуля – это дифференциальное UВХ при котором UВЫХ = 0;
  4. Температурный дрейф напряжения (U) смещения нуля;

1. Выходные параметры:
   1. Выходное сопротивление (R);

(Предельное выходные параметры EП = 2…3 В, I = 6…20 мкА);

* 1. А ???

1. Параметры передачи:
   1. Дифференциальный коэффициент усиления;
   2. Коэффициент ослабления синфазного сигнала;
   3. Частота среза АЧХ (верхняя частота);

**Рисунок стр. №17 (тетрадь)**

* 1. Частота единого усиления f1, на которой коэффициент усиления КД уменьшается до «1» [МГц];
  2. Скорость нарастания выходного напряжения при ступенчатом входном воздействии ???

# -Понятие идеального ОУ. Общая схема включения ОУ.

# -Частные случаи схем включения ОУ: дифференциальный, инвертирующий, не инвертирующий усилители; Повторитель напряжения.

# -Выполнение математических операций на ОУ: сложение, интегрирование, дифференцирование, логарифмирование.

# -Применение ОУ в измерительных устройствах: измерительный усилитель, оптико-электронный преобразователь, преобразователь температуры.

# -Определение компаратора напряжения, сравнение однополярных сигналов, амплитудные передаточные характеристики.

# -Компаратор для сравнения разнополярных сигналов.

# -Компаратор с гистерезисом.

# -Генератор прямоугольных импульсов на ОУ.

# Назначение, функция преобразования и система параметров ЦАП.

ЦАП – функциональный узел (устройство), формирующий на выходе величину (обычно U), пропорциональную входному двоичному коду;

KЦАП – коэффициент преобразования;

EОП – опорное напряжение;

N – десятичный эквивалент двоичного кода;

EОП определяет диапазон выходных напряжений;

Согласно этой функции зависимости выходного напряжения (UВЫХ) от кода N возможны ЦАП трёх функций:

**Рисунок стр. №23 (тетрадь)**

Реальная функция преобразования имеет вид:

**Рисунок стр. №23 (тетрадь)**

Параметры:

1. Разрядность входного двоичного кода [10, 16, 24 и более];
2. Разрешающая способность – изменение выходного напряжения (U) при изменении входного кода (N) на единицу младшего разряда; – единица младшего разряда (EMP); – шаг квантования;
3. Абсолютная погрешность преобразования в конечную точку шкалы – отклонения от реального выходного напряжения при максимальном входном коде от идеального (расчётного);
4. Нелинейность – максимальное отклонение действительного напряжения на выходе от расчётного;
5. Дифференциальная нелинейность – отклонение действительного шага квантования от его среднего значения ;
6. Напряжение смещения нуля – напряжение на выходе ЦАП при нулевом входном коде;
7. Время установления выходного сигнала – интервал времени с момента изменения входного кожа до момента, когда выходной сигнал войдёт в зону, меньшую EMP относительно установленного значения;

**Рисунок стр. №24 (тетрадь)**

Базовая схема – схема инвертирующего включателя ОУ, реализуемая по типу сумматора с управляющими ключами;

**Рисунок стр. №24 (тетрадь)**

Входные результаты выписаны в виде ряда с двоично-взвешенными сопротивлениями, изменяющимися в соответствии с весом разрядов двоичного числа разрядностью n;

Общее сопротивление на вход ОУ удобнее представить в виде проводимостей результатов;

EX: , где

;

|  |  |
| --- | --- |
| КОД | Y |
| 00 |  |
| 01 |  |
| 10 |  |
| 11 |  |

(n = 2; EMR = 1; UВЫХ = -EОП \* RОС / RВХ = -EОП \* RОС \* YΣ);

Входные резисторы включены ключами K, выполненными в виде МДП – транзисторов, управляющиеся цифровыми сигналами, соответствующими разрядам входных двоичного кода;

Главный недостаток – широкий диапазон сопротивлений входных резисторов;

(Схема применяется при не большой разрядности);

# -ЦАП с двоично-взвешенными сопротивлениями.

# ЦАП с резистивной матрицей R-2R.

**Рисунок стр. №25 (тетрадь)**

Свойства:

1. Матрица содержит резисторы только 2-х номиналов R и 2R, что прощает её изготовление;
2. При протекании тока в каждом узле ток делится пополам, т.к. сопротивление правой части схемы по отношению к узлу всегда равно 2R;

Т.о. в этой схеме вертикальные токи, протекающие через 2R являются двоично-взвешенными;

1. Удобно изготавливать R-2R интегральным способом, в виде микросхемы. Когда при изменяющемся значении R хорошо воспроизводится соотношение R и 2R;

Два варианта включения по напряжению и по току (Чаще по току);

**Рисунок стр. №26 (тетрадь)**

Поскольку на инвертирующем входе ОУ А1 всегда присутствует 0 В, то ток, протекающий через входные резисторы ОУ всегда одинаков независимо от положения ключей Ki (Он протекает на общий провод, когда ключ в нижнем положении или на вход схемы через RОС, когда ключ в горизонтальном положении);

Т.о. в зависимости от состояния ключей, которое определяется входным двоичным кодом, изменяется IОС и выходное напряжение;

Каждый ключ реализован в виде двух МДП-транзисторов (один на землю, др. на вход);

Функция преобразования:

Схема ЦАП с матрицей R-2R используется ≈ в 80-90 % ЦАП;

# Назначение, функция преобразования, система параметров и классификация АЦП.

Предназначены для преобразования аналоговой величины в двоичный код;

Функция преобразования:

N – десятичный эквивалент двоичного кода;

**Рисунок стр. №27 (тетрадь)**

Параметры:

1. Число разрядов двоичного кода отражающих аналоговую величину (N);
2. Разрешающая способность – минимальное изменение сигнала на входе, при котором код на выходе изменяется в EMP;
3. Абсолютная погрешность преобразования в конечную точку шкалы в EMP;
4. Напряжение смещения нуля – напряжение на входе, при котором выходной код равен «0»;
5. Нелинейность – максимальное отклонение действительной характеристики от расчётов ;
6. Дифференциальная нелинейность – отклонение действительного шага квантования от его среднего значения (по шкале напряжения);
7. Максимальная частота преобразования – максимальное число преобразований напряжения в код в секунду;
8. Время одного преобразования;

Классификация:

**Рисунок стр. №28 (тетрадь)**

**+ смотри в телефон и интернет**

# АЦП двойного интегрирования.

**Рисунок и описание стр. №29 (тетрадь)**

**Рисунок стр. №29 (тетрадь)**

Принцип работы:

Используются два временных интервала: интегрирования входного напряжения за фиксированное t и интегрирования ???

Т.о. достигается линейная зависимость длительности интервала t2??? от уровня, входного интегрируемого, напряжения;

Другая часть схемы предназначена для изменения длительности интервала t2???;

Такая схема не чувствительна к изменению чувствительность компаратора и интегратора, позволяет преобразовать напряжение в коды большой разрядности и применяется в измерительной технике (амперметр, вольтметр);

Достоинства схемы:

1. Преобразование не зависит от стабильности R1 и C1, а только от UСМ компаратора, т.к. при интегрировании они вычитаются;
2. Преобразование не зависит от ???

Недостатки схемы:

???

# АЦП параллельного действия.

**Рисунок стр. №30 (тетрадь)**

|  |  |  |
| --- | --- | --- |
|  | Двоичный код | Двоичный позиционный код |
| 1 | 001 | 0001 |
| 2 | 010 | 0011 |
| 3 | 011 | 0111 |
| 4 | 100 | 1111 |

A1, A2, A3 – компараторы, опорное напряжение на инвертирующих входах которых возрастает через фиксированную величину – шаг квантования;

При подаче напряжения на входную часть компараторов, на которых входное напряжение больше опорного переключается в состояние «1», т.о. на входе декодера формируется двоичный позиционный код, который декодером преобразуется в двоичный код;

Недостаток: Большие аппаратные затраты, где компараторов 2N-1 (N – разрядность двоичного кода);

Преимущество: Высокое быстродействие (выполнение параллельных операций);

# Логический элемент ТТЛ.

Электрическая схема базового логического элемента И-НЕ (изготавливаемого по биполярной технологии);

**Рисунок стр. №13 (методичка)**

**Рисунок стр. №13 (методичка)**

Схема содержит три каскада (**1**, **2**, **3**);

Первый каскад **1** выполнен на многоэмиттерном транзисторе VT1, включенным по схеме с ОБ. Предназначен для выполнения логической функции И;

Второй каскад **2** называется фазоинверсным, выполнен на транзисторе VT2 по схеме с ОЭ по отношению к транзистору VT3 и по схеме с ОК по отношению к VT4. Предназначен для управления транзисторами VT3 и VT4 выходного каскада **3** в противофазе друг другу. VT3 включен по схеме ОК, а VT4 – по схеме ОЭ;

Каскады **2** и **3** вместе образуют схему, называемую сложным инвертором, которая выполняет логическую функцию НЕ;

Элементы ТТЛ во всех модификациях питаются напряжением +5 В;

При рассмотрении принципа работы используются следующие упрощающие допущения:

1. ВАХ диода и управляющего перехода БЭ транзистора, имеющие вид экспоненциальной функции, аппроксимируются ломаной линией. В открытом состоянии диода и перехода БЭ на них падает напряжение UДОТ = UБЭОТ = 0,7 В. Если напряжение меньше 0,7 В, то диод или переход закрыты;
2. Падение напряжения на открытом переходе БК транзистора в силу конструктивных особенностей меньше и составляет UБКОТ = 0,5 В;
3. Между К и Э транзистора в режиме насыщения (когда оба перехода открыты) падает напряжение UКЭН = UБЭОТ = UБКОТ = 0,7 - 0,5 = 0,2 В;

Принятые упрощения позволяют рассчитывать напряжения в точках схемы элемента ТТЛ по цепочкам открытых переходов;

Рассмотрим работу схемы при изменении входного напряжения от 0 В до +EП на Вх1, полагая, что второй вход Вх2 ни к чему не подключён. Тогда VT1 работает как обычный транзистор с одним Э. Работа иллюстрируется графиком изменения напряжения на выходе в зависимости от входного напряжения, который называется амплитудной передаточной характеристикой (АПХ);

При UВХ = 0 переход БЭ VT1 открыт, ток резистора R1 протекает от источника питания +EП и открытый Э-переход на вход схемы. Транзистор VT1 находится в насыщении. На Б VT2 присутствует напряжение:

UБ2 = UВХ + UКЭН = 0 + 0,2 = 0,2 В.

Этого напряжения недостаточно для открывания перехода БЭ VT2, поэтому он находится в отсечке. Также в отсечке находится транзистор VT4, а VT3 пребывает в активном режиме благодаря току резистора R2, который, втекая в Б VT3, далее протекает через диод VD1 на выход схемы. На выходе схемы присутствует высокий уровень напряжения U1, которое можно рассчитать по цепочке открытых переходов БЭ VT3 и диода VD1:

U1 = UЕП – UБЭОТ3 – UДОТ = 5 – 0,7 – 0,7 = 3,6 В.

При увеличении входного напряжения состояния транзисторов схемы и напряжения на выходе не изменяются, пока напряжение на вхоже не достигает значения UП0. При данном напряжении начинает открываться переход БЭ VT2, и он переходит в активный режим. Напряжение UП0 можно найти, считая, что при этом UБ2 = UБЭОТ = 0,7 В:

UП0 = UБ2 – UКЭН = 0,7 – 0,2 = 0,5 В.

Дальнейшее увеличение входного напряжения ведёт к увеличению напряжения на Б VT2 и увеличению его токов К и Э. Напряжение на К VT2 (на Б VT3) понижается, соответственно понижается напряжение на выходе схемы (участок 2 АПХ), а напряжение на базе VT4 растёт. Фазоинверсный каскад на транзисторе VT2 работает как усилитель напряжения с коэффициентом R2 / R3. Этот коэффициент примерно равен 1,6 единиц, что и определяет наклон участка 2;

При напряжении на входе UПР начинает открываться транзистор VT4, т.к. напряжение на его Б достигает уровня открывания UБЭОТ = 0,7 В. Отсюда:

UПР = UБЭОТ4 + UБЭОТ2 – UКЭН = 0,7 +0,7 – 0,2 = 1,2 В.

После открывания перехода БЭ VT4 его малое сопротивление в открытом состоянии шунтирует резистор R3. В результате возрастает коэффициент усиления фазоинверсного каскада на транзисторе VT2 и резко увеличивается спад характеристики (участок 3);

При напряжении на входе UП1 транзистор VT4 входит в насыщение, а транзистор VT3 и диод VD1 закрываются. Напряжение на выходе схемы стабилизируется на уровне UКЭН = 0,2 В (участок 4) и достигает значения низкого уровня U0. При этом значение напряжения UП1 рассчитывается так же, как UПР, по цепочке открытых переходов БЭ VT2, VT4 и напряжению К–Э насыщения VT1. Однако реально оно примерно на 0,1 вольта превышает UПР: UП1 = 1,3 В. Это объясняется тем, что начало открывания перехода БЭ VT4 и его полностью открытое состояние наблюдаются при чуть отличающихся напряжениях. Дальнейшее увеличение входного напряжения не изменяет значение напряжения на выходе схемы, но приводит к закрыванию перехода БЭ VТ1 и переходу его в инверсный режим. При этом ток резистора R1 полностью переключается в цепь базы VT2 (пунктирная стрелка), который входит в насыщение. Таким образом, на графике зависимости выходного напряжения элемента ТТЛ от входного, участки 1 и 4 соответствуют статическим состояниям элемента при подаче на вход соответственно низкого и высокого уровней напряжения, а участки 2 и 3 – процессу его переключения. По АПХ можно определить зоны отображения «0» и «1» напряжением для элемента ТТЛ. Из графика по оси UВХ видно, что для четкого (однозначного) кодирования логического нуля «0», низкий уровень напряжения на входе элемента ТТЛ не должен превышать значение UП0 = 0,5 В. Высокий уровень напряжения, кодирующий логическую единицу «1», должен быть больше UП1=1.3 В. Для элементов ТТЛ, реализуемых по схеме, (отечественные серии микросхем 155 и 133), приняты нормативные диапазоны значений U0 =0…0,4 В, U1 = 2…4 В. Как видно, рассчитанные выше значения этих величин на входе и выходе элемента находятся в указанных нормативных диапазонах. При выполнении логической функции И-НЕ используются несколько входов многоэмиттерного транзистора VT1. Из схемы следует, если хотя бы на одном входе элемента присутствует низкий уровень напряжения U0, то ток резистора R1 протекает через соответствующий открытый эмиттерный переход VT1 на вход схемы, и на выходе наблюдается высокий уровень напряжения U1. Для того, чтобы на выходе был низкий уровень U0, необходимо, чтобы на оба входа элемента были поданы высокие уровни U1. В этом случае ток резистора R1 переключается в цепь Б транзистора VT2. Таким образом в положительной логике кодирования рассмотренный элемент ТТЛ выполняет логическую функцию И-НЕ. Функция ИЛИ-НЕ реализуется в схеме путем подключения параллельно транзистору VT2 дополнительного транзистора VT2 I с дополнительным входным каскадом 1, подключенным к его базе. Тогда для того, чтобы на выходе элемента был ВУ напряжения, необходимо закрыть оба транзистора VT2 и VT2 I, т.е. на входы элемента ИЛИ-НЕ подать низкие уровни напряжения U0.

{Возможно к лабе относится ???} Участок 2 АПХ стал продолжением вверх участка 3, и, таким образом, уровень UП0 увеличился до значения близкого UПР. Также вместо диода VD1 в схеме используется еще один дополнительный транзистор, образующий вместе с VT3 составную схему, что повысило повысить нагрузочную способность схемы ТТЛ при высоком уровне напряжения на выходе. Разработчик лабораторных стендов на выходах всех ТТЛ-элементов микросхем установил между шиной питания +5В и выходами элементов так называемые «подтягивающие» резисторы сопротивлением 1кОм, что привело к увеличению на выходе высокого уровня напряжения U1 до значения, близкого к +Еп=5 В. Таким образом, элементы ТТЛ в лабораторном стенде имеют следующие диапазоны кодирования нуля и единицы: U0=0…0,8 В, U1=2…5 В Применение элементов ТТЛ имеет следующие особенности. На неиспользуемые (лишние) входы принято подавать напряжение нуля или единицы для того, чтобы элементы не переключались произвольно от наводимых помех. Для этого при необходимости подачи нуля вход подключают к общему проводу 0 В, а подача единицы осуществляется путем подключения входа к шине питания +5В через резистор 1 кОм. Этот резистор ограничивает входной ток элемента на безопасном уровне в случае пробоя перехода БЭ многоэмиттерного транзистора. Также необходимо иметь ввиду, что неподключенный (оборванный) вход элемента ТТЛ соответствует случаю подачи на него высокого уровня напряжения (в положительной логике – «1»).

# Функции базовых логических элементов.

Логические функции одной переменной:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Значения X | Константа 0 | Повторение x | Отрицание x | Константа 1 |
| 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |

Логические функции для двух переменных:

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Аргументы | | Функции f(x0, x1) | | | | | | | | | | | | | | | |
| х1 | х2 | f0 | f1 | f2 | f3 | f4 | f5 | f6 | f7 | f8 | f9 | f10 | f11 | f12 | f13 | f14 | f15 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Название функции | | Константа 0 | Конъюнкция |  |  |  |  | Исключающее ИЛИ | Дизъюнкция | ИЛИ – НЕ | Исключающее ИЛИ – НЕ |  |  |  |  | И – НЕ | Константа 1 |

# Комбинационные схемы на основе базовых логических элементов.

Методика построения комбинационной схемы для заданной логической функции:

Комбинационной называется схема, значение функции которой определяется только комбинацией значений входных переменных.

EX: Пусть необходимо составить логическую схему, реализующую функцию .

**Рисунок стр. №26 (методичка)**

# Законы алгебры логики в комбинационных схемах.

1. Переместительный:

;

1. Сочетательный:

;

1. Распределительный:

;

1. Инверсии (де Моргана):

;

1. Повторения:

;

1. Двойного отрицания:

;

1. Склеивания:

;

1. Поглощения:

;

;

1. Соотношения с 0 и 1:

; ; ;

; ; ;

# Одноразрядные полусумматор и сумматор.

Сумматор – комбинационная схема, выполняющая арифметическое сложение двоичных чисел. В работе изучаются одноразрядные полусумматор и сумматор;

Полусумматор предназначен для сложения кодов младших разрядов двух многоразрядных двоичных чисел и имеет два входа для складываемых разрядов и два выхода, на которых формируется результат сложения - сумма и перенос;

Логические функции для выходов полусумматора имеют вид:

где x0 и x1 – разряды слагаемых; S – сумма; P – перенос в старший разряд.

Схема полусумматора:

**Рисунок стр. №38 (методичка)**

Полный одноразрядный двоичный сумматор предназначен для сложения кодов любых одноименных разрядов двух двоичных чисел. Имеет два входа для подачи кодов разрядов складываемых чисел и вход для подачи кода переноса из предыдущего разряда. Результат сложения формируется на выходе, соответствующем разряду складываемых чисел, и на выходе переноса в старший разряд по отношению к складываемым разрядам. Логическая функция одноразрядного сумматора имеет вид:

где x0, x1 – одноименные разряды слагаемых; S – сумма с учетом переноса из предыдущего разряда; pi+1 – перенос в следующий разряд.

Схема сумматора:

**Рисунок стр. №39 (методичка)**

# Преобразователь кода и дешифратор.

Преобразователь кода – комбинационное устройство, предназначенное для изменения вида кодирования информации, т. е. каждой комбинации «0» и «1» на входах устройства соответствует строго определенная другая комбинация «0» и «1» на выходах устройства. По каждому выходу преобразователя выполняется своя заданная логическая функция.

Два типа преобразователей:

* Дешифратор – преобразователь двоичного кода в позиционный код: каждому двоичному числу на входе соответствует выходной сигнал строго на одном выходе устройства. Дешифратор активирует выход, определяемый входным кодом;
* Преобразователь двоично-десятичного кода в код управления семи-сегментным знакосинтезирующим индикатором;

Обозначение дешифратора:

**Рисунок стр. №42 (методичка)**

Номер активного выхода дешифратора задается двоичным числом на входах А0, А1. При сигнале «0» на входе разрешения Е, выбранный выход переходит в состояние «0». На всех остальных выходах сохраняется «1». При «1» на входе разрешения Е дешифратор блокируется: все выходы остаются в состоянии «1» независимо от сигналов на входах А0, А1.

Преобразователь двоично-десятичного кода в код управления семи-сегментным знакосинтезирующим индикатором нагружен на светодиодный индикатор с общим катодом (катоды светодиодов сегментов индикатора соединены между собой и подключены к общему проводу).

Обозначение преобразователя двоично-десятичного кода в код управления семи-сегментным знакосинтезирующим индикатором и обозначение сегментов индикатора:

**Рисунок стр. №43 (методичка)**

В соответствии с двоичным числом на входах А0, …, А3 появляется высокий потенциал на выходах A, …, G, обеспечивающий включение необходимых сегментов индикатора:

**Рисунок стр. №43 (методичка)**

# Мультиплексор и демультиплексор.

Мультиплексор – устройство в виде комбинационной схемы, подключающее один из информационных входов D0, …, D3 к единственному выходу, т. е. «переключатель, коммутатор». Номер выбранного входа задается двоичным числом на входах адреса А0 и А1.

Обозначение мультиплексора:

**Рисунок стр. №47 (методичка)**

С помощью мультиплексора можно также реализовать произвольную логическую функцию с числом аргументов, равным числу адресных входов. Мультиплексор, на рисунке, позволяет реализовать любую логическую функцию двух переменных.

Демультиплексор – устройство, у которого сигнал с единственного входа подается на один из его выходов. Номер выхода определяется двоичным числом на входах адреса.

Обозначение демультиплексора:

**Рисунок стр. №48 (методичка)**

# Триггеры.

Триггер – последовательностное устройство с двумя устойчивыми состояниями, предназначенное для записи, хранения и выдачи одного бита информации.

В общем случае триггеры различных типов содержат элемент памяти и разнообразные комбинационные схемы формирования сигналов управления. Элемент памяти представляет собой бистабильную ячейку, которая состоит из двух инверторов, охваченных глубокой положительной обратной связью, поэтому переход из одного состояния в другое происходит лавинообразно за очень короткое время.

{Асинхронный триггер переключается сразу после подачи сигнала установки в «0» или «1»};

{Синхронный триггер переключается при подаче дополнительного сигнала на вход синхронизации};

RS триггер – триггер с раздельной установкой состояния логического нуля и логической единицы (асинхронный). Общее обозначение варианта RS триггера и его реализация на элементах ИЛИ-НЕ:

**Рисунок стр. №52 (методичка)**

|  |  |  |
| --- | --- | --- |
| R | S | Qn+1 |
| 0 | 0 | Qn |
| 1 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 1 | Неопределённое |

В таблице Qn и Qn+1 обозначают, соответственно, текущее и последующее состояния триггера.

Логическая функция переходов RS триггера на элементах ИЛИ-НЕ имеет вид:

При выходы триггера . После одновременной установки состояние триггера неопределенно, возможно как , так и ;

D триггер – триггер задержки (Delay), передающий информацию со входа на выход в момент появления синхронизирующего (тактирующего) импульса;

Графическое обозначение D триггера:

**Рисунок стр. №53 (методичка)**

Буквы ТТ означают наличие в нем двух бистабильных ячеек – для предзаписи и записи бита информации;

На рисунке использованы следующие обозначения:

D - информационный вход триггера;

C - вход синхронизации триггера; (Наклонная черточка на выводе входа С означает, что запись информации в триггер со входа D происходит при переходе сигнала синхронизации из 0 в 1, т. е. при нарастании сигнала, при его положительном перепаде);

Таблица переходов D триггера. Переход из состояния Qn в Qn+1 происходит при положительном перепаде сигнала C:

|  |  |  |
| --- | --- | --- |
| D | Qn | Qn+1 |
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |

T триггер – триггер со счетным входом, изменяющий свое состояние на противоположное при приходе управляющего импульса (фронта импульса, о чем говорит наклонная черта вверх). Далее T триггер, созданный на основе D триггера (Соединение инвертирующего выхода Q с информационным входом D приводит к тому, что триггер меняет свое состояние при каждом положительном перепаде сигнала на входе синхронизации C);

**Рисунок стр. №54 (методичка)**

На рисунке использованы следующие обозначения:

T - счетный вход триггера (Смена состояния триггера происходит при положительном перепаде сигнала на входе T);

# Регистры.

Регистром называется последовательностное устройство, предназначенное для записи, хранения и выдачи информации, представленной в виде многоразрядного двоичного кода. Сдвиговый регистр дополнительно может осуществлять сдвиг разрядов двоичного кода относительно шин записи или выдачи. По числу входов и выходов различают параллельные, последовательные, параллельно-последовательные и последовательно-параллельные регистры;

В параллельных регистрах (регистрах хранения) данные записываются и считываются одновременно и параллельно во всех разрядах;

Пример обозначения четырехразрядного параллельного регистра:

**Рисунок стр. №59 (методичка)**

Логическая схема регистра на D триггерах:

**Рисунок стр. №59 (методичка)**

Двоичный код, установленный на входах D0, ..., D3, записывается в триггеры регистра при положительном перепаде на входе C, и сохраняется в регистре до следующей операции записи. Записанный в регистр код может быть считан с прямых выходов триггеров Q0, ..., Q3. Для нормально работы триггеров регистра необходимо ;

В последовательном регистре (сдвиговом регистре) триггеры соединены последовательно, т. е. информация с выхода триггера передается на вход следующего триггера;

Пример обозначения четырехразрядного сдвигового регистра:

**Рисунок стр. №60 (методичка)**

Логическая схема регистра на D триггерах:

**Рисунок стр. №60 (методичка)**

При отсутствии синхроимпульсов на входе C триггеры регистра сохраняют свое состояние, которое может быть считано с выходов регистра Q0, ..., Q3. Данные с прямого выхода каждого триггера поступают на вход D следующего триггера регистра. При положительном перепаде импульса синхронизации на входе C в каждый триггер записывается состояние предыдущего триггера регистра, т. е. данные сдвигаются на 1 разряд. В первый триггер регистра записываются данные с входа D регистра. Следующий синхроимпульс сдвигает данные еще на 1 разряд и т. д. Для нормальной работы триггеров регистра необходимо ;

# Счётчики.

Двоичный суммирующий асинхронный счетчик собирается на Т триггерах по логической схеме:

**Рисунок стр. №63 (методичка)**

Т триггеры счетчика выполнены на основе D триггеров. Положительный перепад сигнала на входе счетчика T увеличивает содержимое счетчика на 1. Переход любого триггера счетчика из состояния «1» в «0» приводит к появлению положительного перепада на инверсном выходе этого триггера и переключению триггера следующего разряда. При счете состояние триггеров счетчика меняется в соответствии с таблицей:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Десятичное число | Выходы Q | | | |
| 23 = 8 | 22 = 4 | 21 = 2 | 20 = 1 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 |
| 10 | 1 | 0 | 1 | 0 |
| 11 | 1 | 0 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 |
| 13 | 1 | 1 | 0 | 1 |
| 14 | 1 | 1 | 1 | 0 |
| 15 | 1 | 1 | 1 | 1 |

Для нормальной работы счетчика . Приход сигнала «0» на одной из этих шин немедленно переводит счетчик в состояние 010 = 00002 (вход ) или 1510 = 11112 (вход ) и блокирует счет. Счет возобновиться после восстановления . Одновременно с увеличением числа на прямых выходах триггеров счетчика, двоичное число на инверсных выходах триггеров убывает от 1510 =11112 до 010 = 00002, т.е. относительно инверсных выходов счетчик можно рассматривать как вычитающий;

Вариант вычитающего счетчика можно получить, если на вход следующего триггера подать сигнал с прямого выхода предыдущего триггера. При счете на прямых выходах триггеров будет формироваться убывающее двоичное число. Логическая схема такого счетчика:

**Рисунок стр. №65 (методичка)**

Если перед началом счета счетчик был установлен в состояние 010=00002, то первый положительный перепад на входе T переведет его в состояние 1510=11112, и, в дальнейшем, двоичное число на прямых выходах триггеров будет убывать;

Для нормальной работы счетчика . Приход сигнала 0 на одной из этих шин немедленно переводит счетчик в состояние 010 = 00002 (вход ) или 1510 = 11112 (вход );

Двоично-десятичный счетчик создан на основе двоичного суммирующего счетчика. Дополнительная комбинационная логическая цепь выявляет появление в счетчике числа 1010 = 10102 и сбрасывает счетчик в состояние «0».

**Рисунок стр. №66 (методичка)**

Для нормальной работы счетчика . Установка 0 на входе R приводит к сбросу счетчика, т. е. переводит его в состояние 010 = 00002.

Попытка установки счетчика в состояние 1510 = 11112 сигналом приводит к неопределенным результатам. Действительно, при счетчик переходит в состояние 1510 = 11112. Установка в состояние «1» триггеров второго (21) и четвертого (23) разрядов приводит к появлению 0 на выходе элементов И-НЕ, И ??? . Таким образом «0» устанавливается и на входах R всех триггеров. При триггеры переходят в состояние, когда сигналы на прямом и инверсном выходе одинаковы, и равны «1». При выходе из этого состояния () состояние триггеров счетчика неопределенно.

Двоично-десятичный реверсивный счетчик

**Рисунок стр. №67 (методичка)**

Положительный перепад на входе «+1» (при сигнале «1» на входе «-1») увеличивает содержимое счетчика, а на входе «-1» - уменьшает (при «1» на входе «+1»). При подаче «1» на входы сброса R счетчик обнуляется. Если содержимое счетчика равно 910 = 10012, то положительный перепад на входе «+1» переводит счетчик в состояние 010 = 00002, и на выходе переноса «+1» появляется положительный перепад, добавляющий 1 в счетчик следующего старшего разряда. При уменьшении содержимого счетчика, находящегося в состоянии 010 = 00002, счетчик переходит в состояние 910 = 10012 и на выходе «-1» формируется сигнал вычитания «1» для счетчика старшего разряда.