

Họ và Tên: **Danh Duy Thạch**
MSSV: **18119119**

TUẦN 6: Khảo sát mạch đếm đồng bộ và bất đồng bộ tại phần 11.5 chương 5 sách CMOS VLSI DESIGN

I. Up Async counter

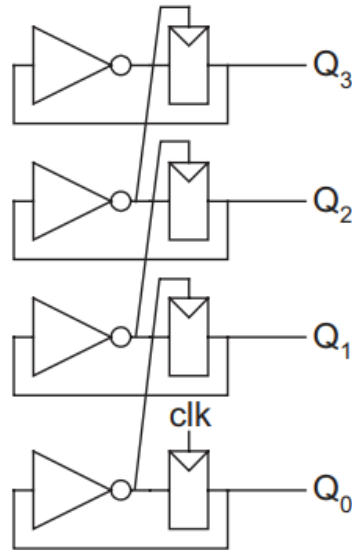
1. Lý thuyết

- ❖ Đặc điểm của mạch đếm lên không đồng bộ.
 - Ngõ ra của FF trước là ngõ vào của FF tiếp theo
 - Xung CK tác động mức cao
- ❖ Thiết kế mạch đếm lên/xuống không đồng bộ
 - Bước 1: Chọn số FF
Mạch đếm 4 bit => Chọn 4 FF
Sử dụng FF JK, nối J=K=1
 - Bước 2: Lập BTT của mạch đếm

	Q3	Q2	Q1	Q0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

BTT của mạch đếm lên không đồng bộ

- Bước 3: Kết nối các ngõ vào của FF
Mỗi FF phải kết nối theo dạng chia 2 tần số (ngõ ra bị lật trạng thái khi gặp xung kích):
- Bước 4: Kết nối các ngõ vào CLK của các FF
Nguồn xung CLK được đưa vào FF đầu tiên
CK tác động cạnh lên:
- Bước 5: Vẽ mạch



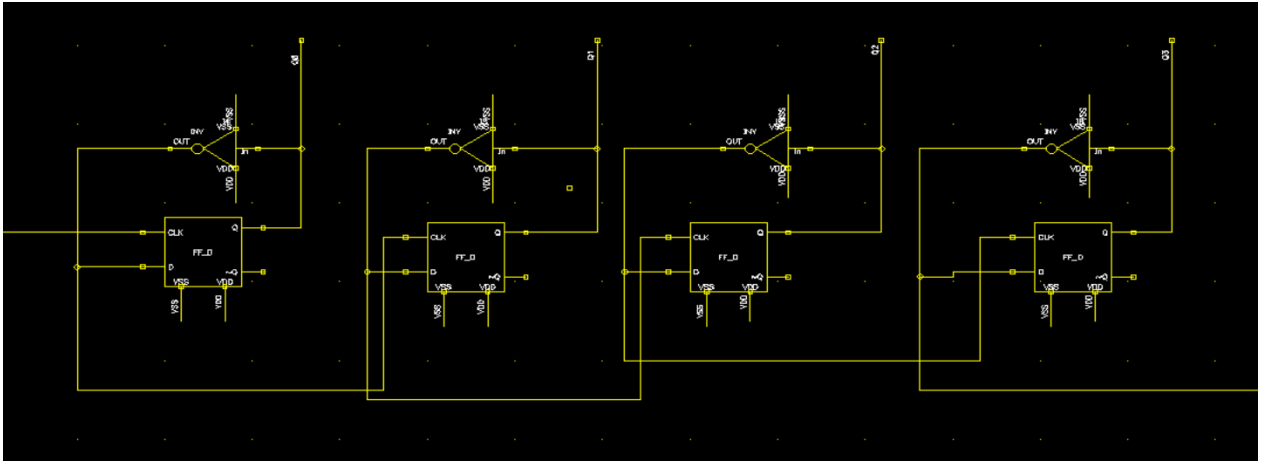
Mạch đếm lên không đồng bộ

Từ sơ đồ mạch ở trên chúng ta biết được những mạch đếm được hình thành bằng những cổng logic và FlipFlop như sau

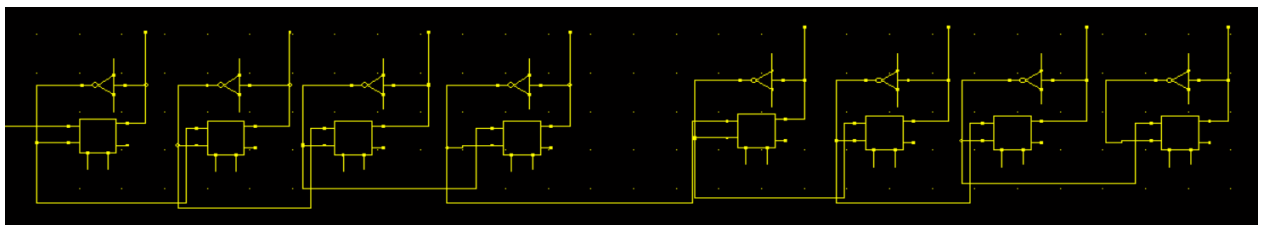
- Cổng NOT
- Flipflop D

Thừa hưởng từ những mô phỏng và lý thuyết của cổng Logic và FF D của những tuần vừa rồi nên em sẽ không giới thiệu qua.

2. Kết quả mô phỏng

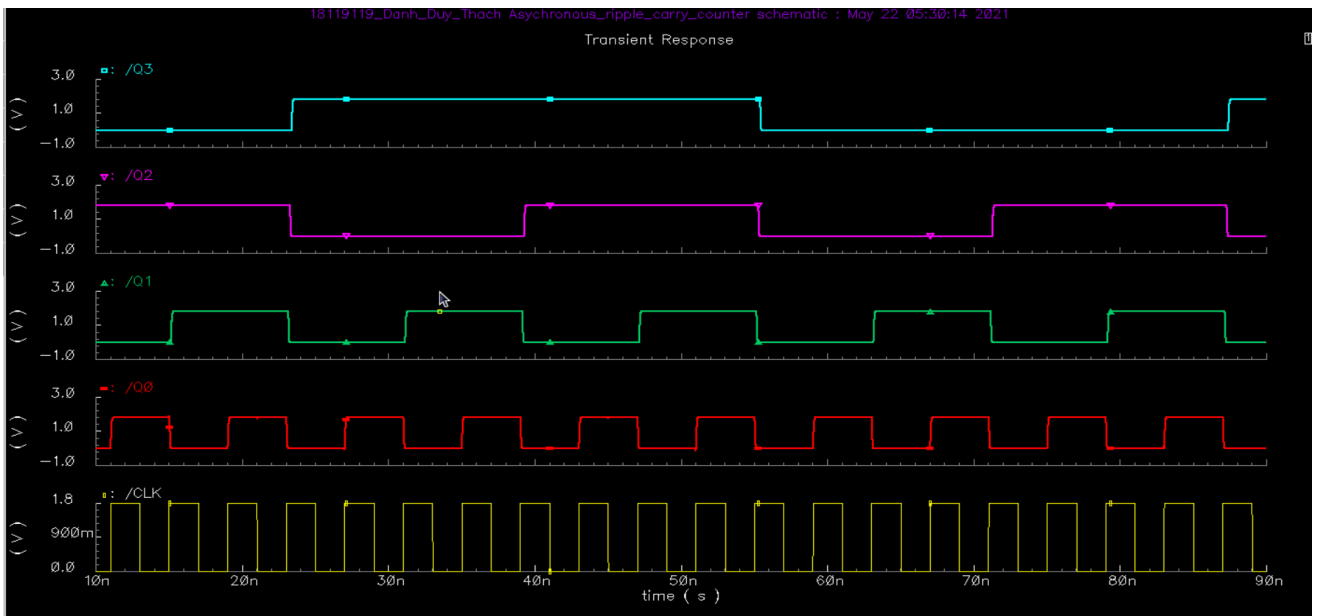


Thiết kế schematic của mạch đếm lên không đồng bộ 4 bit

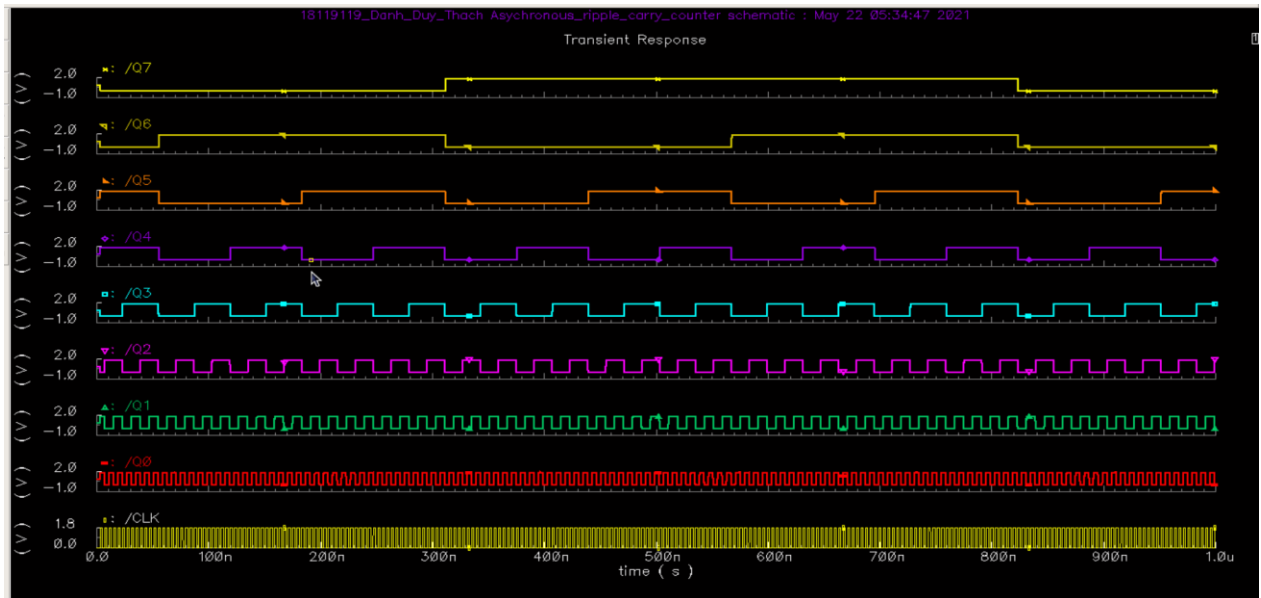


Thiết kế schematic của mạch đếm lên không đồng bộ 8bit

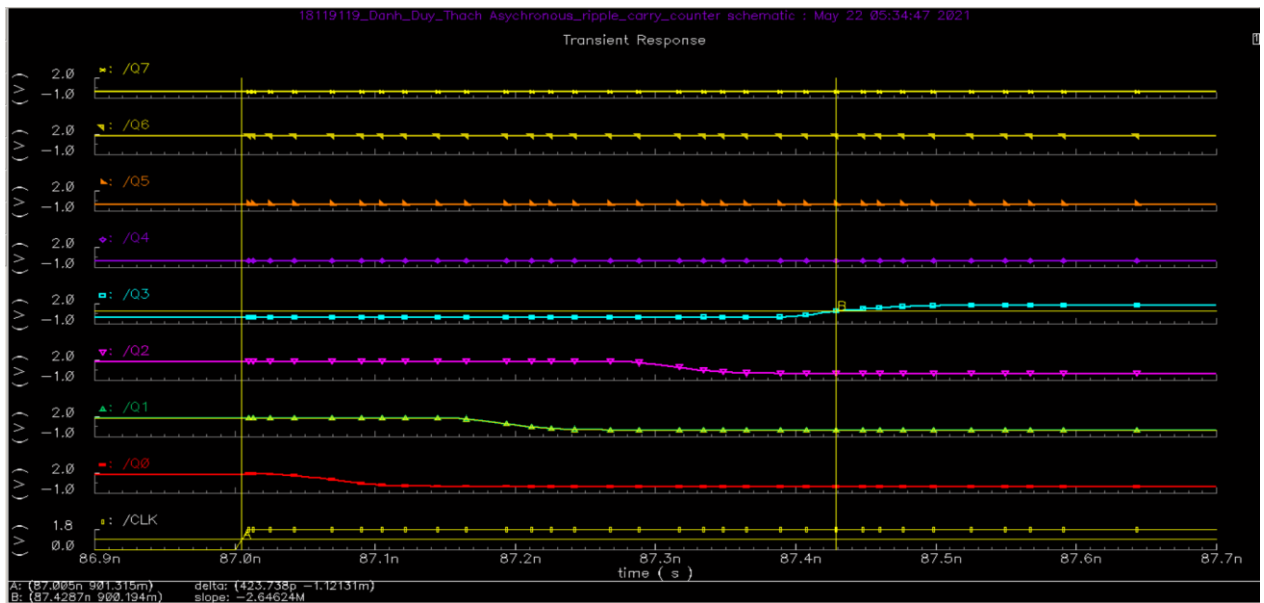
Waveform của mạch đếm lên không đồng bộ 4 bit với $F = 250\text{MHz}$



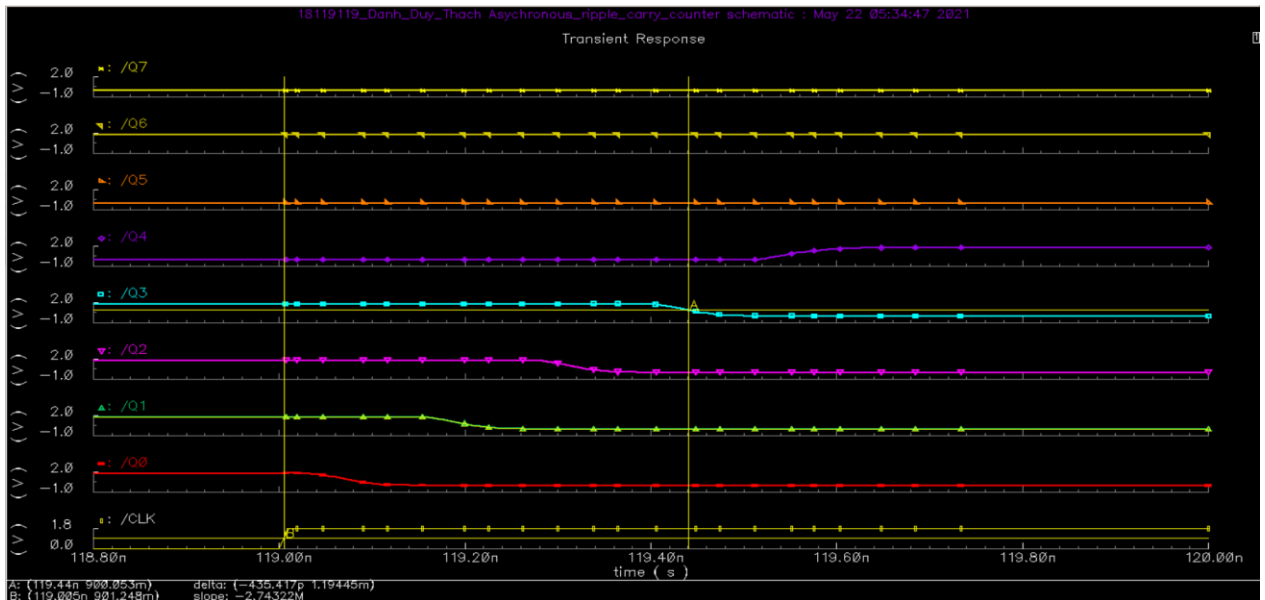
Waveform của mạch đếm lên không đồng bộ 8 bit với $F = 250\text{MHz}$



- ❖ Đo thời gian trễ lan truyền của Q3
 T_{PLH} của Q3 so với CLK : 423p



T_{PHL} của Q3 so với CLK : 435p



Tương tự như cách đo Delay của Q3 thì em đo được bảng thông số Delay của các ngõ ra Q1 Q2 Q3 Q4 so với CLK

	T_{PHL} (p)	T_{PLH} (ps)	T_{PD} (ps)
Q0	66	54	60
Q1	190	190	190
Q2	310	300	305
Q3	435	423	428.5

II. Up Syn Counter

1. Lý thuyết

❖ Đặc điểm của mạch đếm đồng bộ

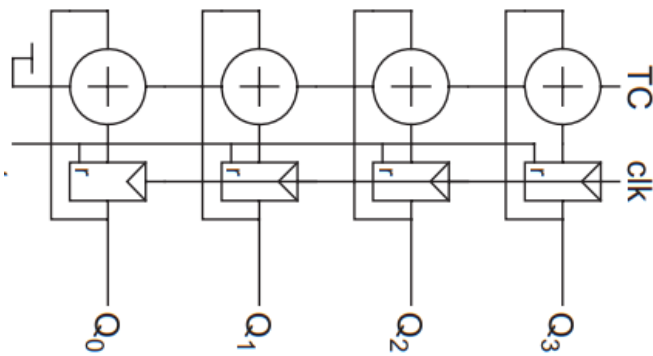
- Các FF có CLK nối chung nên phân tích đồng thời
- Xung CK tác động cạnh lên
- Sử dụng mạch tổ hợp để điều khiển nút nhấn (mức 1 đếm lên, mức 0 đếm xuống)

❖ Sơ đồ mạch đếm lên đồng bộ

Từ sơ đồ mạch dưới đây chúng ta biết được những mạch đếm được hình thành bằng những cổng logic và FlipFlop như sau

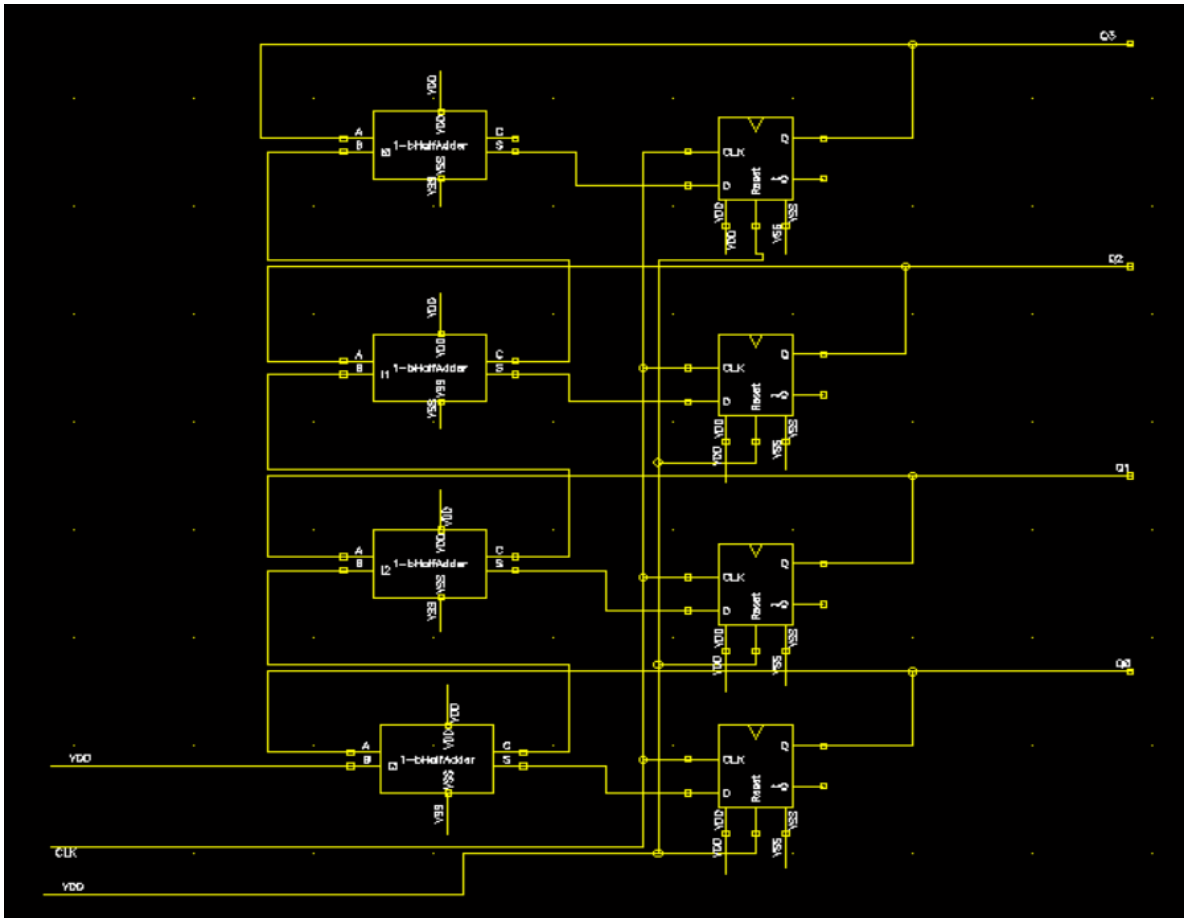
- Cổng NOT
- Flipflop D_Syn_Reset
- Half Adder

Thừa hưởng từ những mô phỏng và lý thuyết của cổng Logic và FF D của những tuần vừa rồi nên em sẽ không giới thiệu qua.



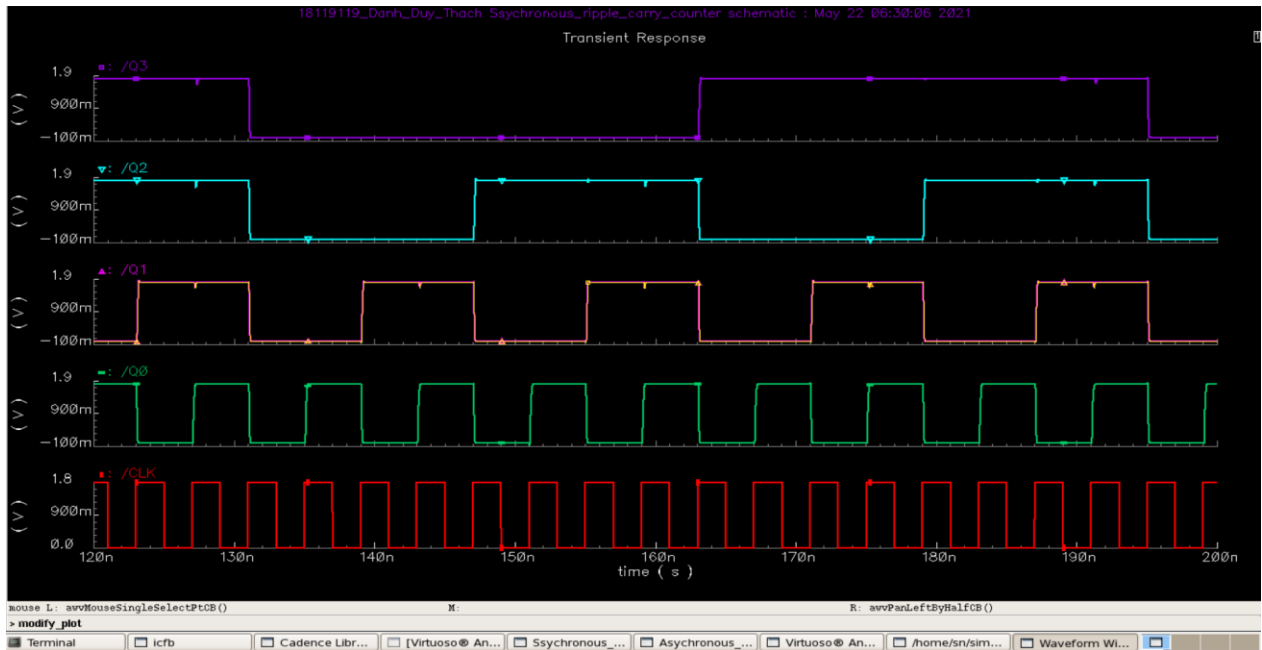
Mạch đếm lên đồng bộ

2. Kết quả mô phỏng.



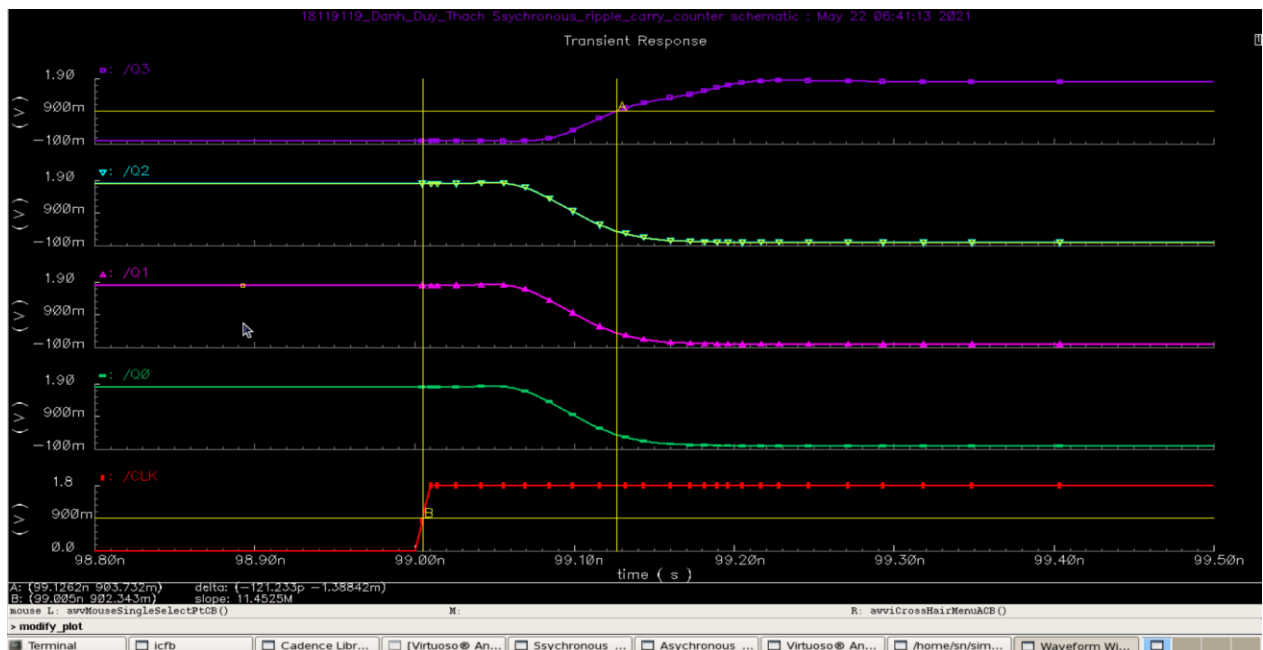
Thiết kế Schematic mạch đếm lên đồng bộ

Waveform của mạch đếm lên đồng bộ.với $F = 250\text{MHz}$

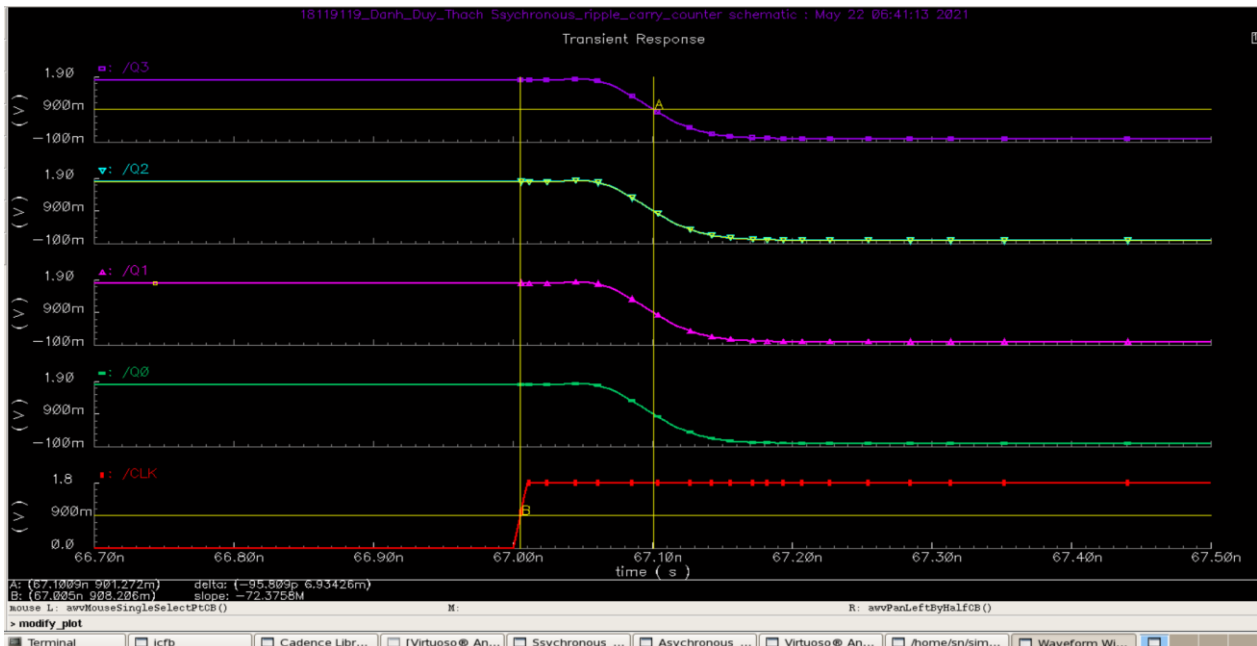


❖ Đo thời gian trễ lan truyền của Q3

T_{PLH} của Q3 so với CLK : 121p



T_{PHL} của Q3 so với CLK : 96p

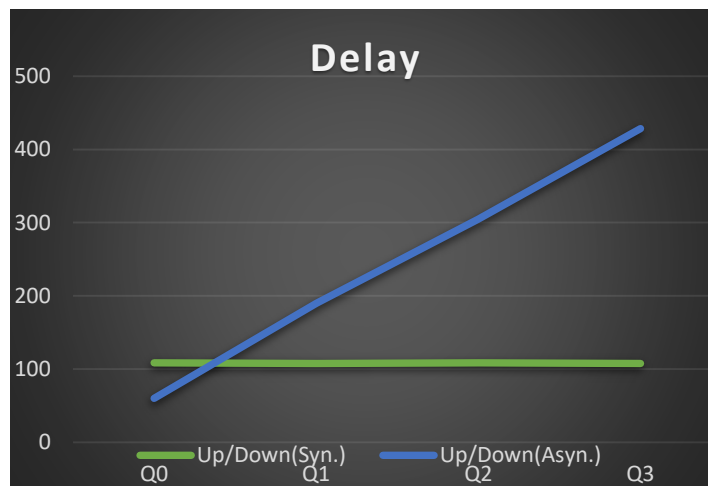


Tương tự như cách đo Delay của Q3 thì em đo được bảng thông số Delay của các ngõ ra Q1 Q2 Q3 Q4 so với CLK

	T_{PHL} (p)	T_{PLH} (ps)	T_{PD} (ps)
Q0	96	121	108.5
Q1	96	120	108
Q2	96	120	108
Q3	96	121	108.5

❖ So Sánh

Từ những thông số Delay giữa hai mạch đếm lên đồng bộ và mạch đếm lên không đồng bộ. Em vẽ sơ đồ so sánh dưới đây nhằm thể hiện rõ ưu điểm và nhược điểm của từng mạch đếm



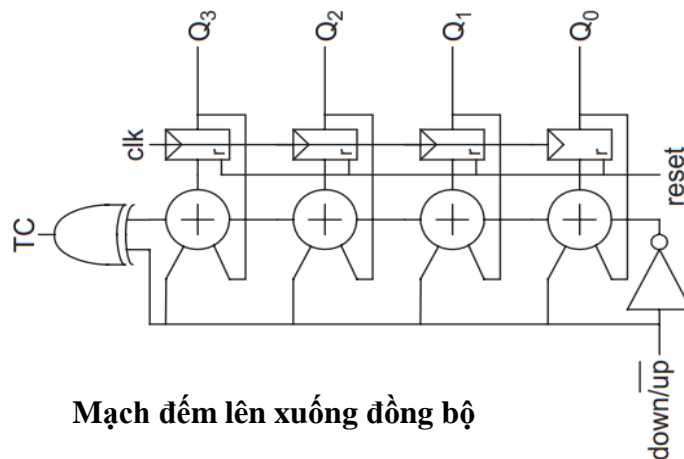
Biểu đồ so sánh

❖ Nhận xét

- Từ hai bảng so sánh trên ta thấy mạch đếm lên đồng bộ với độ delay thấp và công suất thấp hơn mạch đếm lên không đồng bộ là lựa chọn hợp lý cho người sử dụng.
- Tuy nhiên trái ngược với vi mạch đồng bộ, vi mạch bất đồng bộ hoạt động theo cơ chế đồng bộ cục bộ (không cần có tín hiệu xung nhịp). Trong bối cảnh này, các vấn đề trở ngại trong việc thiết kế mạch đồng bộ (như việc phân phối xung nhịp, năng lượng tiêu thụ, nhiễu, tính modun) cho phép mạch bất đồng bộ ngày càng trở nên thông dụng trong những năm gần đây. Công nghệ thiết kế bất đồng bộ, tức công nghệ không dùng xung đồng bộ, đã và đang là mối quan tâm hàng đầu của một số công ty công nghiệp, viện nghiên cứu và các trường đại học trên khắp thế giới.

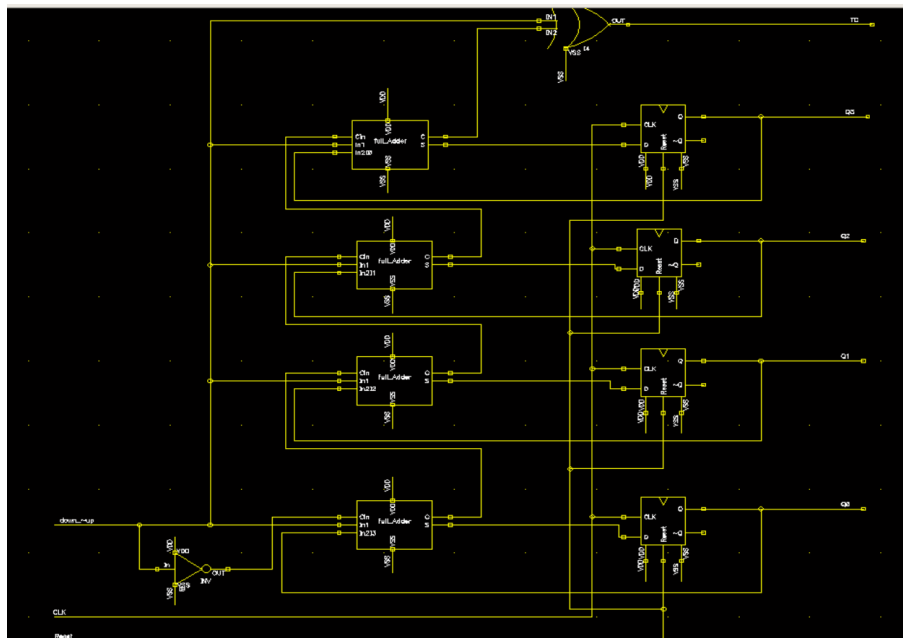
III. Up/Down Sync Counter

1. Thiết kế Cmos và ký hiệu



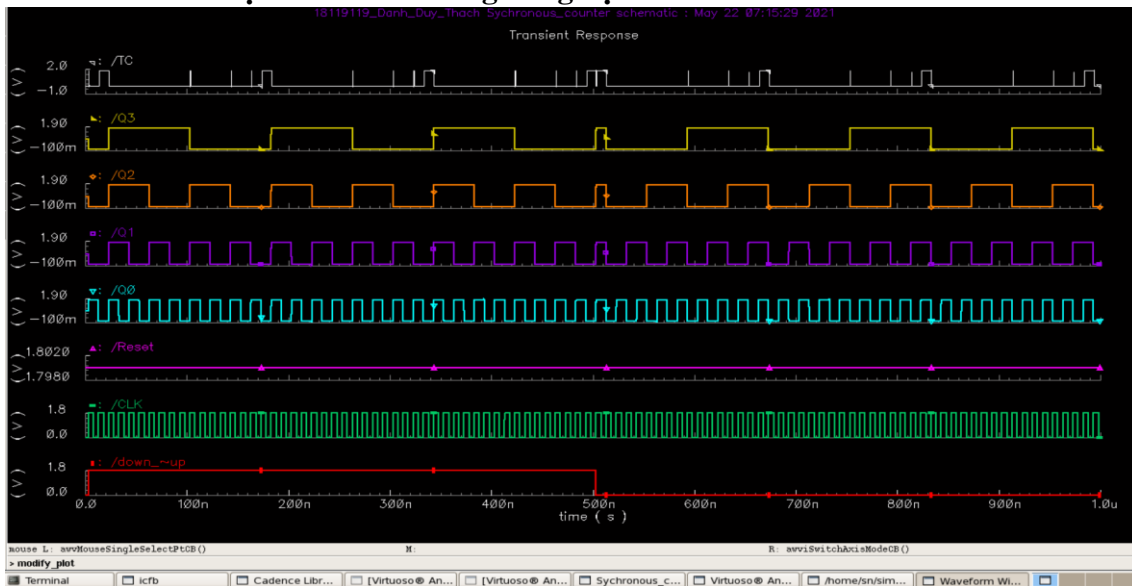
Mạch đếm lên xuống đồng bộ

2. Kết quả mô phỏng.



Thiết kế Schematic mạch đếm lên xuống đồng bộ

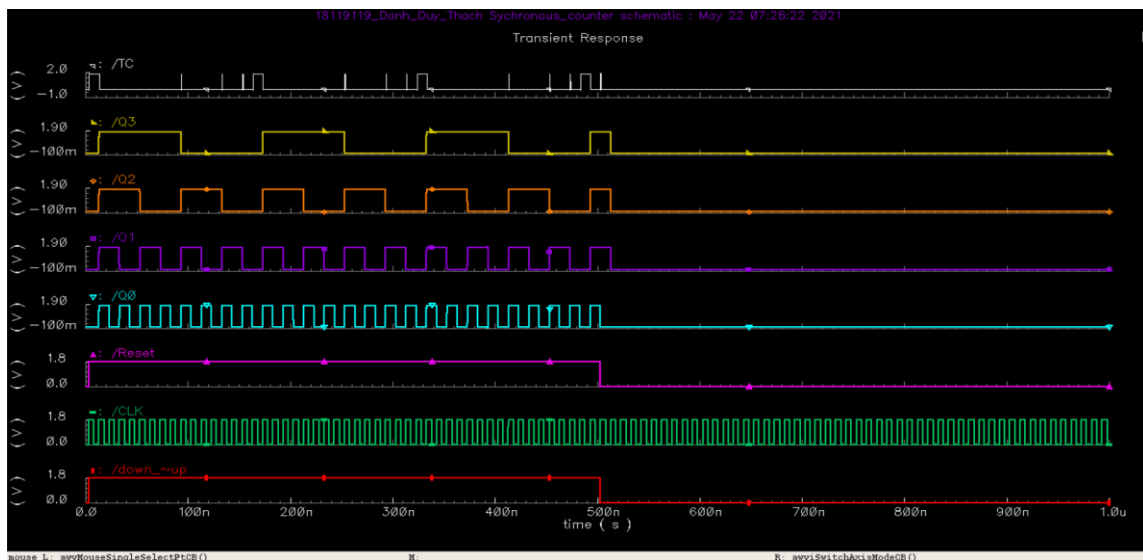
Waveform của mạch đếm lên xuống đồng bộ 4 bit với $F = 100\text{MHz}$



Nhận xét:

- Khi Reset cho phép tức Reset = 1 mạch sẽ hoạt động đếm..
 - ✓ Mạch đếm lên khi chân down_~up (LOW)
 - ✓ Mạch đếm xuống khi chân down_~up(HIGH)

Waveform của mạch đếm lên xuống đồng bộ 4 bit với $F = 100\text{MHz}$ có Reset



Nhận xét:

- Khi Reset cho phép tức Reset = 1 mạch sẽ hoạt động đếm..
 - ✓ Mạch đếm xuống khi chân down_~up(HIGH)
- Khi Reset hoạt động tức Reset = 0 mạch sẽ đợi đến cạnh lên xung Clock thì ngõ ra

$$Q = 0$$