

BỘ GIÁO DỤC VÀ ĐÀO TẠO  
TRƯỜNG ĐẠI HỌC SƯ PHẠM KỸ THUẬT TP. HỒ CHÍ MINH

KHOA ĐIỆN – ĐIỆN TỬ  
BỘ MÔN KỸ THUẬT MÁY TÍNH – VIỄN THÔNG



ĐỒ ÁN 1

THIẾT KẾ VÀ ĐÁNH GIÁ  
HỆ THỐNG VÒNG KHOÁ PHA - PLL

GVHD: TS. Phạm Văn Khoa

SVTH: Trần Gia Huy

MSSV: 22119182

Phạm Quang Hợp

MSSV: 22119178

TP. Hồ Chí Minh, tháng 7 năm 2025

# Mục lục

<b>CHƯƠNG 1: GIỚI THIỆU .....</b>	<b>1</b>
1.1. Đặt vấn đề .....	1
1.2. Giải quyết vấn đề.....	2
1.3. Mục tiêu đề tài .....	2
1.4. Phương pháp nghiên cứu.....	2
1.5. Bố cục của đề tài.....	2
<b>CHƯƠNG 2: CƠ SỞ LÝ THUYẾT.....</b>	<b>3</b>
2.1. Giới thiệu về “Vòng khoá pha – PLL”.....	3
2.1.1. Kiến trúc của PLL.....	3
2.1.2. Nguyên lý hoạt động.....	4
2.2. MẠCH TÁCH SÓNG PHA – PFD .....	4
2.2.1. Tổng quan về mạch tách sóng pha PFD .....	4
2.2.2. Nguyên lý hoạt động của PFD .....	5
2.3. MẠCH BƠM SẠC – CP .....	8
2.3.1. Tổng quan về mạch bơm sạc CP .....	8
2.3.2. Hạn chế của mạch CP cơ bản .....	9
2.4. BỘ LỌC THÔNG THẤP – LPF.....	11
2.4.1. Tổng quan về bộ lọc.....	11
2.4.2. Bộ lọc loại 2 .....	12
2.5. BỘ DAO ĐỘNG ĐIỀU KHIỂN BẰNG ĐIỆN ÁP – VCO.....	13
2.5.1. Tổng quan về VCO .....	13
2.5.2. Nguyên lý hoạt động của Current Starved VCO .....	14
2.6. MẠCH CHIA TẦN SỐ.....	15
<b>CHƯƠNG 3: THIẾT KẾ HỆ THỐNG .....</b>	<b>17</b>
3.1. YÊU CẦU CỦA HỆ THỐNG .....	17

## MỤC LỤC

---

<b>3.2. THIẾT KẾ SƠ ĐỒ KHỐI HỆ THỐNG .....</b>	<b>18</b>
<b>3.3. THIẾT KẾ CHI TIẾT TỪNG KHỐI .....</b>	<b>19</b>
3.3.1. Thiết kế khối tách sóng pha – PFD.....	19
3.3.2. Thiết kế khối bơm sạc – CP.....	20
3.3.3. Thiết kế khối lọc thông thấp – LPF .....	22
3.3.4. Thiết kế khối dao động – VCO.....	24
3.3.5. Thiết kế khối chia xung .....	26
<b>CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ .....</b>	<b>28</b>
4.1. THIẾT KẾ TESTCASE MÔ PHỎNG VỚI CADENCE VIRTUOSO .....	28
4.2. MÔ PHỎNG VÀ ĐÁNH GIÁ KHỐI PFD .....	30
4.3. MÔ PHỎNG VÀ ĐÁNH GIÁ KHỐI CP .....	34
4.4. MÔ PHỎNG VÀ ĐÁNH GIÁ KHỐI LỌC THÔNG THẤP .....	39
4.5. MÔ PHỎNG VÀ ĐÁNH GIÁ KHỐI VCO .....	43
4.6. MÔ PHỎNG VÀ ĐÁNH GIÁ KHỐI CHIA XUNG .....	48
4.7. KẾT QUẢ MÔ PHỎNG VÀ ĐÁNH GIÁ HỆ THỐNG PLL.....	50
4.8. CÔNG SUẤT TIÊU THỤ VÀ KẾT LUẬN.....	59
<b>CHƯƠNG 5: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN.....</b>	<b>62</b>
5.1. KẾT LUẬN.....	62
5.2. HƯỚNG PHÁT TRIỂN.....	63
<b>TÀI LIỆU THAM KHẢO .....</b>	<b>65</b>

# Danh sách hình ảnh

## CHƯƠNG 2: CƠ SỞ LÝ THUYẾT

<b>Hình 2.1:</b> Kiến trúc cơ bản của một PLL .....	3
<b>Hình 2.2:</b> Kiến trúc PLL cho tổng hợp tần số.....	3
<b>Hình 2.3:</b> Định nghĩa mạch tách sóng pha PFD .....	5
<b>Hình 2.4:</b> PFD từ D Flip – Flop.....	5
<b>Hình 2.5:</b> Dạng sóng mô tả mạch PFD .....	6
<b>Hình 2.6:</b> Sơ đồ nguyên lý PFD và D FF .....	7
<b>Hình 2.7:</b> Mô tả độ rộng xung reset.....	7
<b>Hình 2.8:</b> Mô hình mạch bơm sạc CP .....	8
<b>Hình 2.9:</b> Cấu tạo cơ bản mạch bơm sạc CP .....	9
<b>Hình 2.10:</b> Hạn chế của mạch CP cơ bản .....	10
<b>Hình 2.11:</b> Mạch CP cân bằng delay giữa $\overline{UP}$ và DN .....	10
<b>Hình 2.12:</b> Bộ lọc thụ động loại 1 .....	11
<b>Hình 2.13:</b> Điện áp dc ngõ ra bộ lọc .....	11
<b>Hình 2.14:</b> Hiện tượng Ripple trên Vcont.....	12
<b>Hình 2.15:</b> Hệ thống với bộ lọc loại 2 .....	12
<b>Hình 2.16:</b> VCO lý tưởng .....	13
<b>Hình 2.17:</b> Current Starved VCO .....	14
<b>Hình 2.18:</b> Bộ chia 2 sử dụng D FF .....	15
<b>Hình 2.19:</b> Dạng sóng mô tả bộ chia 2 .....	16

## CHƯƠNG 3: THIẾT KẾ HỆ THỐNG

<b>Hình 3.1:</b> Sơ đồ khối hệ thống PLL .....	17
<b>Hình 3.2:</b> Sơ đồ khối mạch PLL .....	18
<b>Hình 3.3:</b> Sơ đồ nguyên lý mạch PFD .....	19
<b>Hình 3.4:</b> Mô hình của Charge Pump .....	20
<b>Hình 3.5:</b> Sơ đồ nguyên lý khối Charge Pump .....	21

## DANH SÁCH HÌNH ẢNH

---

<b>Hình 3.6:</b> Mạch lọc thông thấp .....	23
<b>Hình 3.7:</b> Sơ đồ nguyên lý khói VCO dạng Current Starved .....	25
<b>Hình 3.8:</b> Mạch chia xung 32 sử dụng Flip Flop D .....	27
<b>Hình 3.9:</b> Sơ đồ nguyên lý mạch Flip Flop D.....	27
<b>CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ</b>	
<b>Hình 4.1.</b> Sơ đồ nguyên lý khói PFD trên tool .....	31
<b>Hình 4.2.</b> Đóng gói khói PFD .....	31
<b>Hình 4.3.</b> Cài đặt mô phỏng khói PFD .....	32
<b>Hình 4.4.</b> Mô phỏng trường hợp tín hiệu Vrf sớm pha hơn tín hiệu Vfb.....	32
<b>Hình 4.5.</b> Mô phỏng trường hợp tín hiệu Vrf trễ pha hơn tín hiệu Vfb.....	33
<b>Hình 4.6.</b> Mô phỏng trường hợp tín hiệu Vrf đồng pha với tín hiệu Vfb.....	33
<b>Hình 4.7.</b> Sơ đồ nguyên lý khói CP (Charge Pump).....	34
<b>Hình 4.8.</b> Đóng gói khói CP (Charge Pump).....	35
<b>Hình 4.9.</b> Sơ đồ kết nối 2 khói PFD và CP .....	35
<b>Hình 4.10.</b> Cài đặt mô phỏng 2 khói PFD và CP.....	35
<b>Hình 4.11.</b> Mô phỏng trường hợp tín hiệu Vrf sớm pha hơn tín hiệu Vfb .....	36
<b>Hình 4.12.</b> Mô phỏng trường hợp tín hiệu Vrf trễ pha hơn tín hiệu Vfb.....	37
<b>Hình 4.13.</b> Mô phỏng trường hợp tín hiệu Vrf đồng pha với tín hiệu Vfb .....	38
<b>Hình 4.14.</b> Sơ đồ kết nối 3 khói PFD – CP – LPF .....	39
<b>Hình 4.16.</b> Cài đặt mô phỏng 3 khói PFD – CP – LPF.....	39
<b>Hình 4.17.</b> Mô phỏng trường hợp tín hiệu Vrf sớm pha hơn tín hiệu Vfb .....	40
<b>Hình 4.18.</b> Dạng sóng ngõ ra Vctrl tăng đều đặn .....	41
<b>Hình 4.19.</b> Mô phỏng trường hợp tín hiệu Vrf trễ pha hơn tín hiệu Vfb.....	41
<b>Hình 4.20.</b> Mô phỏng trường hợp tín hiệu Vrf đồng pha với tín hiệu Vfb .....	42
<b>Hình 4.21.</b> Sơ đồ nguyên lý mạch VCO .....	43
<b>Hình 4.22.</b> Đóng gói khói VCO .....	44
<b>Hình 4.23.</b> Cài đặt thông số mô phỏng khói VCO.....	44
<b>Hình 4.24.</b> Kết quả mô phỏng tại điện áp VCONT 1.2V .....	45
<b>Hình 4.25.</b> Đồ thị tần số VCO ứng với mức điện áp điều khiển .....	47

## DANH SÁCH HÌNH ẢNH

---

<b>Hình 4.26.</b> Đặc tuyến của VCO .....	47
<b>Hình 4.27:</b> Phase Noise của mạch VCO .....	48
<b>Hình 4.28.</b> Sơ đồ nguyên lý Mạch chia 32 .....	49
<b>Hình 4.29.</b> Đóng gói Mạch chia 32.....	49
<b>Hình 4.30.</b> Đo tần số ngõ ra Mạch chia 32 .....	49
<b>Hình 4.31.</b> Sơ đồ nguyên lý hệ thống PLL .....	50
<b>Hình 4.32.</b> Đóng gói hệ thống PLL .....	51
<b>Hình 4.33.</b> Kết quả mô phỏng hệ thống PLL.....	52
<b>Hình 4.34.</b> VCONT giám trước trạng thái khóa pha .....	53
<b>Hình 4.35.</b> VCONT tăng trước trạng thái khóa pha .....	53
<b>Hình 4.36.</b> Hệ thống PLL tiến gần tới trạng thái khóa pha.....	54
<b>Hình 4.37.</b> Hệ thống PLL ở trạng thái khóa pha.....	55
<b>Hình 4.38.</b> Sự đồng bộ của 2 tín hiệu .....	55
<b>Hình 4.39.</b> Hiện tượng Jitter của PLL ở trạng thái khóa pha.....	56
<b>Hình 4.40.</b> Tần số tham chiếu và tần số ngõ ra PLL .....	57
<b>Hình 4.41.</b> Thời gian khóa của từng trường hợp .....	57
<b>Hình 4.42.</b> Mô phỏng hệ thống PLL với tần số tham chiếu 17MHz .....	58
<b>Hình 4.43.</b> Mô phỏng hệ thống PLL với tần số tham chiếu 50MHz .....	58
<b>Hình 4.44.</b> Cài đặt thông số tính toán công suất tiêu thụ.....	59
<b>Hình 4.45.</b> Dạng sóng nguồn dòng và điện áp của hệ thống PLL .....	59
<b>Hình 4.46.</b> Dạng sóng công suất mạch PLL .....	60
<b>Hình 4.47.</b> Công suất tiêu thụ trung bình của PLL .....	60

# Danh sách bảng biểu

<b>Bảng 3. 1:</b> Bảng thông số yêu cầu của hệ thống.....	17
<b>Bảng 3. 2:</b> Bảng trạng thái khói tách sóng pha .....	20
<b>Bảng 3.3:</b> Bảng thông số khói Charge Pump .....	22
<b>Bảng 3.4:</b> Bảng trạng thái mạch CP .....	22
<b>Bảng 3.5:</b> Bảng thông số bộ lọc.....	24
<b>Bảng 3.6:</b> Bảng thông số của VCO .....	26
<b>Bảng 4.1.</b> Bảng tần số VCO tương ứng với mỗi giá trị điện áp điều khiển .....	46
<b>Bảng 4.2:</b> bảng thông số mô phỏng hệ thống PLL.....	51
<b>Bảng 4.3.</b> Bảng tổng kết các kết quả của quá trình mô phỏng và đo đạc hệ thống vòng khóa pha - PLL cho ứng dụng tổng hợp tần số .....	61

# CHƯƠNG 1: GIỚI THIỆU

## 1.1. Đặt vấn đề

Trong bối cảnh công nghệ viễn thông và điện tử - máy tính không ngừng phát triển, nhu cầu về các bộ tổng hợp tần số có độ ổn định cao, phản hồi nhanh và ít nhiễu ngày càng trở nên quan trọng. Vòng khóa pha (Phase-Locked Loop - PLL) đóng vai trò cốt lõi trong nhiều hệ thống hiện đại, đặc biệt là trong lĩnh vực truyền thông và thiết bị không dây.

Thiết kế PLL đòi hỏi độ chính xác cao và khả năng duy trì pha ổn định để đảm bảo hiệu suất tối ưu cho hệ thống. Việc thiết kế và phát triển hệ thống vòng khóa pha – PLL đáp ứng được yêu cầu đòi hỏi quá trình phức tạp do yêu cầu kiến thức sâu về điện tử, phần cứng máy tính và phần mềm mô phỏng đặc thù cho lĩnh vực này.

Trong các “bộ thu phát RF (4G/5G, Wi-Fi, GPS)”, PLL phải duy trì tần số dao động chính xác để tránh lỗi pha (phase noise) và đảm bảo độ nhạy thu tín hiệu tốt. Trong hệ thống vi xử lý và vi điều khiển, PLL phải tạo ra xung nhịp ổn định để đảm bảo hoạt động chính xác của CPU/DSP mà không gây lỗi đồng bộ (clock jitter). Trong thiết bị IoT và hệ thống nhúng, PLL cần đạt trạng thái khóa nhanh chóng khi khởi động hoặc thay đổi tần số để tối ưu thời gian phản hồi của hệ thống. Do đó, cần phải có một giải pháp hiệu quả để giải quyết các vấn đề này.

PLL đã và đang được nhiều nhóm nghiên cứu tiếp tục cải tiến về hiệu suất, tiêu thụ công suất và thời gian khóa. Trong paper [1], tác giả đã thiết kế một PLL công suất thấp sử dụng công nghệ GPDK 90nm, đạt thời gian khóa 100 ns và tiêu thụ 4.2 mW. Trong nghiên cứu [2], một hệ thống PLL khác được thiết kế để tạo ra tín hiệu 1 GHz từ nguồn tham chiếu 500 MHz, với thời gian khóa là 280.6 ns và công suất tiêu thụ là 11.8 mW. Ngoài ra, nghiên cứu [3] trình bày một thiết kế PLL có khả năng tạo ra tín hiệu 800 MHz từ tần số tham chiếu 400 MHz, với thời gian khóa đạt 1.5  $\mu$ s.

Trong đề tài "**Thiết kế và đánh giá hệ thống vòng khóa pha - PLL**" sử dụng thư viện 90nm (GDPK90) trên phần mềm Cadence Virtuoso để tạo ra tần số ổn định bằng bội số của tần số tham chiếu. Thiết kế này tối ưu hóa việc làm khớp dòng xả và xác đồng thời đạt được trạng thái khoá trong thời gian ngắn.

## 1.2. Giải quyết vấn đề

Để giải quyết vấn đề nói trên, nhóm tiến hành các nghiên cứu sau:

- Phân tích cấu trúc của mạch vòng khóa pha (PLL), bao gồm các khối chức năng chính, nguyên lý hoạt động tổng thể và vai trò cụ thể của từng thành phần.
- Nghiên cứu và lựa chọn thông số linh kiện như transistor, dòng điện, điện trở, tụ điện sao cho phù hợp với yêu cầu thiết kế, đảm bảo hệ thống hoạt động ổn định.
- Thiết kế và triển khai mạch PLL sử dụng thư viện công nghệ GPDK 90nm trong môi trường Cadence Virtuoso, tối ưu hóa hiệu suất mạch theo mục tiêu đặt ra.
- Xây dựng các testcase mô phỏng, tiến hành thiết kế và mô phỏng mô hình PLL phục vụ ứng dụng tổng hợp tần số, đồng thời đánh giá hiệu suất hệ thống.

## 1.3. Mục tiêu đề tài

Trong đồ án này, nhóm thiết kế và đánh giá một hệ thống PLL trên nền tảng Cadence Virtuoso cùng với Visio, Excel để vẽ lại các hình ảnh bị mờ và các bảng biểu để trực quan một vài mối quan hệ trong các thông số mô phỏng. Thiết kế hướng tới sự ổn định, khoá pha chính xác, nhanh chóng và giảm thiểu nhiễu.

## 1.4. Phương pháp nghiên cứu

- Phương pháp nghiên cứu tài liệu: Tiến hành tìm kiếm, thu thập các tài liệu về các bài báo khoa học, sách chuyên ngành, các bài báo từ các cơ sở dữ liệu uy tín như IEEE Xplore, các tạp chí khoa học về PLL.
- Phương pháp mô phỏng và đánh giá: Sử dụng các phần mềm chuyên dụng như Cadence Virtuoso để mô phỏng hoạt động mạch, sau đó quan sát, ghi nhận sự biến đổi của tín hiệu, kết quả đạt được trong quá trình mô phỏng và hiệu chỉnh.
- Phương pháp chọn lọc và tổng hợp kết quả: Tóm tắt các kết quả chính của nghiên cứu, nêu rõ những phát hiện quan trọng sau đó tổng hợp để hoàn thành bài báo cáo.

## 1.5. Bố cục của đề tài

Chương 1: GIỚI THIỆU

Chương 2: CƠ SỞ LÝ THUYẾT

Chương 3: THIẾT KẾ HỆ THỐNG

Chương 4: MÔ PHỎNG, ĐÁNH GIÁ

Chương 5: KẾT LUẬN VÀ HƯỚNG

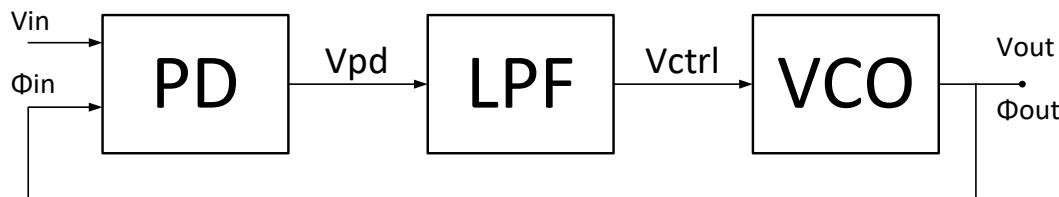
PHÁT TRIỂN

## CHƯƠNG 2: CƠ SỞ LÝ THUYẾT

### 2.1. Giới thiệu về “Vòng khoá pha – PLL”

#### 2.1.1. Kiến trúc của PLL

Kiến trúc cơ bản của một mạch vòng khoá pha được thể hiện thông qua **Hình 2.1**.

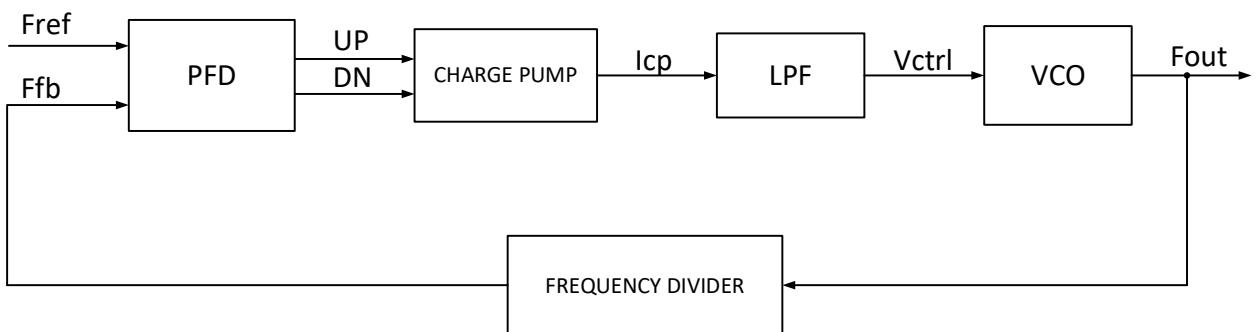


**Hình 2.1:** Kiến trúc cơ bản của một PLL

Một hệ thống PLL sẽ bao gồm 3 thành phần căn bản đó là:

- Bộ tách sóng pha PD: PD có nhiệm vụ so sánh pha và tần số giữa tín hiệu tham chiếu  $V_{in}$  và tín hiệu hồi tiếp  $V_{out}$  của VCO từ đó tạo ra tín hiệu sai lệch kí hiệu  $V_{pd}$ .
- Bộ lọc LPF: Bộ lọc có nhiệm vụ lọc gọn của điện áp lỗi PD thành điện áp biến đổi chậm  $V_{dc}$  hay  $V_{ctrl}$  (điện áp điều khiển VCO).
- Bộ dao động VCO: VCO hay còn gọi bộ dao động điều khiển bằng điện áp, khói này tạo các tần số đầu ra được điều khiển bằng điện áp lấy từ bộ lọc.

Ngày nay, có nhiều những thay đổi đang được thực hiện trong thiết kế của PLL do yêu cầu các ứng dụng cụ thể của nó. Một số khối được thêm vào nó và một số khối được xóa khỏi vòng lặp tùy theo yêu cầu. **Hình 2.2** dưới đây thể hiện kiến trúc của một hệ thống vòng khoá pha PLL cho một ứng dụng tổng hợp tần số:



**Hình 2.2:** Kiến trúc PLL cho tổng hợp tần số

**Hình 2.2** thể hiện sơ đồ khối của một hệ thống PLL được sử dụng trong mục đích tổng hợp tần số. So với kiến trúc PLL cơ bản, hệ thống này được mở rộng bằng cách bổ sung hai khối chức năng quan trọng là Charge Pump và Bộ chia tần số (Divider).

Khối Charge Pump đóng vai trò như một bộ khuếch đại dòng, đảm nhiệm việc chuyển đổi tín hiệu sai lệch pha (do bộ so sánh pha tạo ra) thành dòng điện. Dòng điện này sau đó được truyền qua mạch lọc thông thấp để tạo thành điện áp điều khiển, từ đó điều chỉnh tần số đầu ra của VCO. Việc sử dụng Charge Pump giúp nâng cao khả năng điều khiển pha và tần số của hệ thống, đồng thời cải thiện tính ổn định và độ chính xác trong hoạt động của PLL.

Khối Divider có chức năng giảm tần số của tín hiệu VCO trước khi đưa trở lại bộ so sánh pha. Nhờ đó, hệ thống PLL có thể hoạt động ở tần số cao hơn mà vẫn duy trì được tính ổn định. Bên cạnh đó, Divider còn góp phần giảm sai số trong quá trình so sánh pha, từ đó tăng độ chính xác tổng thể của hệ thống.

### 2.1.2. Nguyên lý hoạt động

Vòng khóa pha (PLL) là một hệ thống điều khiển vòng kín, trong đó tín hiệu đầu ra được liên tục so sánh với tín hiệu tham chiếu để đồng bộ về pha và tần số. Bộ phát hiện pha-tần (PFD) phát hiện sai lệch giữa tín hiệu vào (Fref) và tín hiệu hồi tiếp (Ffb) từ VCO. Charge Pump (CP) chuyển tín hiệu sai lệch thành dòng điện, qua bộ lọc thông thấp (LPF) để tạo ra điện áp điều khiển cho VCO.

Ban đầu, nếu không có tín hiệu vào, điện áp điều khiển VCO bằng 0 nên VCO hoạt động ở tần số tự nhiên (Fn). Khi tín hiệu vào xuất hiện, PFD so sánh pha và tần số của hai tín hiệu và tạo ra điện áp sai lệch VPD. Sau khi được lọc, VPD trở thành điện áp điều khiển VCO để điều chỉnh tần số đầu ra sao cho tiệm cận tần số tham chiếu.

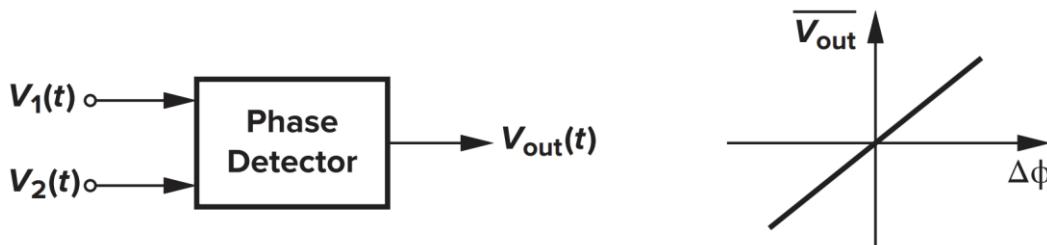
Khi tần số ra đã khớp với tần số vào, hệ thống tiếp tục tinh chỉnh để giảm sai lệch pha đến mức nhỏ nhất. Ở trạng thái khóa, pha và tần số đầu ra đồng bộ với tín hiệu tham chiếu, và sai số pha gần như bằng 0 hoặc không đổi. Đây chính là nguyên lý hoạt động đặc trưng của hệ thống PLL – điều khiển pha thông qua phản hồi khép kín.

## 2.2. MẠCH TÁCH SÓNG PHA – PFD

### 2.2.1. Tổng quan về mạch tách sóng pha PFD

Mạch dò pha-tần số (Phase Frequency Detector – PFD) là một bộ phận quan trọng trong cấu trúc của vòng khóa pha PLL [6], có nhiệm vụ so sánh độ lệch pha và tần số giữa hai tín hiệu đầu vào – thường là tín hiệu tham chiếu và tín hiệu hồi tiếp. PFD thực hiện việc đánh giá sự chênh lệch này và sinh ra tín hiệu sai lệch pha nhằm phản ánh độ lệch giữa hai tín hiệu.

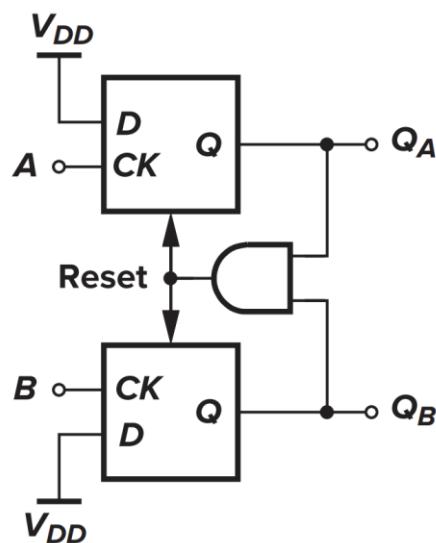
Cơ chế hoạt động của PFD dựa trên việc phát hiện sự khác biệt trong thời gian xuất hiện cạnh của các tín hiệu đầu vào, từ đó tạo ra tín hiệu điều khiển có mức tuyến tính tương ứng với sai số pha (như minh họa trong **Hình 2.3**, **Hình 16.1 trang 651 [6]**). Nhờ đó, PFD đóng vai trò giúp hệ thống PLL giữ được trạng thái đồng bộ, đảm bảo rằng tín hiệu đầu ra luôn bám sát tín hiệu chuẩn về cả pha lẫn tần số.



**Hình 2.3:** Định nghĩa mạch tách sóng pha PFD

### 2.2.2. Nguyên lý hoạt động của PFD

Mạch tách sóng pha PFD được thiết kế từ các Flip Flop D biếu diễn như **Hình 2.4** dưới đây:



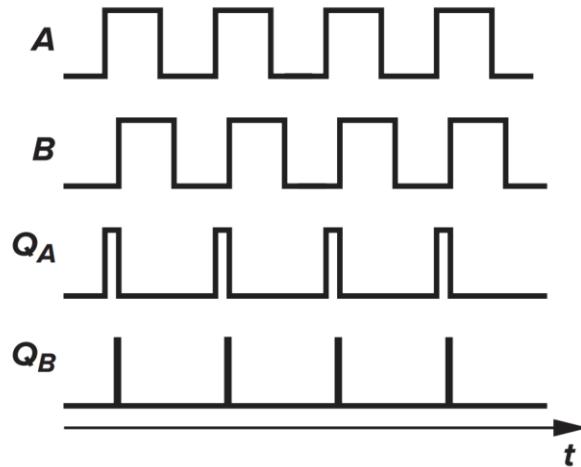
**Hình 2.4:** PFD từ D Flip – Flop

**Hình 2.4** minh họa một cấu trúc đơn giản của mạch PFD, sử dụng hai chốt D (flip-flop loại D) kích hoạt bởi cạnh lên, với ngõ vào D được nối cố định ở mức logic cao (“1”) và có khả năng reset đồng thời.

### Nguyên lý hoạt động:

Hai tín hiệu vào, A và B, đóng vai trò là xung đồng hồ (clock) điều khiển hai flip-flop. Ở trạng thái khởi đầu, nếu  $Q_A$  và  $Q_B$  đều bằng 0, thì khi A xuất hiện cạnh lên, flip-flop tương ứng sẽ cho  $Q_A$  lên mức 1. Sau đó, nếu B cũng xuất hiện cạnh lên, flip-flop còn lại sẽ tạo  $Q_B = 1$ . Khi cả  $Q_A$  và  $Q_B$  đều đạt mức cao, mạch AND sẽ kích hoạt tín hiệu reset, đưa cả hai flip-flop trở lại trạng thái ban đầu.

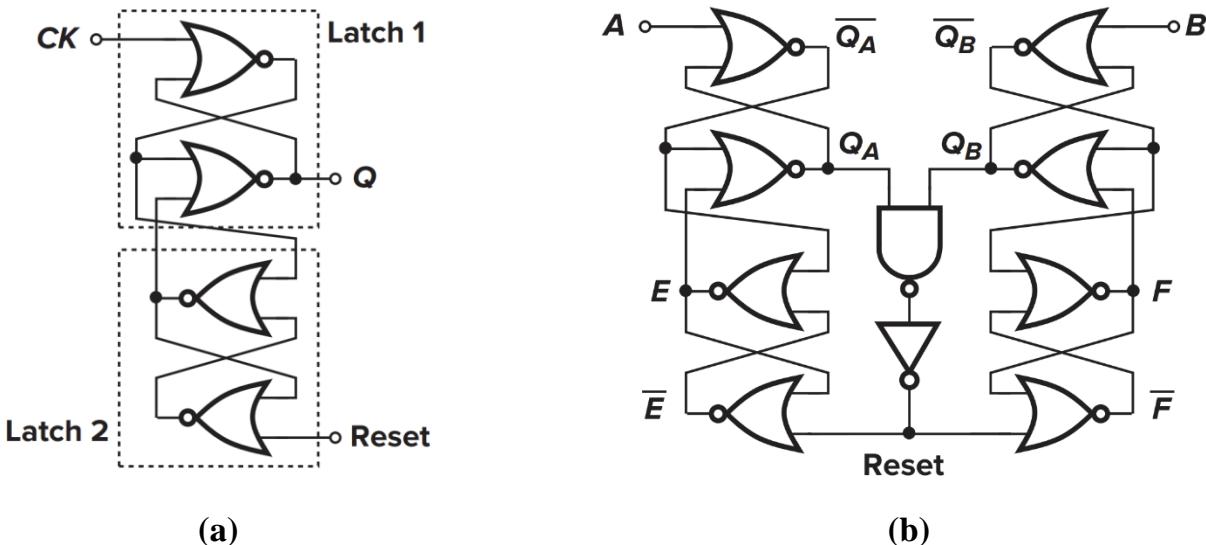
Trong quá trình này,  $Q_A$  và  $Q_B$  chỉ đồng thời ở mức cao trong một khoảng thời gian rất ngắn, nhưng sự khác biệt về độ rộng xung giữa chúng vẫn phản ánh chính xác độ lệch pha hoặc tần số giữa hai tín hiệu đầu vào. Dạng sóng minh họa cho hoạt động của mạch được trình bày trong **Hình 2.5**.



**Hình 2.5:** Dạng sóng mô tả mạch PFD

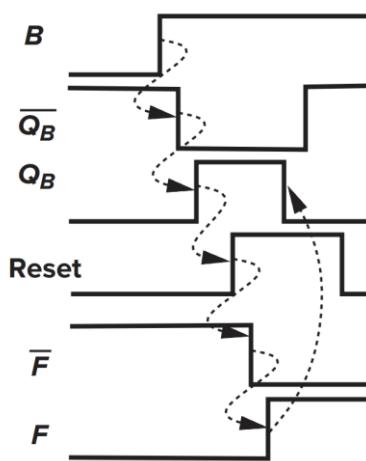
Mạch PFD (Phase Frequency Detector) tạo ra hai tín hiệu đầu ra:  $Q_A$  (UP) và  $Q_B$  (DOWN). Khi tín hiệu tham chiếu A xuất hiện sớm hơn tín hiệu phản hồi B, mạch sẽ phát ra xung trên ngõ ra  $Q_A$  (UP). Ngược lại, nếu A đến trễ hơn B, tín hiệu xung sẽ được tạo ra ở ngõ ra  $Q_B$  (DOWN). Các tín hiệu đầu ra này sau đó được đưa tới mạch Charge Pump để tiếp tục xử lý trong chuỗi điều khiển pha.

Mỗi phần tử Flip-Flop loại D trong mạch có thể được xây dựng như minh họa trong **Hình 2.6 (a)**, sử dụng hai chốt RS mắc chéo nhau. Trong cấu trúc này, Latch 1 và Latch 2 lần lượt được kích hoạt bởi các cạnh lên của tín hiệu xung CLK và tín hiệu Reset. Sơ đồ khối của toàn bộ mạch PFD sử dụng Flip-Flop được trình bày trong **Hình 2.6 (b)**.



**Hình 2.6:** Sơ đồ nguyên lý PFD và D FF

**Hình 2.6 (b)** minh họa mạch PFD tổng thể ở mức cồng. Nếu mạch bắt đầu với  $A = 1$ ,  $Q_A = 1$  và  $Q_B = 0$ , sau đó khi ngõ vào  $B$  tăng lên mức “1” buộc  $Q_B$  đảo xuống thấp và sau một độ trễ cồng,  $Q_B$  lên mức cao. Như được hiển thị trong **Hình 2.7** (**Hình 16.25 trang 669 [6]**) quá trình chuyển đổi này lan truyền tới Reset, E và F, E và F, và cuối cùng là  $Q_A$  và  $Q_B$ . Do đó, độ rộng xung trên  $Q_B$  xấp xỉ bằng 5 độ trễ cồng [6].



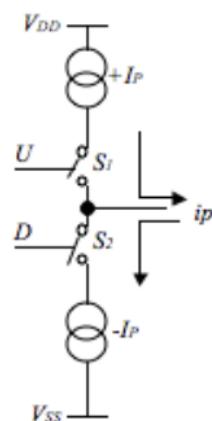
**Hình 2.7:** Mô tả độ rộng xung reset

## 2.3. MẠCH BƠM SẠC – CP

### 2.3.1. Tổng quan về mạch bơm sạc CP

Trong các mạch PLL (Phase-Locked Loop), Charge Pump (CP) là một thành phần mở rộng được bổ sung giữa bộ phát hiện pha (PFD) và bộ lọc thông thấp. Việc tích hợp khói CP giúp nâng cao hiệu quả điều khiển và mở rộng khả năng ứng dụng của PLL, đặc biệt trong các hệ thống vi mạch tích hợp [7].

Nhiều công trình nghiên cứu đã tập trung phân tích các biến thể kiến trúc của mạch CP nhằm phục vụ cho các mục đích sử dụng khác nhau trong thiết kế PLL. Mỗi biến thể đều có những đặc trưng kỹ thuật và ưu điểm riêng, phù hợp với từng yêu cầu cụ thể của hệ thống. Dù có sự khác biệt trong thiết kế, hầu hết các mạch Charge Pump đều tuân theo một cấu trúc tổng quát, được minh họa trong **Hình 2.8**.



**Hình 2.8:** Mô hình mạch bơm sạc CP

Mạch Charge Pump (CP) đóng vai trò như một bộ chuyển đổi điện áp DC sang DC trong hệ thống PLL. Thông qua việc điều khiển hai công tắc điện tử (thường ký hiệu là S1 và S2), CP tạo ra dòng điện theo hai chiều: dương hoặc âm. Dòng điện này được đưa vào bộ lọc thông thấp phía sau, làm nhiệm vụ nạp hoặc xả điện cho tụ, từ đó tạo ra điện áp điều khiển đầu vào của bộ dao động điều khiển bằng điện áp (VCO). Điện áp này sẽ quyết định tần số đầu ra của VCO.

Mạch CP hoạt động dựa trên hai tín hiệu điều khiển đầu vào: UP và DOWN, được tạo ra từ khối PFD. Hai tín hiệu này sẽ điều khiển việc tạo ra dòng điện duy nhất tại đầu ra của CP.

Về cấu trúc, CP bao gồm các nguồn dòng có cường độ  $I_{p1}$  và  $I_{p2}$ . Trong trường hợp lý tưởng, hai dòng này có giá trị bằng nhau ( $I_{p1} = I_{p2} = I_{cp}$ ) để đảm bảo tính đối xứng và giảm thiểu hiện tượng lệch dòng (mismatch), qua đó cải thiện độ chính xác và hiệu quả hoạt động của toàn hệ thống.

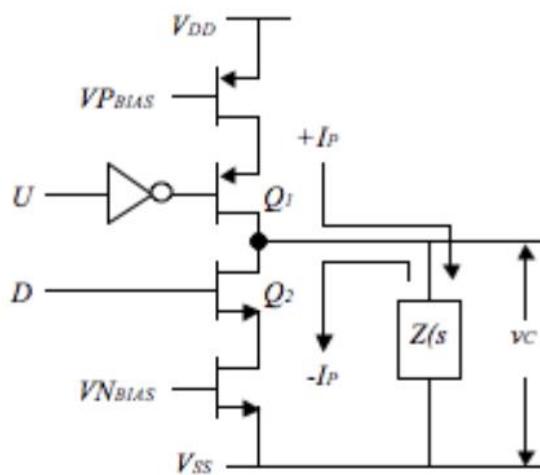
**❖ Nguyên lý hoạt động:**

Một trong hai nguồn dòng được nối với VDD, trong khi nguồn còn lại kết nối với VSS. Hai nguồn này được điều khiển thông qua hai công tắc điện tử, ký hiệu là S1 và S2, đóng vai trò ngắt hoặc cho phép dòng điện chạy. Hai tín hiệu điều khiển UP và DOWN, được xuất ra từ bộ phát hiện pha (PFD), sẽ lần lượt điều khiển trạng thái của S1 và S2. Thiết kế của PFD đảm bảo rằng S1 và S2 không bao giờ cùng bật tại cùng một thời điểm, nhằm tránh xung đột dòng.

Cụ thể, khi tín hiệu **UP** ở mức cao và **DOWN** ở mức thấp, công tắc **S1** được bật trong khi **S2** tắt, cho phép dòng điện chảy từ CP đến bộ lọc thông thấp (LPF), tương đương với quá trình nạp điện cho tụ lọc.

Ngược lại, nếu **UP** thấp và **DOWN** cao, Q1 sẽ tắt còn Q2 bật, dòng điện khi đó sẽ chảy từ LPF về lại mạch CP, tức là xả tụ.

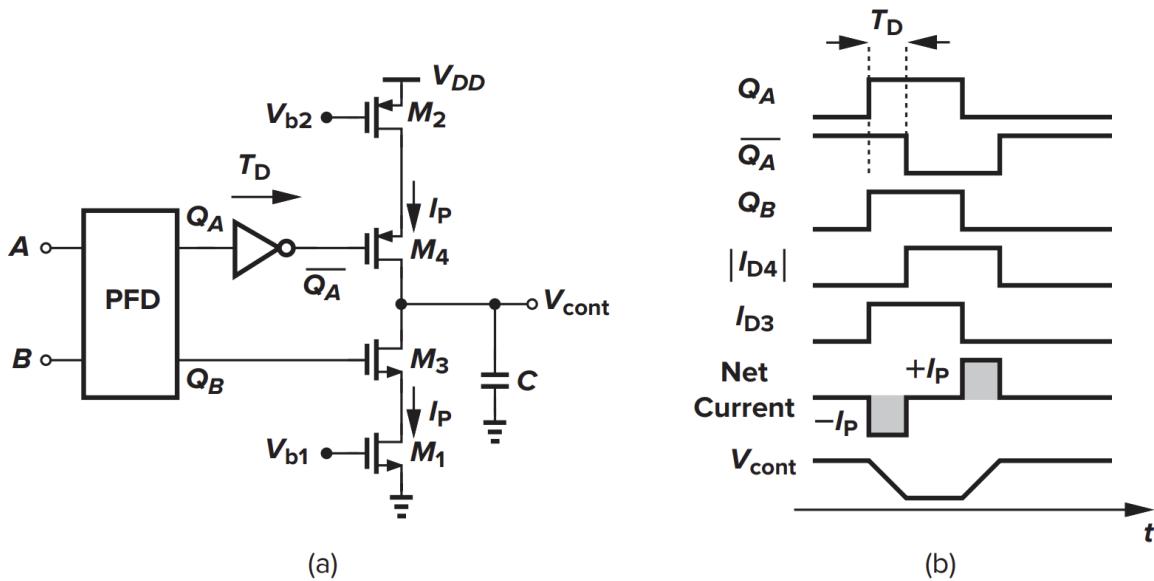
Cấu tạo cơ bản của mạch bơm sạc CP dạng CMOS được thể hiện như **Hình 2.9**:



**Hình 2.9:** Cấu tạo cơ bản mạch bơm sạc CP

### 2.3.2. Hạn chế của mạch CP cơ bản

\* Độ trễ không tương thích giữa UP và DN

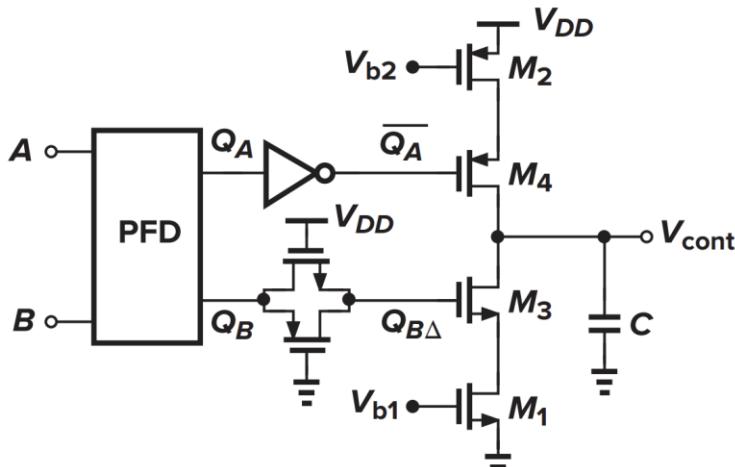


**Hình 2.10:** Hạn chế của mạch CP cơ bản

Một nhược điểm trong sơ đồ mạch ở **Hình 2.10a** (tương ứng với **Hình 16.44**, trang 680 [6]) xuất phát từ sự khác biệt về độ trễ giữa hai tín hiệu  $Q_A$  và  $Q_B$ , vốn điều khiển các công tắc tương ứng. Điều này gây nên hiện tượng bất cân xứng trong thời điểm bật/tắt công tắc.

Như minh họa trong **Hình 2.15b**, dòng nạp  $I_{cp}$  đưa vào bộ lọc vòng lặp có thể đột ngột thay đổi từ  $+I_p$  sang  $-I_p$ , tạo ra nhiễu trên điện áp điều khiển  $V_{cont}$  của bộ dao động. Sự dao động này là hệ quả của độ trễ không đồng đều giữa  $\bar{Q}_A$  và  $Q_B$ .

Để giảm thiểu hiện tượng này, một giải pháp là chèn thêm một công logic vào giữa tín hiệu  $Q_B$  và transistor  $M_3$ , nhằm mục đích cân bằng độ trễ, thể hiện trong **Hình 2.11**.

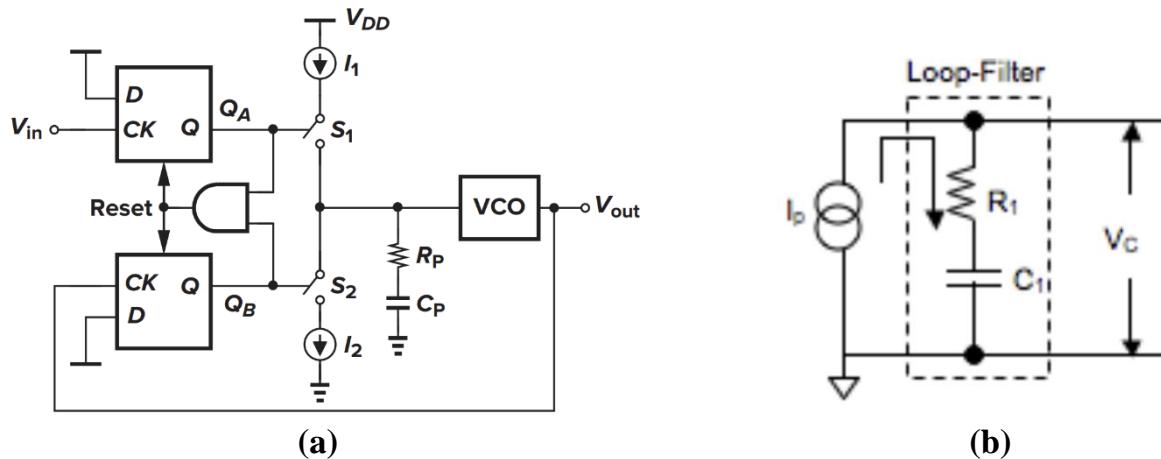


**Hình 2.11:** Mạch CP cân bằng delay giữa  $\bar{Q}_A$  và DN

## 2.4. BỘ LỌC THÔNG THẤP – LPF

### 2.4.1. Tổng quan về bộ lọc

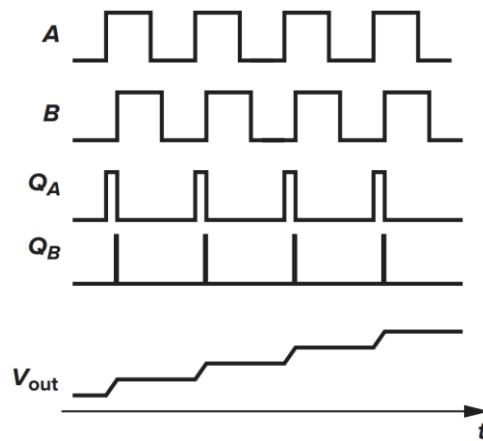
Trong một hệ thống vòng khoá pha PLL cơ bản, bộ lọc thường được sử dụng sau bộ so pha và trước bộ dao động VCO để có thể tạo ra điện áp điều khiển.



**Hình 2.12:** Bộ lọc thu động loại 1

Bộ lọc trong mạch PLL đóng vai trò quan trọng trong việc làm mượt tín hiệu lỗi pha phát sinh từ mạch PFD. Thông thường, một bộ lọc thông thấp (low-pass filter) được sử dụng để loại bỏ các thành phần tần số cao và giữ lại tín hiệu tần số thấp, nhằm tạo ra mức điện áp DC ổn định. Trong phần lớn thiết kế PLL, bộ lọc được sử dụng là bộ lọc thu động, như trình bày ở **Hình 2.12(b)**. Chức năng chính của bộ lọc này là trung bình hóa tín hiệu sai lệch pha từ mạch PFD.

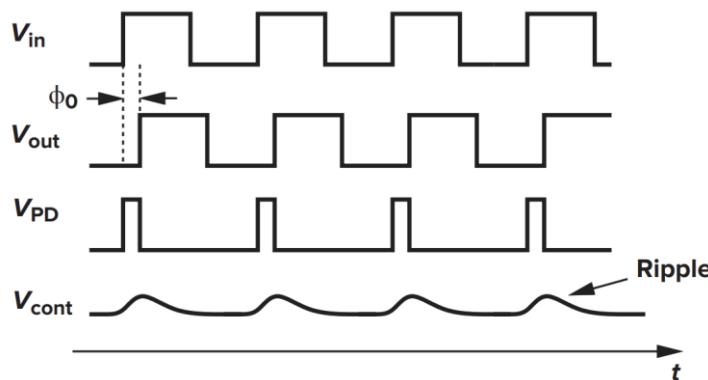
Sau khi được xử lý qua bộ lọc, tín hiệu lỗi pha được đưa vào điều khiển bộ dao động VCO, như **Hình 2.13**, giúp đầu ra của VCO có tần số và pha phù hợp với tín hiệu đầu vào.



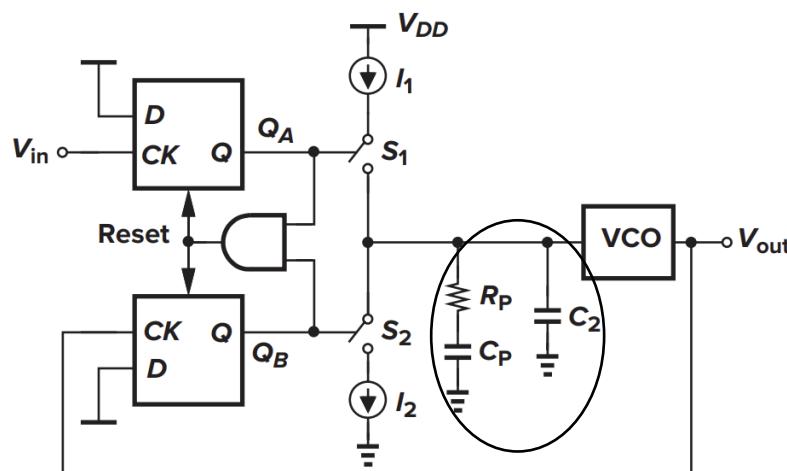
**Hình 2.13:** Điện áp dc ngõ ra bộ lọc

Hệ thống PLL như trong **Hình 2.12(a)** tồn tại một nhược điểm đáng kể. Do mạch bơm dòng điều khiển một tổ hợp nối tiếp giữa điện trở RP và tụ điện CP, mỗi lần dòng được nạp vào bộ lọc vòng lặp sẽ tạo ra một biến thiên đột ngột trong điện áp điều khiển. Ngay cả khi hệ thống đã đạt trạng thái khóa, sự **không cân bằng** giữa dòng nạp ( $I_{p1}$ ) và dòng xả ( $I_{p2}$ ), cũng như sự sai lệch trong quá trình truyền và tích điện tại các khóa S1 và S2, có thể dẫn đến hiện tượng gợn sóng (ripple) trên điện áp điều khiển  $V_{cont}$ .

Hiện tượng “**ripple**” này có thể làm nhiễu loạn hoạt động của VCO, từ đó gây ra sai lệch pha ở đầu ra, ảnh hưởng nghiêm trọng đến hiệu suất hệ thống [6].



**Hình 2.14:** Hiện tượng Ripple trên  $V_{cont}$



**Hình 2.15:** Hệ thống với bộ lọc loại 2

Việc thêm 1 tụ vào bộ lọc LPF **Hình 2.15**, không chỉ làm trơn tru đầu ra mà còn ổn định PLL. Bộ lọc vòng lặp bây giờ thuộc bậc hai, tạo ra PLL bậc ba. Nếu không có LPF, PLL không thể khóa và bắt chước tín hiệu Reference. Nên đặt tụ điện thêm  $C_2$  bằng  $1/10$  tụ điện  $C_1$ . Băng thông của bộ lọc vòng lặp phải nhỏ hơn  $1/10$  tần số đầu ra cao nhất.

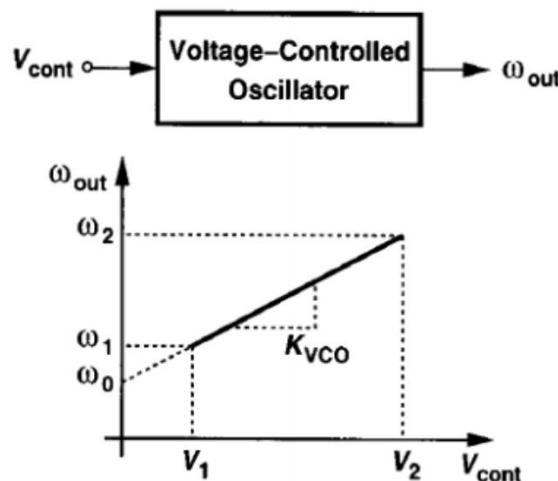
## 2.5. BỘ DAO ĐỘNG ĐIỀU KHIỂN BẰNG ĐIỆN ÁP – VCO

### 2.5.1. Tổng quan về VCO

Bộ tạo dao động điều khiển bằng điện áp (VCO) là một loại mạch dao động điện tử có khả năng tạo ra tín hiệu dao động với tần số phụ thuộc vào điện áp đầu vào. Khi thay đổi giá trị của điện áp điều khiển, tần số dao động đầu ra cũng sẽ thay đổi theo.

VCO đóng vai trò trung tâm trong nhiều hệ thống điện tử, đặc biệt là trong các mạch vòng khóa pha (PLL), bộ phục hồi xung đồng hồ, bộ tổng hợp tần số, cũng như trong nhiều thiết bị số và tương tự.

Về mặt lý tưởng, tần số đầu ra của VCO là một hàm tuyến tính theo điện áp điều khiển, như được minh họa trong **Hình 2.16**. Trong thực tế, các ứng dụng trong lĩnh vực viễn thông thường yêu cầu khả năng thay đổi linh hoạt tần số, do đó cần VCO có dải điều khiển điện áp rộng để đáp ứng nhiều chế độ hoạt động khác nhau.



**Hình 2.16:** VCO lý tưởng

Bộ tạo dao động điều khiển bằng điện áp (VCO) có thể được xây dựng dựa trên nhiều phương pháp thiết kế mạch khác nhau. Trong quá trình thiết kế, các yêu cầu quan trọng thường được xem xét bao gồm: độ ổn định pha cao, dải điều chỉnh tần số rộng, độ lợi lớn, và chi phí hợp lý.

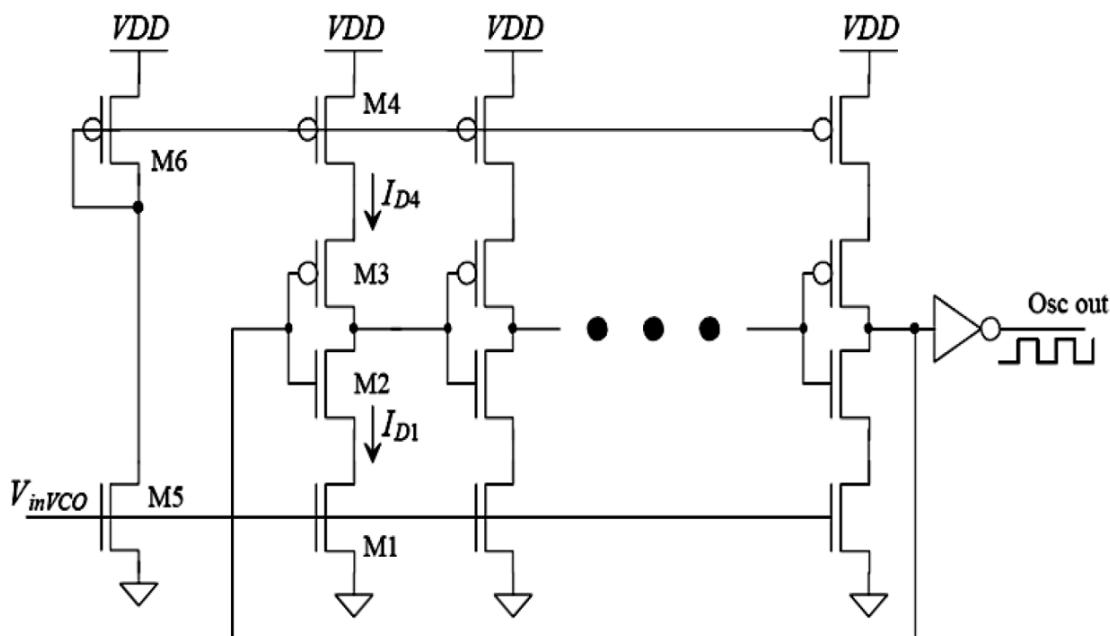
Một điểm đặc trưng của VCO dùng trong các hệ thống vòng khóa pha (PLL) là khả năng điều chỉnh tần số trong một phạm vi rộng, cho phép tạo ra nhiều mức tần số khác nhau. Đối với nhiều ứng dụng, độ nhiễu pha của VCO không phải lúc nào cũng là yếu tố

quá nghiêm ngặt, vì khi PLL đã khóa pha, các sai lệch do nhiễu của VCO sẽ được hệ thống phát hiện và bù trừ lại [8].

Hiện có nhiều kiến trúc VCO được sử dụng, trong đó loại VCO giới hạn dòng (Current Starved VCO) được đánh giá cao nhờ vào thiết kế đơn giản, hiệu quả hoạt động tốt, và đặc biệt phù hợp với các hệ thống như PLL vốn yêu cầu dải tần điều chỉnh lớn.

### 2.5.2. Nguyên lý hoạt động của Current Starved VCO

Current Starved Voltage Controlled Oscillator (CSVCO) được thiết kế sử dụng bộ tạo dao động vòng và hoạt động của nó tương tự như **Hình 2.17**.



**Hình 2.17:** Current Starved VCO

Bộ tạo dao động kiểu Current-Starved VCO (CSVCO) được cấu thành từ nhiều tầng trẽ liên tiếp, trong đó đầu ra của tầng cuối được hồi tiếp về đầu vào của tầng đầu tiên, tạo thành một vòng lặp dao động.

Dựa trên sơ đồ mạch trong **Hình 2.17**, có thể thấy rằng các transistor MOSFET M2 và M3 cùng nhau tạo thành một cổng nghịch đảo (inverter), trong khi M1 và M4 đóng vai trò như các nguồn cấp dòng cho mạch. Nói cách khác, M1 và M4 giới hạn dòng điện cung cấp cho M2 và M3, khiến cho inverter này hoạt động trong trạng thái bị "hạn chế dòng" (current-starved).

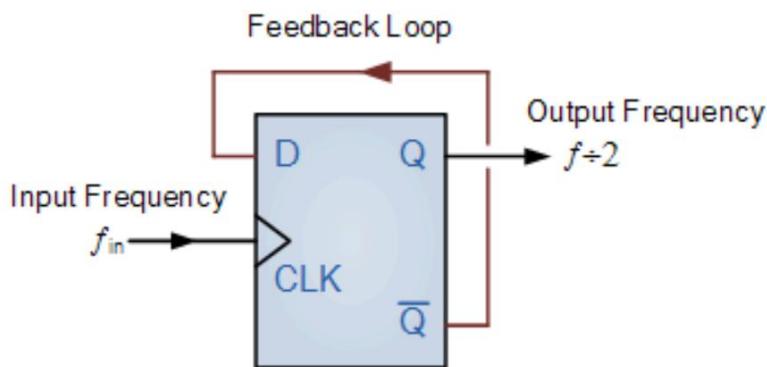
Ngoài ra, các transistor M5 và M6 hoạt động như các nguồn dòng giống nhau và được điều khiển bởi điện áp đầu vào. Dòng điện điều khiển từ M5 và M6 được phân phối cho từng tầng inverter (gọi là các "stage") trong mạch VCO. Ở phía trên, các PMOS được mắc nối tiếp qua transistor M6, trong khi tất cả các NMOS phía dưới đều nhận cùng một tín hiệu điện áp điều khiển tại cổng.

Thiết kế này mang lại lợi ích là cho phép điều chỉnh tần số dao động của VCO một cách linh hoạt thông qua thay đổi điện áp điều khiển đầu vào [9].

## 2.6. MẠCH CHIA TẦN SỐ

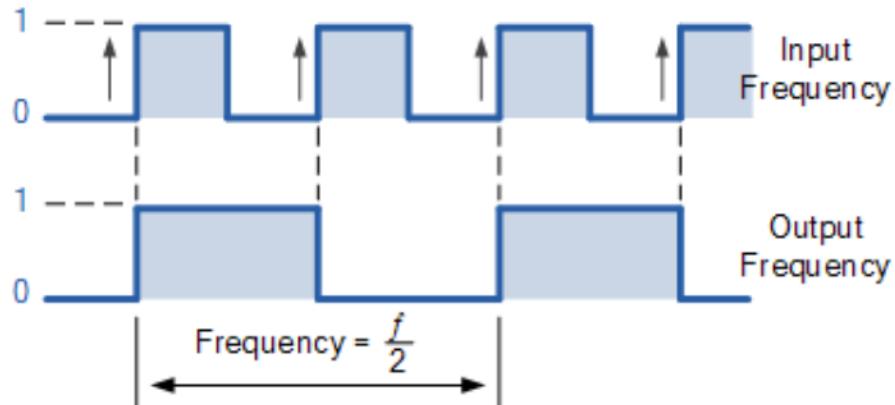
Bộ chia tần số trong PLL có nhiệm vụ giảm tần số từ VCO để hồi tiếp về bộ phát hiện pha (PFD), cho phép hệ thống tạo ra tần số đầu ra là bội số của tần số tham chiếu. Thành phần này tạo nên vòng phản hồi khép kín trong PLL.

Thông thường, bộ chia sử dụng các flip-flop hoặc bộ đếm để thực hiện việc chia tần số. Ví dụ, một mạch chia đôi có thể được thiết kế bằng D flip-flop, trong đó đầu ra  $\bar{Q}$  được nối ngược lại đầu vào D. Cấu hình này tạo ra một phản hồi giúp flip-flop dao động giữa hai trạng thái ổn định.



**Hình 2.18:** Bộ chia 2 sử dụng D FF

Trong mạch này, tín hiệu đồng hồ (CLK) được dùng để kích hoạt D flip-flop, khiến trạng thái đầu ra thay đổi theo cạnh lên của xung. Khi  $\bar{Q}$  được nối lại đầu vào D, tín hiệu tại D sẽ luôn phiên giữa “0” và “1”. Nhờ đó, flip-flop liên tục chuyển đổi trạng thái đầu ra khi có xung CLK.



**Hình 2.19:** Dạng sóng mô tả bộ chia 2

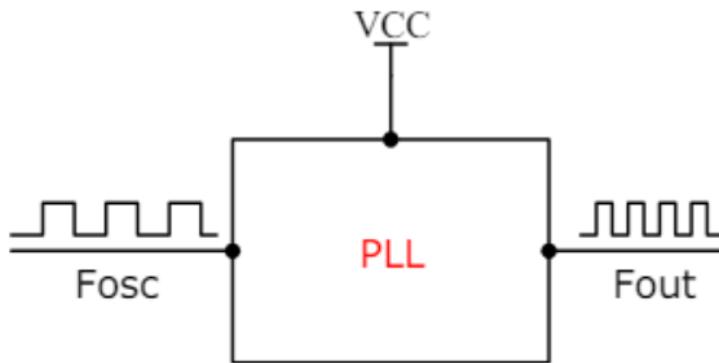
Như minh họa ở **Hình 2.19**, việc phản hồi từ  $\bar{Q}$  về  $D$  giúp tạo ra đầu ra  $Q$  có tần số bằng một nửa tần số CLK đầu vào. Bằng cách nối tiếp  $N$  mạch chia đôi dạng này, ta có thể thu được tín hiệu có tần số bằng  $f_{in}/2^N$ .

# CHƯƠNG 3: THIẾT KẾ HỆ THỐNG

## 3.1. YÊU CẦU CỦA HỆ THỐNG

Để triển khai một hệ thống vòng khóa pha (PLL) phục vụ mục đích tổng hợp tần số, cần đảm bảo rằng hệ thống đáp ứng được các yêu cầu về hiệu năng và độ ổn định trong suốt quá trình hoạt động. Cụ thể, PLL phải đạt được độ chính xác cao trong việc tạo ra và duy trì tần số mong muốn, đồng thời cần có khả năng linh hoạt để điều chỉnh tần số đầu ra phù hợp với yêu cầu từng ứng dụng cụ thể. Các thông số thiết kế chi tiết được thể hiện trong Bảng 3.1.

**Hình 3.1** là sơ đồ khối của một PLL với ngõ vào là Fosc và ngõ ra là Fout. Hệ thống với chức năng tổng hợp tần số được thiết kế với yêu cầu điều chỉnh tần số ngõ ra  $F_{out}$  gấp N lần tần số ngõ vào  $F_{out} = F_{osc} * N$ .



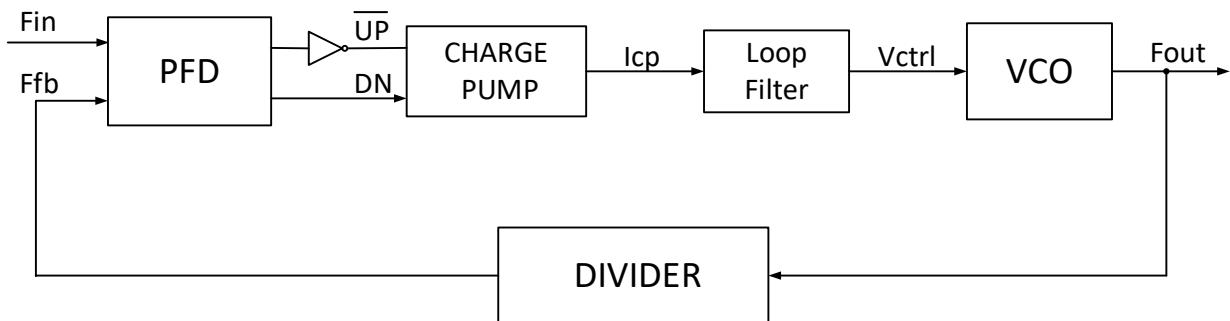
**Hình 3.1:** Sơ đồ khối hệ thống PLL

**Bảng 3.1:** Bảng thông số yêu cầu của hệ thống

Thông số	Giá trị
Nguồn cung cấp	V <sub>CC</sub>
Tần số tham chiếu	V <sub>ref</sub>
Tần số ngõ ra	F <sub>out</sub>
Bộ chia	N

### 3.2. THIẾT KẾ SƠ ĐỒ KHỐI HỆ THỐNG

Việc thiết kế một hệ thống PLL đòi hỏi phải đáp ứng các yêu cầu kỹ thuật cụ thể đối với từng thành phần cấu thành. Tuy nhiên, về cơ bản, mạch PLL thường bao gồm năm khối chức năng chính. Sơ đồ khối tổng quát thể hiện cấu trúc của các thành phần này được trình bày trong **Hình 3.2** dưới đây:



**Hình 3.2:** Sơ đồ khối mạch PLL

**Bộ phát hiện pha (PFD):** Thành phần này đảm nhận vai trò so sánh pha giữa tín hiệu đầu vào và tín hiệu đầu ra. Kết quả của phép so sánh được biểu diễn dưới dạng hai tín hiệu điều khiển "UP" và "DOWN", phản ánh độ lệch pha giữa hai tín hiệu.

**Bộ bơm điện tích (Charge Pump - CP):** Charge Pump nhận các tín hiệu "UP" và "DOWN" từ PFD và chuyển đổi chúng thành dòng điện. Dòng này sau đó được sử dụng để điều chỉnh điện áp đưa vào bộ lọc nhằm kiểm soát tần số của hệ thống.

**Bộ lọc thông thấp (Low-Pass Filter - LPF):** Bộ lọc này thực hiện chức năng làm mượt tín hiệu dòng điện từ CP, tạo ra một điện áp điều khiển ổn định ( $V_{ctrl}$ ). Điện áp này là đầu vào của VCO, đảm bảo điều chỉnh tần số một cách liên tục và ổn định.

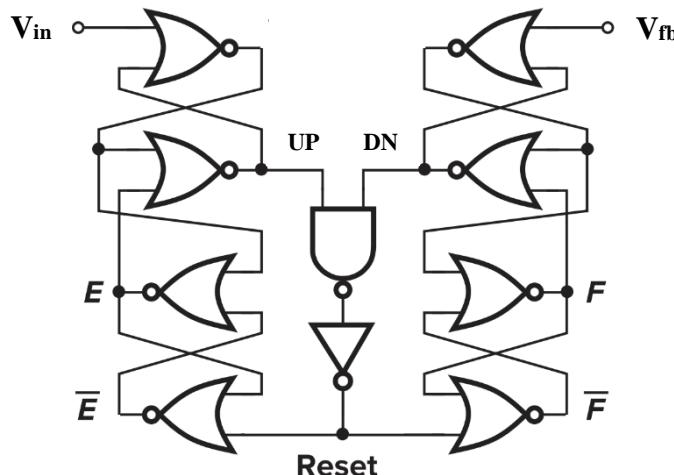
**Bộ dao động điều khiển bằng điện áp (VCO):** VCO tạo ra tín hiệu đầu ra có tần số thay đổi tương ứng với điện áp điều khiển nhận được từ LPF. Tín hiệu này là yếu tố chính giúp hệ thống PLL đồng bộ với tín hiệu tham chiếu ban đầu.

**Bộ chia tần (Divider):** Khối này giảm tần số của tín hiệu đầu ra từ VCO theo một tỉ lệ xác định, nhằm đưa nó về cùng miền tần số với tín hiệu tham chiếu để phục vụ cho quá trình so sánh pha. Divider cần đảm bảo độ chính xác và khả năng thay đổi tỉ lệ chia linh hoạt để phù hợp với các yêu cầu ứng dụng khác nhau.

### 3.3. THIẾT KẾ CHI TIẾT TÙNG KHỐI

#### 3.3.1. Thiết kế khối tách sóng pha – PFD

Nhằm thực hiện việc so sánh sự sai khác về pha và tần số giữa tín hiệu tham chiếu và tín hiệu phản hồi, nhóm tiến hành thiết kế một bộ tách sóng pha kỹ thuật số, có sơ đồ nguyên lý minh họa trong **Hình 3.3**. Bộ mạch này sử dụng hai chốt D (Flip-Flop D) được xây dựng bằng các công logic NOR, cùng với một công AND đảm nhận chức năng đặt lại (reset).



**Hình 3.3:** Sơ đồ nguyên lý mạch PFD

#### Mô tả hoạt động:

- Bộ tách sóng pha (PFD) nhận hai tín hiệu đầu vào là  $V_{in}$  và  $V_{fb}$ , tương ứng với tín hiệu tham chiếu và tín hiệu phản hồi cần được so sánh.
- Dựa trên sự chênh lệch thời gian đến giữa hai tín hiệu này, PFD sẽ tạo ra tín hiệu UP hoặc DN nhằm phản ánh độ lệch pha.
- Trường hợp 1: Nếu tín hiệu tham chiếu  $V_{in}$  đến sớm hơn tín hiệu phản hồi  $V_{fb}$ , đầu ra UP sẽ được kích hoạt để biểu thị sự sai lệch pha. Lúc này, DN chỉ tạo ra các xung ngắn dùng để reset.
- Trường hợp 2: Nếu tín hiệu tham chiếu  $V_{in}$  đến muộn hơn so với tín hiệu phản hồi  $V_{fb}$ , đầu ra DN sẽ phản ánh sự chênh lệch pha, trong khi UP tạo ra các xung reset.
- Trường hợp 3: Khi hai tín hiệu  $V_{in}$  và  $V_{fb}$  hoàn toàn đồng bộ về pha và tần số, cả hai tín hiệu đều ra UP và DN chỉ xuất hiện dưới dạng các xung reset có độ rộng giống nhau.

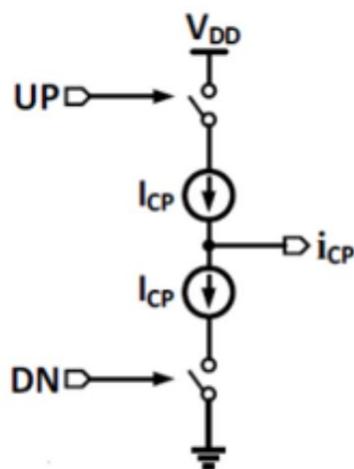
- Độ rộng của các xung Reset xấp xỉ khoảng tổng 5 độ trễ cổng như **Hình 3.3**.
- Bảng trạng thái của mạch tách sóng pha PFD được thể hiện trong bảng 3.2 bên dưới:

**Bảng 3. 2: Bảng trạng thái khởi tách sóng pha**

UP	DN	A	B	UP (next)	DN (next)
0	0	↑		1	0
0	0		↑	0	1
1	0	↑		1	0
0	1		↑	0	1
1	0		↑	0	0
0	1	↑		0	0

### 3.3.2. Thiết kế khởi bơm sạc – CP

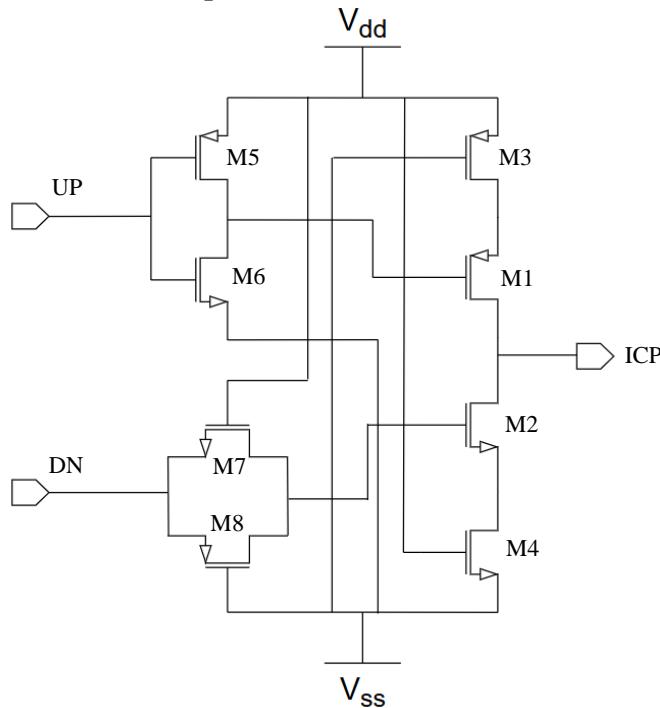
Mạch bơm sạc (charge pump) gồm hai nguồn dòng có khả năng điều khiển việc cấp hoặc rút điện tích khỏi tụ lọc, dựa trên trạng thái logic của tín hiệu UP và DN được cung cấp từ bộ tách sóng pha (PFD). Hai dòng điện  $I_1$  và  $I_2$ , thường có giá trị bằng nhau và ký hiệu chung là  $I_{CP}$ , lần lượt đại diện cho dòng "tăng" và dòng "giảm", như thể hiện trong **Hình 3.4**.



**Hình 3.4: Mô hình của Charge Pump**

### CHƯƠNG 3: THIẾT KẾ HỆ THỐNG

Mạch Charge Pump có thể được thực hiện dễ dàng bằng cách sử dụng các MOSFET như **Hình 3.5**. Ở đây các cặp MOSFET M1-M3 và M2-M4 hoạt động như các công tắc đưa dòng Icp xạc hoặc xả vào khối lọc phía sau.



**Hình 3.5:** Sơ đồ nguyên lý khối Charge Pump

Mô tả hoạt động:

- Mạch Charge Pump có hai ngõ vào điều khiển là tín hiệu UP và DN lấy từ mạch so pha (PFD). Hai tín hiệu này lần lượt điều khiển hai nhánh MOSFET trung gian (M5–M6 và M7–M8), nhằm kích hoạt các transistor dòng (M1–M4) để đưa dòng Icp đến hoặc rút dòng từ đầu ra ICP.
- Trường hợp 1: Khi tín hiệu UP = 1 (tín hiệu tham chiếu Vin đến trước phản hồi Vfb), cặp transistor M5–M6 sẽ dẫn, làm cho M1 và M3 bật. Lúc này, dòng từ nguồn Vdd sẽ đi qua M3 và M1 đến nút ICP → ICP nhận dòng bơm lên.
- Trường hợp 2: Khi tín hiệu DN = 1 (tín hiệu tham chiếu Vin đến sau phản hồi Vfb), cặp transistor M7–M8 sẽ dẫn, làm cho M2 và M4 bật. Dòng từ ICP sẽ đi qua M2 và M4 xuống đất (Vss) → ICP bị rút dòng xuống.
- Các thông số khối Charge Pump được thể hiện trong bảng 3.3.

**Bảng 3.3:** Bảng thông số khối Charge Pump

Thông số		Giá trị
Nguồn cung cấp	VDD	1.8 V
Transistor	Pmos_1v	L = 100nm, W = 120nm (Thông số thư viện GPDK90)
	Nmos_1v	L = 100nm, W = 120nm (Thông số thư viện GPDK90)

- Bảng trạng thái của mạch bơm sạc CP được thể hiện trong bảng 3.4 bên dưới:

**Bảng 3.4:** Bảng trạng thái mạch CP

UP	DN	Trạng thái
0	0	Cả hai nhánh trên và dưới đều tắt
0	1	Nhánh trên bật (M5–M6–M1–M3 dẫn)
1	0	Nhánh dưới bật (M7–M8–M2–M4 dẫn)
1	1	Cả hai nhánh đều dẫn (dòng xung đột)

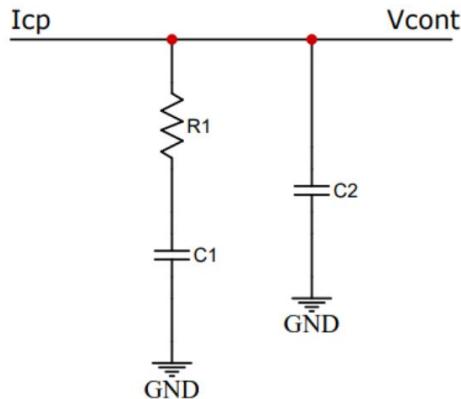
### 3.3.3. Thiết kế khối lọc thông thấp – LPF

Để chuyển đổi dòng điện thành điện áp nhằm điều khiển khối VCO, nhóm đã thiết kế một bộ lọc thông thấp dạng RC. Bộ lọc này có nhiệm vụ lấy giá trị trung bình của tín hiệu sai pha được tạo ra từ khối PFD và CP, từ đó tạo ra điện áp điều khiển Vcont. Điện áp Vcont đóng vai trò điều chỉnh tần số đầu ra của bộ dao động VCO.

Tuy nhiên, do hiện tượng sai lệch (mismatch) giữa hai nguồn dòng I1 và I2 trong khối CP, điện áp điều khiển có thể bị “nhảy” gây ra dao động không mong muốn (ripple) tại đầu ra VCO. Để khắc phục vấn đề này, nhóm đã bổ sung thêm một tụ điện thứ hai mắc song song với mạch lọc RC, như minh họa ở **Hình 3.6**. Giải pháp này giúp làm mượt điện áp

## CHƯƠNG 3: THIẾT KẾ HỆ THỐNG

điều khiển, giảm thiểu hiện tượng dao động đột ngột. Kiểu lọc này còn được biết đến với tên gọi là bộ lọc loại II (Type-II loop filter).



**Hình 3.6:** Mạch lọc thông thấp

Mô tả:

- Dòng điện chạy qua bộ lọc:  $I_{cp}$
- Điện áp điều khiển:  $V_{cont}$
- Hàm truyền bộ lọc loại 2:

$$H_{LPF}(s) = \frac{1 + \frac{s}{w_z}}{s \cdot C_1 \cdot \left(1 + \frac{s}{w_p}\right)}$$

- Tần số tham chiếu:  $F_{ref} = 50 \text{ MHz}$
- Tần số cắt:  $F_c = 2 \text{ MHz}$

$$F_c = \frac{1}{2 \cdot \pi \cdot R \cdot \sqrt{C_1 \cdot C_2}}$$

Chọn tần số cắt  $F_c \ll$  tần số tham chiếu  $F_{ref}$ .

- Điện trở  $R_1$ :  $R_1 = 6 \text{ k}\Omega$
- Tần số zero:

$$W_z = \frac{1}{R_1 \cdot C_1}$$

$$\Rightarrow C_1 = \frac{a}{2 \cdot \pi \cdot F_c \cdot R_1} = \frac{3}{2 \cdot \pi \cdot F_c \cdot R_1} = 40 \text{ pF} \quad \left(a = \frac{f_c}{f_z} > 3\right)$$

- Tần số pole:

$$W_p = \frac{1}{R_1 \cdot \frac{C_1 \cdot C_2}{C_1 + C_2}}$$

$$\Rightarrow C_2 \approx C_1/10 = 4 \text{ pF}$$

- Từ các biểu thức toán, nhóm chọn ra các thông số của R1, C1 và C2 sao cho phù hợp được trình bày trong bảng 3.5.

**Bảng 3.5:** Bảng thông số bộ lọc

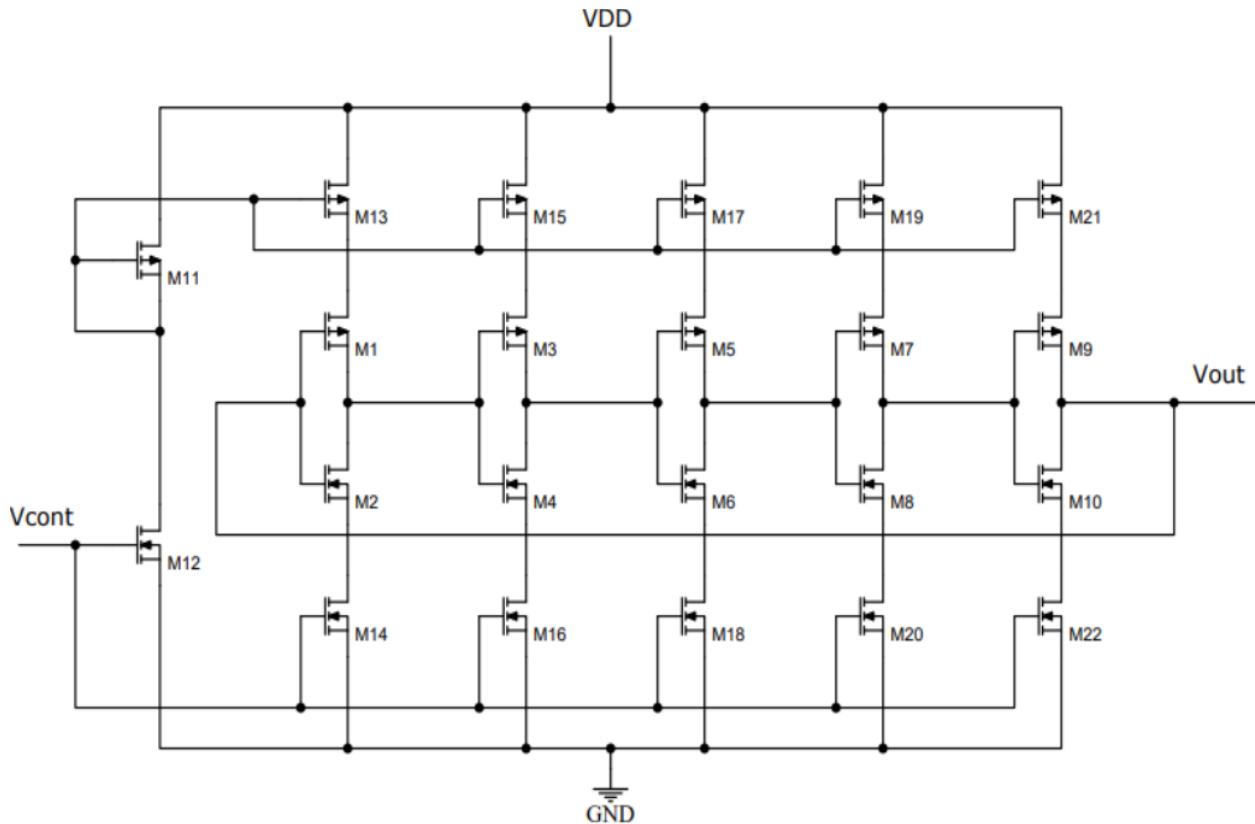
Thông số		Giá trị
Dòng CP	$I_{CP}$	100 uA
Filter	R1	6 KΩ
	C1	40 pF
	C2	4 pF

### 3.3.4. Thiết kế khối dao động – VCO

Bộ dao động điều khiển bằng điện áp (VCO) là một mạch điện tử có khả năng sinh ra tín hiệu dao động với tần số phụ thuộc vào điện áp đầu vào. Điện áp điều khiển này chính là tín hiệu đầu ra của bộ lọc thông thấp DC.

VCO hoạt động bằng cách nhận điện áp đầu vào từ LPF (Low-Pass Filter) và tạo ra tín hiệu dao động với tần số tương ứng. Tần số đầu ra của VCO thay đổi dựa trên giá trị của điện áp điều khiển được cung cấp.

**Hình 3.7** minh họa sơ đồ nguyên lý của một VCO sử dụng kiến trúc Current-Starved gồm 5 tầng khuếch đại nhằm đạt hiệu quả hoạt động tối ưu cả về công suất và độ ổn định.



**Hình 3.7:** Sơ đồ nguyên lý khối VCO dạng Current Starved

Mô tả các thông số:

- Đầu vào của bộ Current Starved VCO là  $V_{cont}$  lấy từ bộ lọc dùng để điều khiển tần số ngõ ra  $V_{out}$ .
- Tổng điện dung trên 2 transistor M1 và M2:

$$C_{tot} = C_{out} + C_{in}$$

$$\Leftrightarrow C_{tot} = Cox \cdot (W_p \cdot L_p + W_n \cdot L_n) + \frac{3}{2} \cdot Cox \cdot (W_p \cdot L_p + W_n \cdot L_n)$$

$$\Leftrightarrow C_{tot} = \frac{5}{2} \cdot Cox \cdot (W_p \cdot L_p + W_n \cdot L_n)$$

- Thời gian để nạp vào tụ  $C_{tot}$  từ 0 lên  $V_{sp}$  bằng nguồn dòng  $I_{d1}$ :

$$t_1 = C_{tot} \cdot \frac{V_{sp}}{I_{d1}}$$

- Thời gian để xả tụ  $C_{tot}$  từ  $V_{DD}$  xuống  $V_{sp}$  bằng nguồn dòng  $I_{d2}$ :

$$t_2 = C_{tot} \cdot \frac{V_{DD} - V_{sp}}{I_{d2}}$$

## CHƯƠNG 3: THIẾT KẾ HỆ THỐNG

- Tần số dao động trung tâm của bộ VCO với 5 stages:

$$F_{osc} = \frac{1}{T} = \frac{1}{N \cdot (t_1 + t_2)} = \frac{I_d}{N \cdot V_{DD} \cdot C_{tot}}$$

- Các thông số của mạch Current Starved VCO được thể hiện trong bảng 3.6:

**Bảng 3.6:** Bảng thông số của VCO

<b>Thông số</b>		<b>Giá trị</b>
Nguồn cung cấp	$V_{DD}$	1.8 V
Tần số trung tâm	$F_{osc}$	890 MHz
Epsilon	$\epsilon_r$	3.9
Epsilon	$\epsilon_0$	$8.85 * 10^{-12} \text{ F}/\mu\text{m}^2$
Oxide Thickness	$T_{ox}$	$3 * 10^{-9}$
Oxide Capacitance	$C_{ox}$	$11.7 * 10^{-3} \text{ F}/\mu\text{m}^2$
Total Capacitance	$C_{tot}$	7.575 fF
Pmos_1v [9]	M1,M3,M5,M7,M9	$W = 2.44 \text{ um}, L = 100\text{nm}$
	M11,M13,M15,M17,M19,M21	$W = 150 \text{ nm}, L = 100\text{nm}$
Nmos_1v [9]	M2,M4,M6,M8,M10	$W = 2.33 \text{ um}, L = 100\text{nm}$
	M12,M14,M16,M18,M20,M22	$W = 140 \text{ nm}, L = 100\text{nm}$

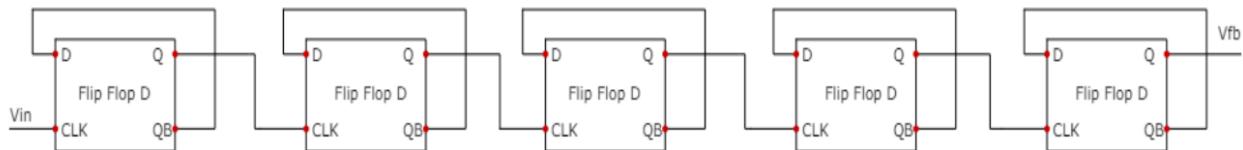
### 3.3.5. Thiết kế khối chia xung

Khối chia tần số có nhiệm vụ tạo tín hiệu phản hồi  $V_{fb}$  từ bộ dao động VCO và truyền về mạch so pha (PFD). Trong thiết kế này nhóm sử dụng cấu trúc gồm 5 Flip – Flop loại D

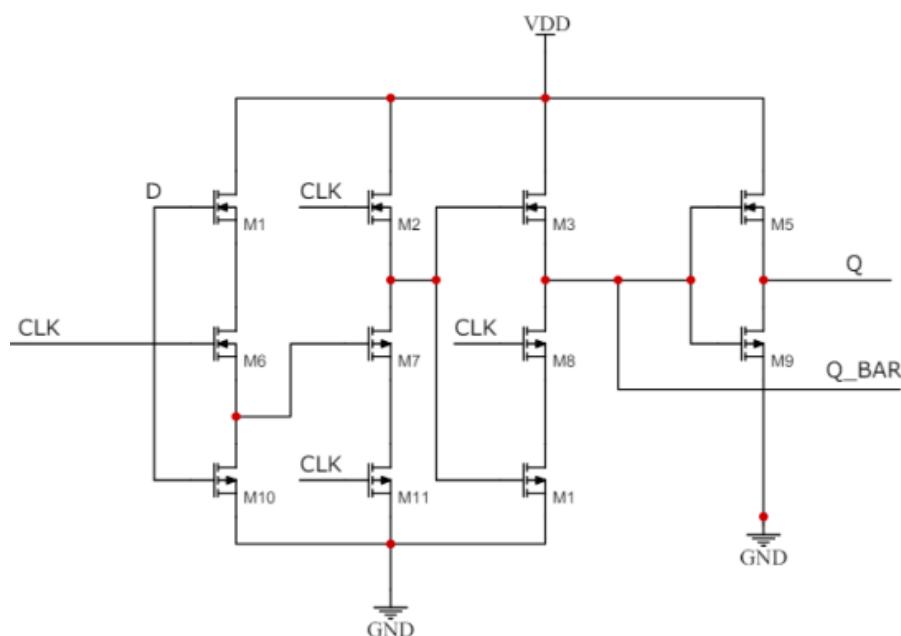
## CHƯƠNG 3: THIẾT KẾ HỆ THỐNG

để xây dựng một bộ chia tần số theo tỉ lệ 1:32, như minh họa ở **Hình 3.8**.

Khi nối trực tiếp đầu ra đảo  $\bar{Q}$  vào ngõ vào D của flip-flop D, ta thu được một bộ chia 2. Việc mắc nối tiếp 5 bộ chia 2 sẽ tạo thành một bộ chia 32. Chi tiết sơ đồ nguyên lý của flip-flop D được thể hiện ở **Hình 3.9**.



**Hình 3.8:** Mạch chia xung 32 sử dụng Flip Flop D



**Hình 3.9:** Sơ đồ nguyên lý mạch Flip Flop D

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

Trong chương này, nhóm thực hiện sẽ tiến hành trình bày chi tiết quá trình kiểm tra và phân tích chức năng của từng khối riêng lẻ trong hệ thống PLL (Phase-Locked Loop). Các khối chức năng này sẽ được xem xét thông qua các trường hợp mô phỏng khác nhau, nhằm đánh giá khả năng hoạt động cũng như mức độ tương tác giữa các thành phần trong toàn hệ thống. Thông qua việc phân tích kết quả mô phỏng, nhóm sẽ làm rõ vai trò của từng khối đối với hiệu suất tổng thể, từ đó xác định được những điểm mạnh và các vấn đề cần cải tiến. Sau khi hoàn tất quá trình kiểm tra từng phần, nhóm sẽ tiến hành đánh giá toàn diện hệ thống PLL trên các tiêu chí quan trọng như tính ổn định của vòng khóa pha, thời gian hệ thống đạt trạng thái khóa (lock time), và mức tiêu thụ công suất trong quá trình hoạt động. Những phân tích này nhằm đảm bảo rằng hệ thống thiết kế đáp ứng được các yêu cầu kỹ thuật đề ra cũng như phù hợp với mục tiêu ứng dụng trong thực tế.

### 4.1. THIẾT KẾ TESTCASE MÔ PHỎNG VỚI CADENCE VIRTUOSO

- ❖ Cài đặt các thông số mô phỏng chung:

Các thông số	Cấu hình
Công nghệ sử dụng	Gpdk90
PVT	Điện áp: VDD = 1.8V và VSS = 0V Nhiệt độ: 27°C
Tần số tham chiếu	Xung 40MHz, chu kỳ 25ns, Duty cycle 50%
Transition time	1ps

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

- ❖ Testcase mô phỏng chung những trường hợp khác nhau cho các khối:

**Testcase 1:** Tín hiệu tham chiếu (Vrf) đến sớm pha hơn tín hiệu phản hồi (Vfb)

Ngõ vào	Cấu hình
VRF	Voltage 1: 1.8V Voltage 2: 0V Period: 25ns Delay time: 0s Transition time: 1ps
VFB	Voltage 1: 1.8V Voltage 2: 0V Period: 25ns Delay time: 5ns Transition time: 1ps

**Testcase 2:** Tín hiệu tham chiếu (Vrf) đến trễ pha hơn tín hiệu phản hồi (Vfb)

Ngõ vào	Cấu hình
VRF	Voltage 1: 1.8V Voltage 2: 0V Period: 25ns Delay time: 5ns Transition time: 1ps
VFB	Voltage 1: 1.8V Voltage 2: 0V Period: 25ns Delay time: 0s Transition time: 1ps

**Testcase 3:** Tín hiệu tham chiếu (Vrf) đồng pha với tín hiệu phản hồi (Vfb)

Ngõ vào	Cấu hình

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

VRF	Voltage 1: 1.8V Voltage 2: 0V Period: 25ns Delay time: 0s Transition time: 1ps
VFB	Voltage 1: 1.8V Voltage 2: 0V Period: 25ns Delay time: 0s Transition time: 1ps

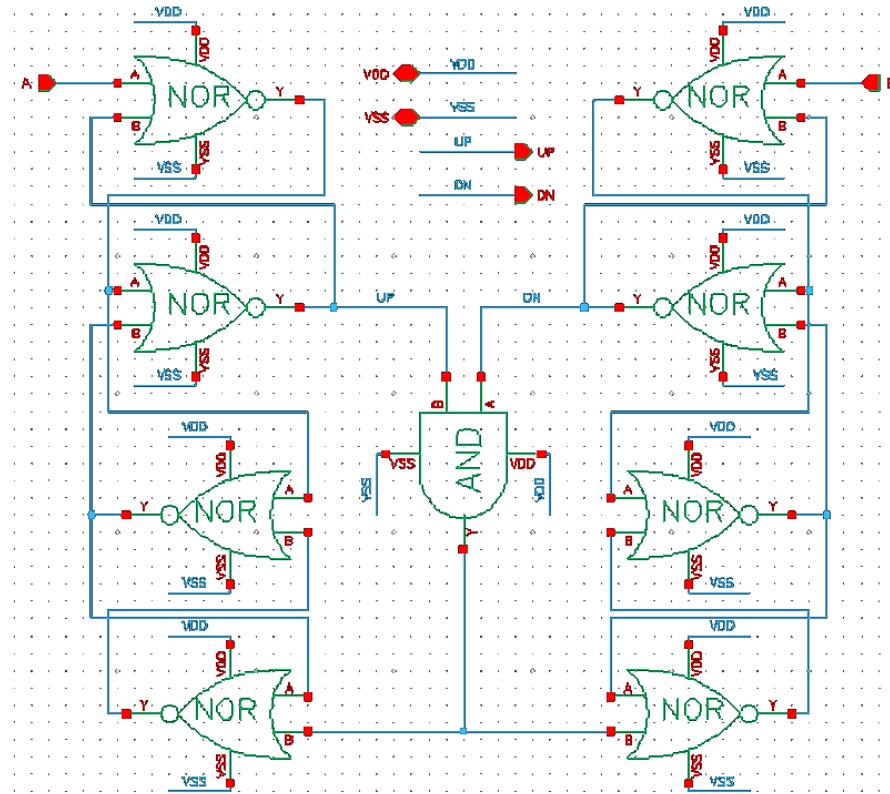
Mục tiêu:

- Đối với mỗi trường hợp kiểm thử (testcase), nhóm sẽ thu được các dạng sóng đặc trưng tương ứng với từng tín hiệu quan trọng trong hệ thống. Cụ thể, dạng sóng của tín hiệu điều khiển pha (UP hoặc DOWN) sẽ phản ánh mức độ sai lệch pha giữa tín hiệu tham chiếu và tín hiệu phản hồi.
- Đồng thời, dòng điều khiển bơm điện tích  $I_{cp}$  sẽ biểu hiện dưới dạng dòng dương hoặc âm tương ứng với tín hiệu điều khiển pha. Điện áp điều khiển  $V_{ctrl}$  tại ngõ ra của mạch lọc cũng sẽ cho thấy điện tích thay đổi theo thời gian tăng hoặc giảm tùy theo hướng điều chỉnh pha.
- Dựa trên các dạng sóng thu được này, nhóm sẽ đối chiếu và so sánh với bảng trạng thái lý thuyết đã xây dựng nhằm kiểm chứng tính chính xác và nhất quán của hệ thống. Việc so sánh này đóng vai trò quan trọng trong việc đánh giá hoạt động của từng khối, từ đó đảm bảo rằng hệ thống PLL vận hành đúng.

### 4.2. MÔ PHỎNG VÀ ĐÁNH GIÁ KHỐI PFD

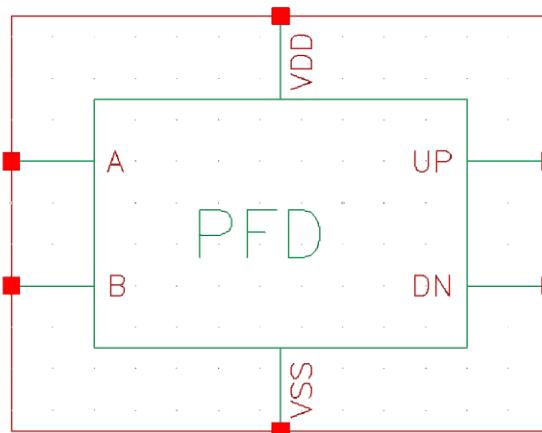
Mạch tách sóng pha PFD có chức năng so sánh pha và tần số giữa tín hiệu tham chiếu và tín hiệu phản hồi, đồng thời tạo ra hai tín hiệu điều khiển “UP” và “DOWN” biểu thị độ lệch giữa hai tín hiệu đầu vào.

Dựa trên sơ đồ khói của mạch PFD mà nhóm đã thiết kế như ở **Hình 3.3** nhóm tiến hành thiết kế sơ đồ nguyên lý của mạch sử dụng CMOS trong phần mềm mô phỏng Cadence Virtuoso như **Hình 4.1**.



**Hình 4.1.** Sơ đồ nguyên lý khói PFD trên tool

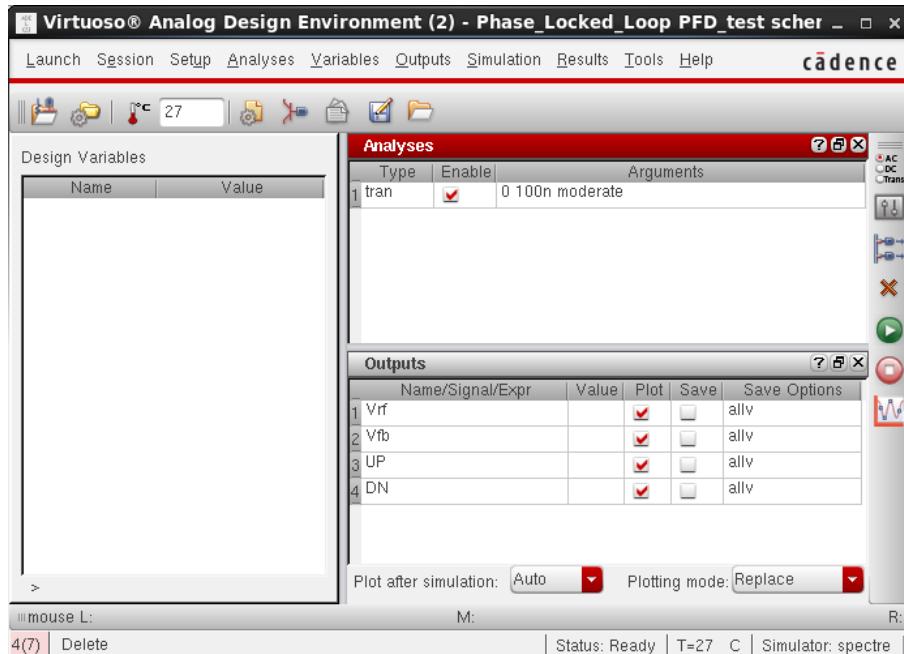
Sau khi hoàn tất được sơ đồ nguyên lý thì nhóm sẽ tiến hành đóng gói cũng như cấu hình thêm một số thông số để có thể kiểm tra và mô phỏng mức độ hoạt động của mạch xem có đúng với bảng trạng thái hay không. Kết quả đóng gói như hình 4.2.



**Hình 4.2.** Đóng gói khói PFD

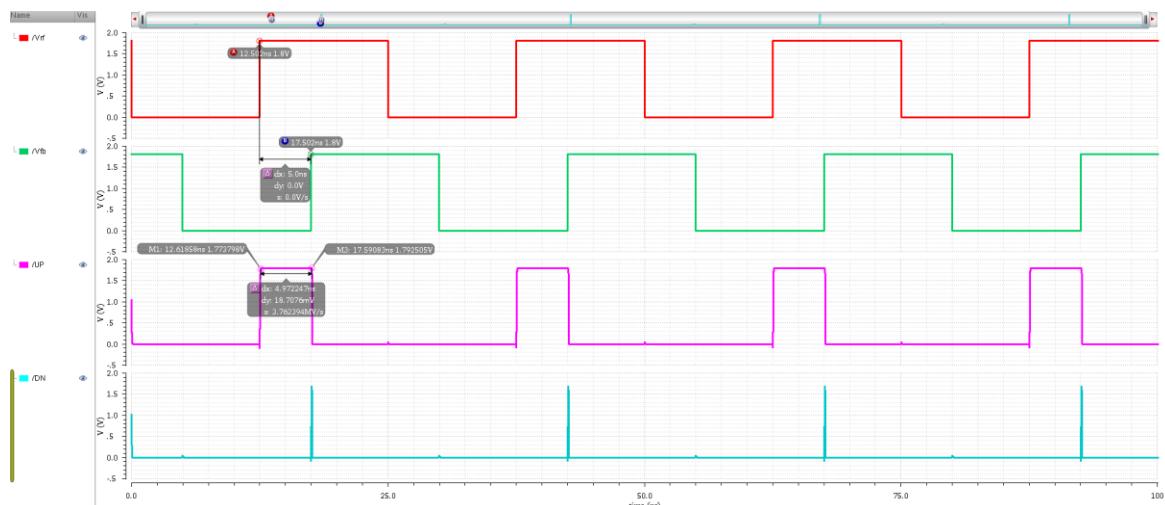
## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

- ❖ Thực hiện mô phỏng và đánh giá khói PFD qua các testcase đã thiết kế trước đó:  
Tiến hành chạy ADE L sử dụng kiểu mô phỏng tran và thời gian mô phỏng là 100ns



**Hình 4.3.** Cài đặt mô phỏng khói PFD

- **Testcase 1:** Tín hiệu tham chiếu (Vrf) đến sớm pha hơn tín hiệu phản hồi (Vfb)

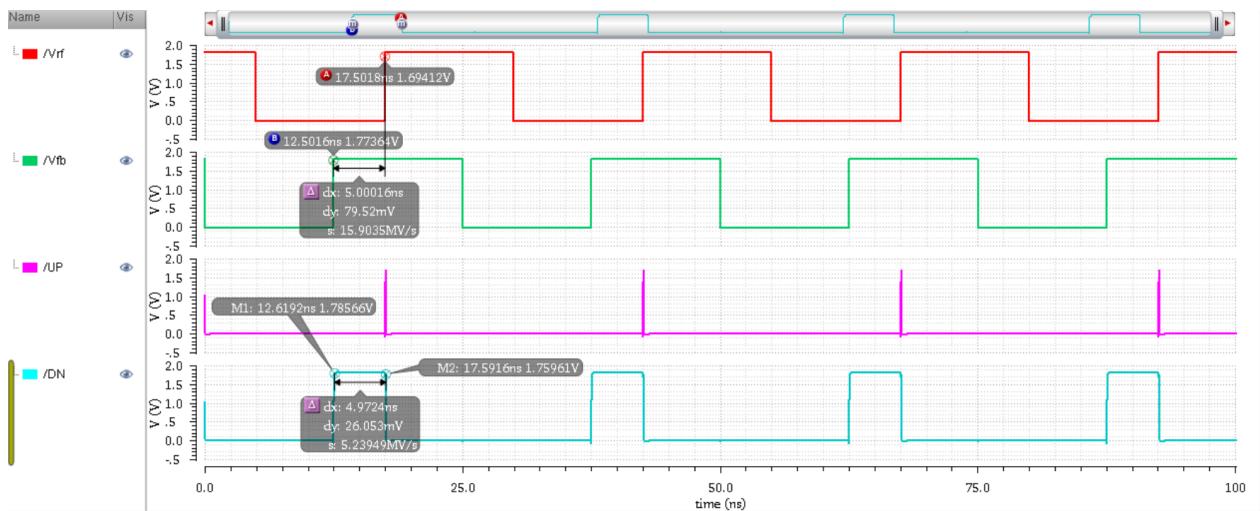


**Hình 4.4.** Mô phỏng trường hợp tín hiệu Vrf sớm pha hơn tín hiệu Vfb

Nhận xét: Quan sát kết quả mô phỏng **Hình 4.4** có thể thấy khi tín hiệu tham chiếu Vrf đến sớm pha hơn tín hiệu phản hồi Vfb một khoảng 5ns thì ngay lúc này tại ngõ ra của mạch PFD sẽ tạo ra xung lỗi là UP lên mức “1” một khoảng đúng bằng 5ns điều này chỉ ra được sự sai pha của hai tín hiệu, xung DN lên mức “1” lúc này là cách mà hệ thống được Reset.

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

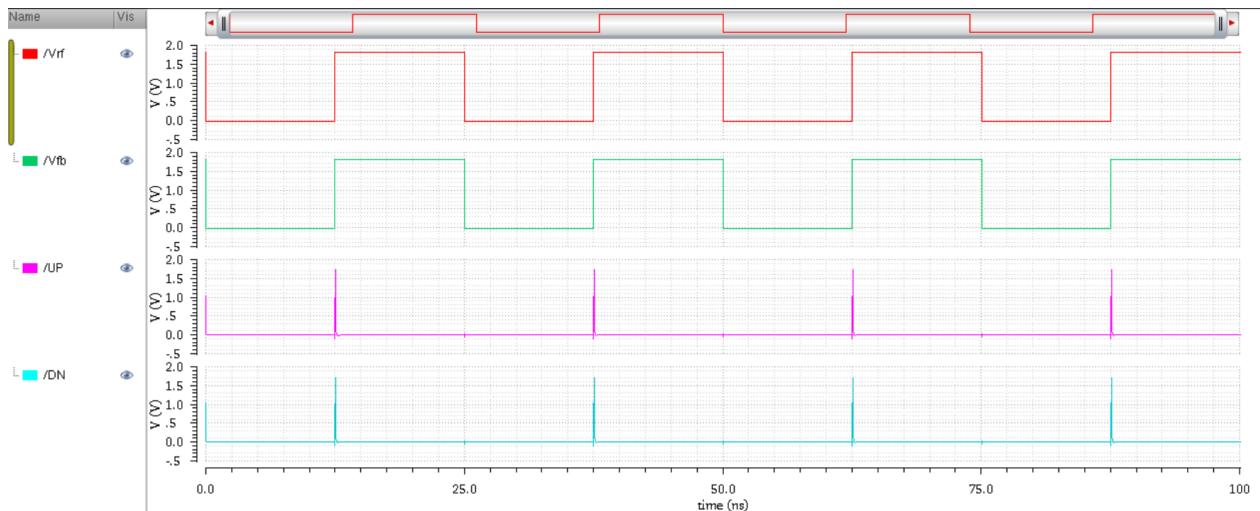
### - Testcase 2: Tín hiệu tham chiếu (Vrf) đến trễ pha hơn tín hiệu phản hồi (Vfb)



**Hình 4.5.** Mô phỏng trường hợp tín hiệu Vrf trễ pha hơn tín hiệu Vfb

Nhận xét: Quan sát kết quả mô phỏng **Hình 4.5**, khi tín hiệu tham chiếu Vrf trễ pha hơn tín hiệu Vfb 1 đoạn 5ns thì lúc này tại ngõ ra của mạch PFD sẽ tạo ra xung lõi là DN lên mức “1” một khoảng thời gian cũng đúng bằng 5ns điều này chỉ ra được sự sai pha của hai tín hiệu, xung UP lên mức “1” lúc này là cách mà hệ thống được Reset.

### - Testcase 3: Tín hiệu tham chiếu (Vrf) đồng pha với tín hiệu phản hồi (Vfb)



**Hình 4.6.** Mô phỏng trường hợp tín hiệu Vrf đồng pha với tín hiệu Vfb

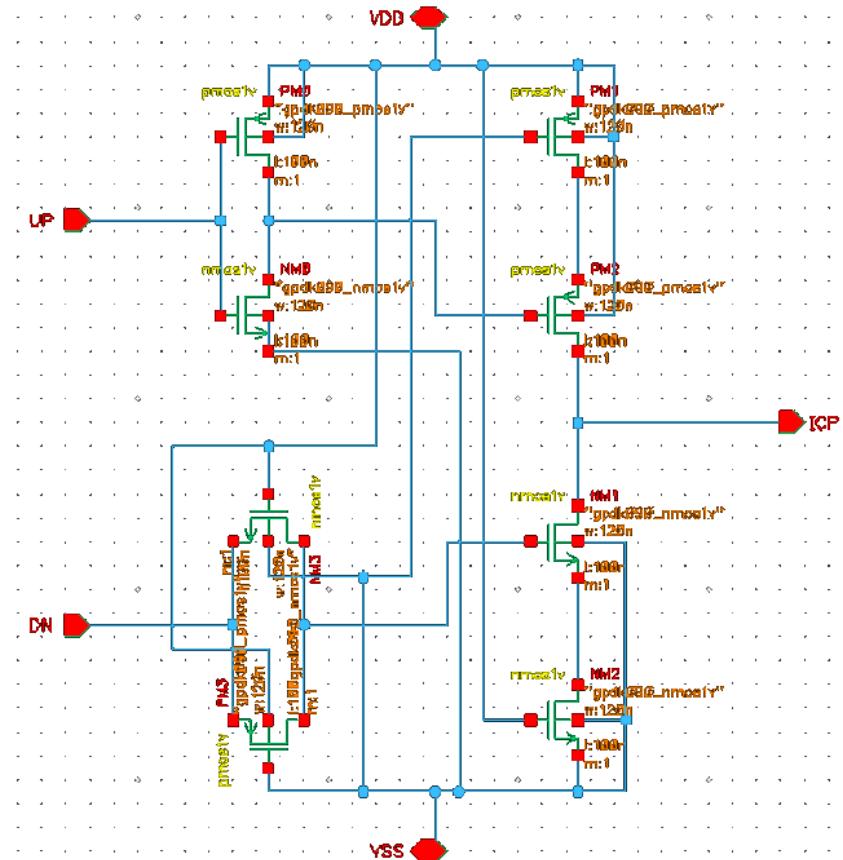
Nhận xét: Từ kết quả mô phỏng **Hình 4.6**, khi hai tín hiệu tham chiếu Vrf và tín hiệu phản hồi Vfb đồng pha với nhau thì lúc này tại ngõ ra của mạch PFD sẽ tạo ra cùng lúc xung Reset DN và UP.

**Kết Luận:** Như vậy, mạch tách sóng pha PFD đã hoạt động chính xác theo đúng bảng trạng thái đã đề ra, thể hiện qua cả ba trường hợp so sánh giữa tín hiệu đầu vào Vrf và tín hiệu phản hồi Vfb, bao gồm: Vrf sớm pha hơn Vfb, Vrf trễ pha hơn Vfb và Vrf cùng pha với Vfb. Trong từng trường hợp, các tín hiệu điều khiển “UP” và “DOWN” được tạo ra một cách phù hợp, phản ánh chính xác độ lệch pha và tần số giữa hai tín hiệu, qua đó xác nhận tính đúng đắn trong hoạt động của khối PFD.

### 4.3. MÔ PHỎNG VÀ ĐÁNH GIÁ KHỐI CP

Mạch bơm dòng – Charge Pump (CP) đóng vai trò chuyển đổi tín hiệu điều khiển số UP-DN nhận được từ mạch tách sóng pha (PFD) thành tín hiệu dòng điện, và góp phần điều chỉnh điện áp điều khiển để đồng bộ pha và tần số.

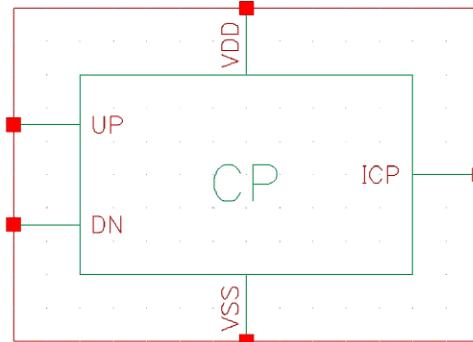
Dựa trên sơ đồ khối của mạch Charge Pump mà nhóm đã thiết kế như ở **Hình 3.5**, nhóm tiến hành thiết kế sơ đồ nguyên lý của mạch sử dụng CMOS trong phần mềm mô phỏng Cadence Virtuoso như **Hình 4.7**.



**Hình 4.7.** Sơ đồ nguyên lý khối CP (Charge Pump)

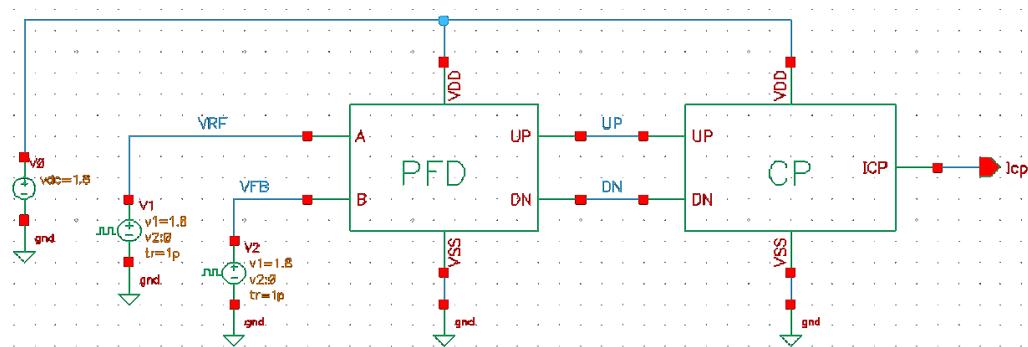
## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

Sau khi hoàn tất được sơ đồ nguyên lý thì nhóm sẽ tiến hành đóng gói cũng như cấu hình thêm một số thông số để có thể kiểm tra và mô phỏng mức độ hoạt động của mạch xem có đúng với bảng trạng thái hay không. Kết quả đóng gói như **Hình 4.8**.



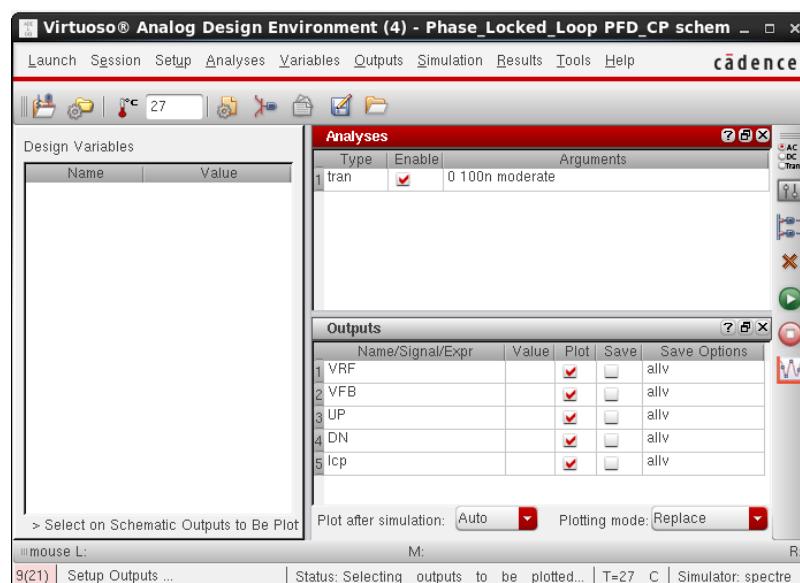
**Hình 4.8.** Đóng gói khối CP (Charge Pump)

- Thực hiện mô phỏng và đánh giá 2 khối PFD và CP qua các testcase đã thiết kế:



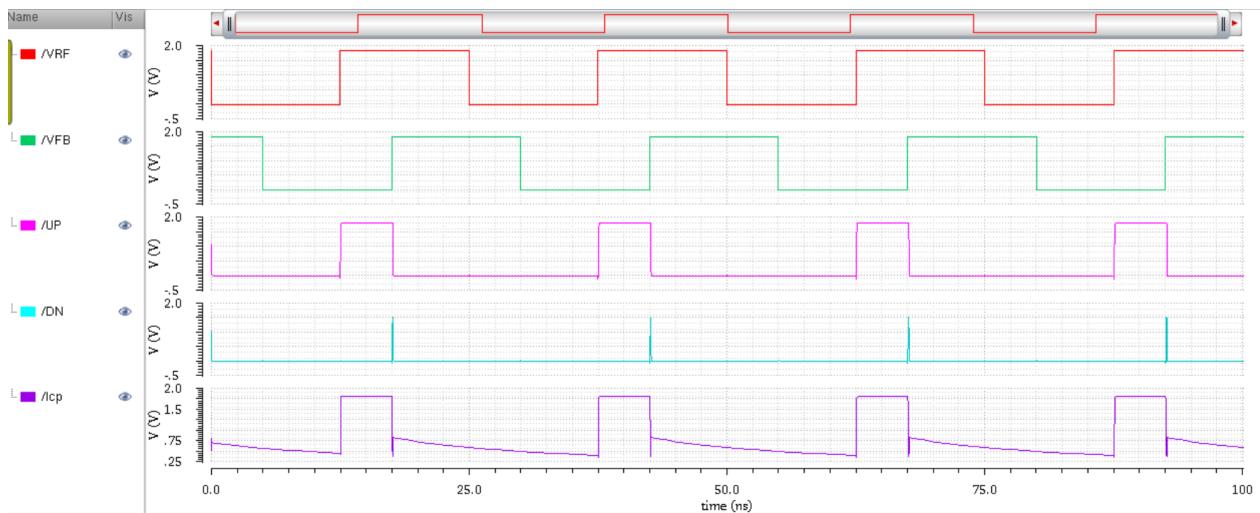
**Hình 4.9.** Sơ đồ kết nối 2 khối PFD và CP

- Tiến hành chạy ADE L sử dụng kiểu mô phỏng tran và thời gian mô phỏng là 100ns.



**Hình 4.10.** Cài đặt mô phỏng 2 khối PFD và CP

- **Testcase 1:** Tín hiệu tham chiếu (Vrf) đến sớm pha hơn tín hiệu phản hồi (Vfb)

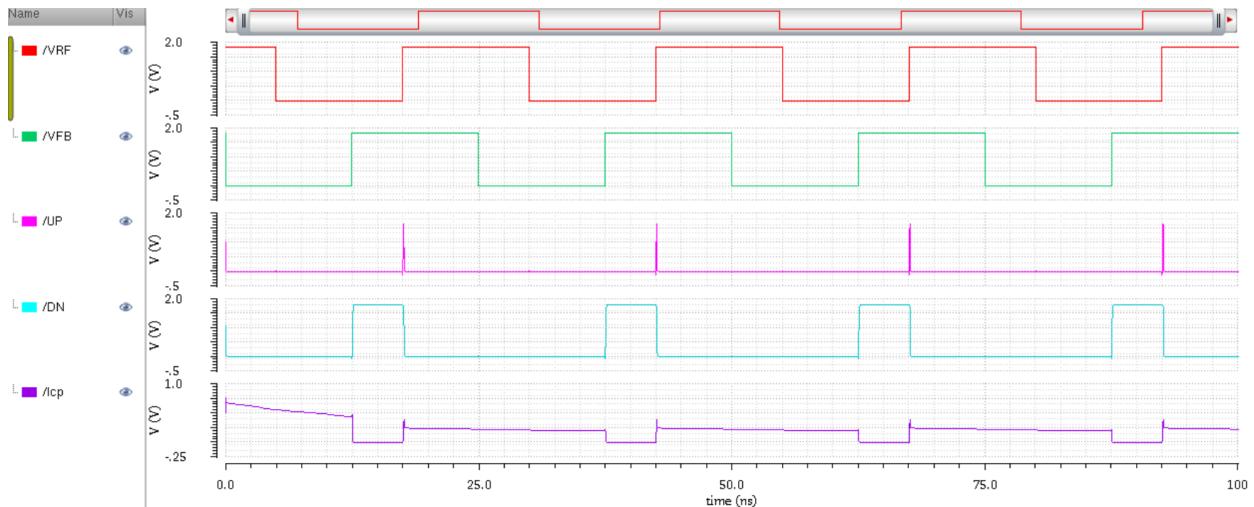


**Hình 4.11.** Mô phỏng trường hợp tín hiệu Vrf sớm pha hơn tín hiệu Vfb

Nhận xét:

- Quan sát kết quả mô phỏng **Hình 4.11**, trong trường hợp tín hiệu đầu vào Vrf sớm pha hơn tín hiệu phản hồi Vfb khoảng 5 ns, kết quả mô phỏng cho thấy mạch PFD và CP hoạt động đúng theo nguyên lý thiết kế.
- Cụ thể, tín hiệu UP được kích hoạt trong khoảng thời gian giữa sườn lên của Vrf và sườn lên của Vfb, phản ánh chính xác sự lệch pha của 2 tín hiệu. Tín hiệu DOWN không xuất hiện đồng thời với UP, mà chỉ xuất hiện ngắn sau đó nhằm mục đích reset trạng thái của mạch PFD, điều này cho thấy logic reset trong mạch được thực hiện đúng.
- Khi tín hiệu UP hoạt động, dòng bơm Icp của mạch CP tạo ra một xung dòng dương tương ứng, được nạp vào tụ của mạch lọc thấp, làm tăng điện áp điều khiển VCONT. Dạng sóng dòng bơm giảm dần sau khi UP kết thúc, cho thấy quá trình điều chỉnh điện áp diễn ra ổn định.
- Như vậy, qua kết quả mô phỏng, có thể khẳng định khối PFD và CP đã thực hiện đúng chức năng điều khiển pha trong trường hợp tín hiệu tham chiếu sớm pha hơn tín hiệu phản hồi.

- **Testcase 2:** Tín hiệu tham chiếu (Vrf) đến trễ pha hơn tín hiệu phản hồi (Vfb)

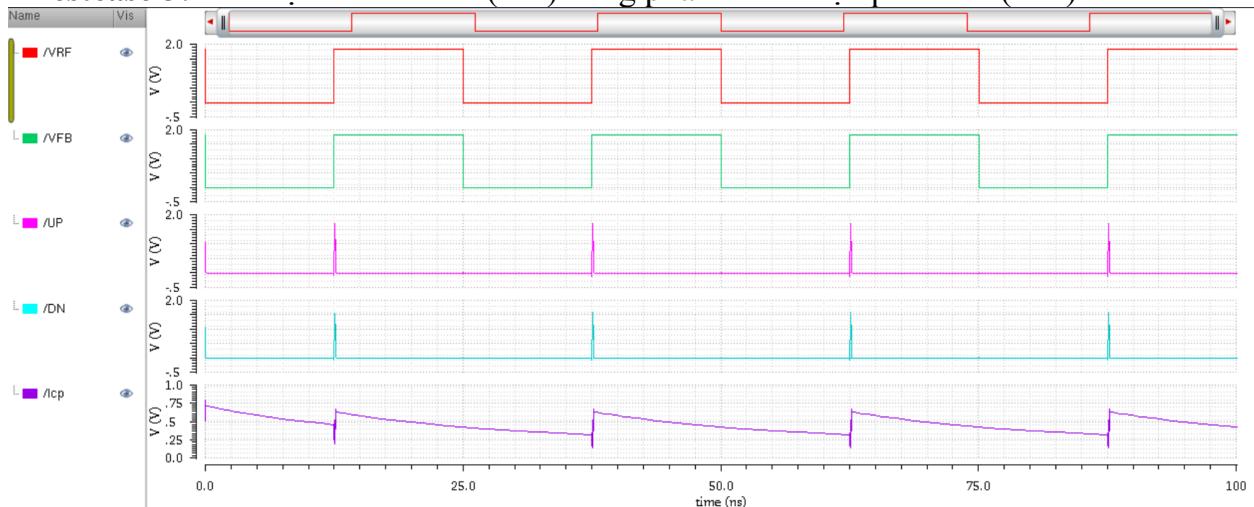


**Hình 4.12.** Mô phỏng trường hợp tín hiệu Vrf trễ pha hơn tín hiệu Vfb

Nhận xét:

- Quan sát kết quả mô phỏng **Hình 4.12**, trong trường hợp tín hiệu đầu vào Vrf trễ pha hơn tín hiệu phản hồi Vfb khoảng 5 ns, kết quả mô phỏng cho thấy mạch PFD và CP hoạt động đúng theo nguyên lý thiết kế.
- Cụ thể, tín hiệu DN được kích hoạt trong khoảng thời gian giữa sùn lên của Vrf và sùn lên của Vfb, phản ánh chính xác sự lệch pha của 2 tín hiệu. Tín hiệu UP không xuất hiện đồng thời với DOWN, mà chỉ xuất hiện ngắn sau đó nhằm mục đích reset trạng thái của mạch PFD, điều này cho thấy logic reset trong mạch được thực hiện đúng.
- Khi tín hiệu DN hoạt động, dòng xả Icp của mạch CP tạo ra một xung dòng âm tương ứng, xả điện tích ra khỏi bộ lọc, làm giảm điện áp điều khiển VCONT. Dạng sóng dòng xả ổn định lại dần sau khi DN kết thúc, cho thấy quá trình điều chỉnh điện áp diễn ra ổn định.
- Như vậy, qua kết quả mô phỏng, có thể khẳng định khôi PFD và CP đã thực hiện đúng chức năng điều khiển pha trong trường hợp tín hiệu tham chiếu trễ pha hơn tín hiệu phản hồi.

**- Testcase 3: Tín hiệu tham chiếu (Vrf) đồng pha với tín hiệu phản hồi (Vfb)**



**Hình 4.13.** Mô phỏng trường hợp tín hiệu Vrf đồng pha với tín hiệu Vfb

Nhận xét:

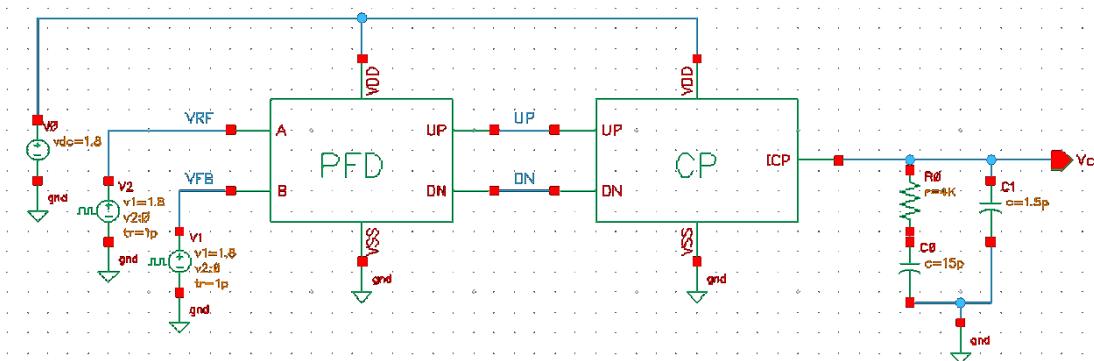
- Quan sát kết quả mô phỏng trong **Hình 4.13**, trong trường hợp tín hiệu đầu vào Vrf và tín hiệu phản hồi Vfb có cùng pha, kết quả mô phỏng cho thấy các cạnh lên của hai tín hiệu xảy ra gần như đồng thời. Mạch PFD phản hồi bằng cách tạo ra hai xung điều khiển UP và DOWN rất ngắn, sau đó tự động reset về trạng thái ban đầu, phản ánh chính xác tình huống “cùng pha” theo bảng trạng thái.
- Mạch CP trong trường hợp này tạo ra một xung dòng nhỏ tại Icp, gần như trung tính, nhằm duy trì điện áp điều khiển VCONT ổn định. Điều này cho thấy hệ thống PLL đang trong trạng thái khóa pha ổn định và hoạt động đúng chức năng thiết kế khi không còn sai lệch đáng kể giữa hai tín hiệu đầu vào.
- Tuy nhiên với việc sử dụng mạch CP cơ bản dạng sóng Icp xảy ra hiện tượng “Mismatch” khi 2 tín hiệu VRF và VFB lên mức “1”. Điều này cho thấy vẫn cần có những cải tiến để mạch hoàn thiện hơn.

**Kết Luận:** Như vậy, mạch Charge Pump đã hoạt động chính xác theo đúng bảng trạng thái đã đề ra, thể hiện qua cả ba trường hợp so sánh giữa tín hiệu đầu vào Vrf và tín hiệu phản hồi Vfb, bao gồm: Vrf sớm pha hơn Vfb, Vrf trễ pha hơn Vfb và Vrf cùng pha với Vfb. Trong từng trường hợp, các tín hiệu điều khiển “UP” và “DOWN” được tạo ra một cách phù hợp, phản ánh chính xác khả năng bơm và xả dòng điện Icp của mạch CP, qua đó xác nhận tính đúng đắn trong hoạt động của khối Charge Pump.

#### 4.4. MÔ PHỎNG VÀ ĐÁNH GIÁ KHỐI LỌC THÔNG THẤP

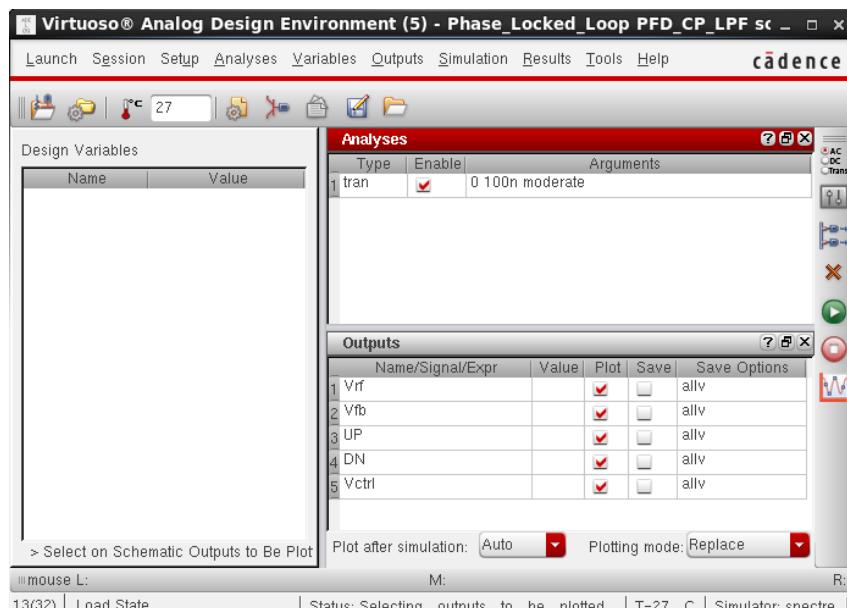
Khối lọc thông thấp trong hệ thống PLL có nhiệm vụ loại bỏ nhiễu và các thành phần tần số cao từ dòng bơm Icp, chuyển đổi dòng xung sang điện áp điều khiển VCONT liên tục và ổn định. Tín hiệu VCONT này sau đó được đưa vào VCO để điều chỉnh tần số dao động. Ngoài ra, bộ lọc còn ảnh hưởng trực tiếp đến đáp ứng quá độ và độ ổn định của toàn hệ thống PLL.

Dựa trên sơ đồ khối của bộ lọc thông thấp loại 2 mà nhóm đã thiết kế như ở **Hình 3.6** nhóm tiến hành thiết kế sơ đồ nguyên lý của mạch sử dụng CMOS trong phần mềm mô phỏng Cadence Virtuoso như **Hình 4.14**.



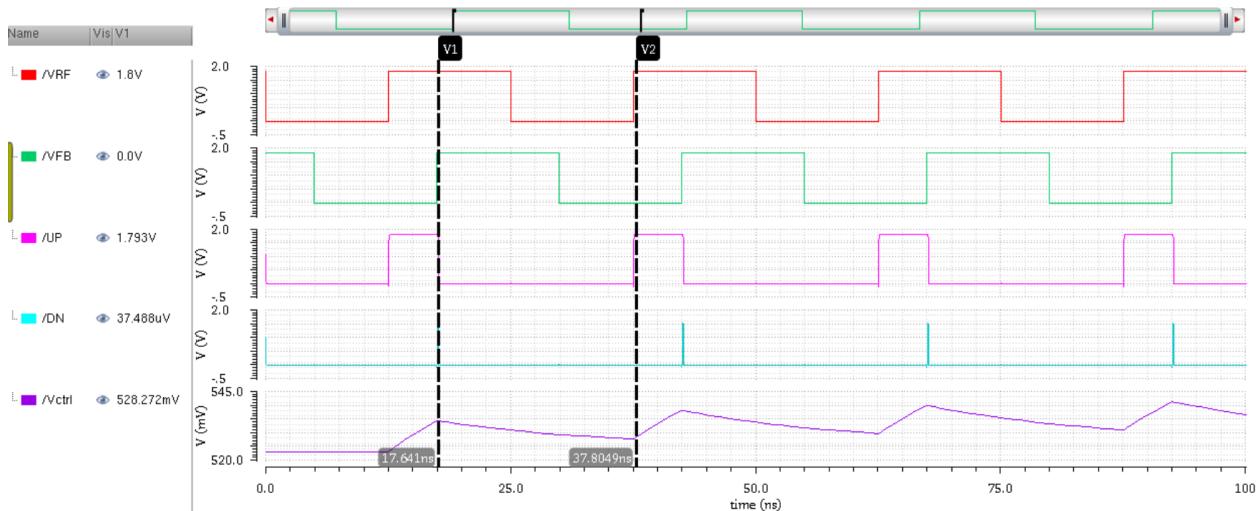
**Hình 4.14.** Sơ đồ kết nối 3 khối PFD – CP - LPF

- ❖ Thực hiện mô phỏng và đánh giá 3 khối PFD - CP - LPF qua các testcase đã thiết kế.
- Tiến hành chạy ADE L sử dụng kiểu mô phỏng tran và thời gian mô phỏng là 100ns.



**Hình 4.16.** Cài đặt mô phỏng 3 khối PFD – CP – LPF

- **Testcase 1:** Tín hiệu tham chiếu (Vrf) đến sớm pha hơn tín hiệu phản hồi (Vfb)

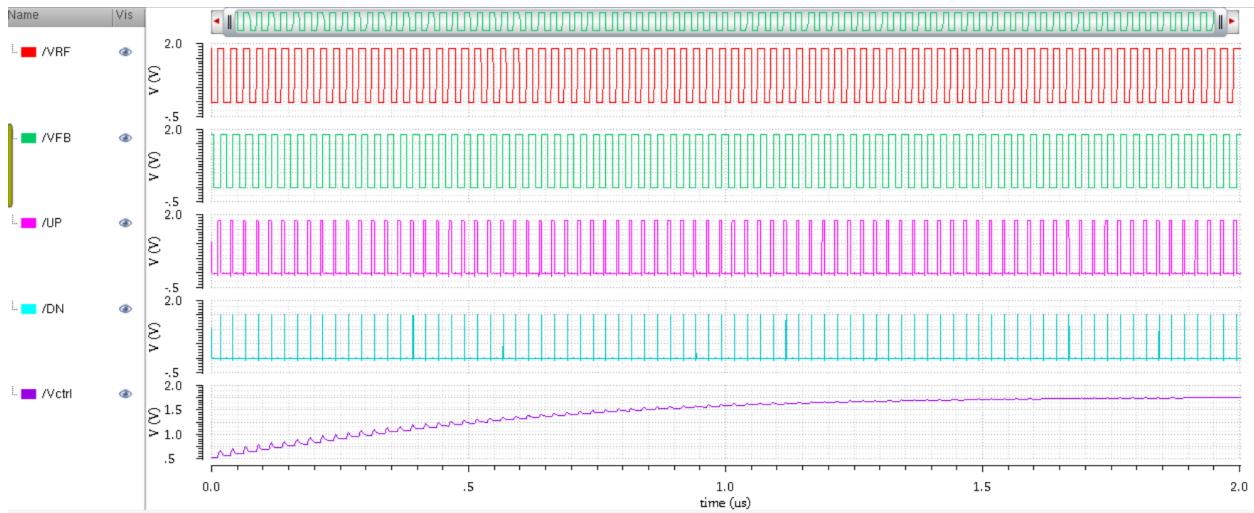


**Hình 4.17.** Mô phỏng trường hợp tín hiệu Vrf sớm pha hơn tín hiệu Vfb

Nhận xét:

- Quan sát kết quả mô phỏng **Hình 4.17**, trong dạng sóng mô phỏng Vctrl khi tín hiệu đầu vào Vin sớm pha hơn tín hiệu phản hồi Vfb một lượng hữu hạn, mạch tách pha PFD sẽ tạo ra chuỗi xung liên tục ở ngõ UP.
- Các xung này được mạch bơm sạc (CP) chuyển thành dòng điện nạp vào bộ lọc thông thấp. Dòng điện này làm các tụ trong mạch lọc tích luỹ điện tích theo thời gian, dẫn đến sự gia tăng đều đặn của điện áp điều khiển VCONT tại đầu ra.
- Tại thời điểm  $V1 = 17\text{ns}$ , cả hai tín hiệu UP và DN đồng thời lên mức cao để thực hiện chức năng reset của bộ tách pha. Khi đó, cả hai tín hiệu này cùng kích hoạt các transistor trong mạch bơm sạc (CP), tạo ra hai dòng điện  $I_{cp}$  dương và  $I_{cp}$  âm có độ lớn bằng nhau và triệt tiêu lẫn nhau.
- Do đó, không có dòng điện thực sự được nạp vào bộ lọc. Kết quả là điện áp điều khiển Vctrl duy trì ở trạng thái ổn định trong khoảng thời gian từ  $17\text{ns}$  đến  $37\text{ns}$ , như thể hiện trong **Hình 4.17**.

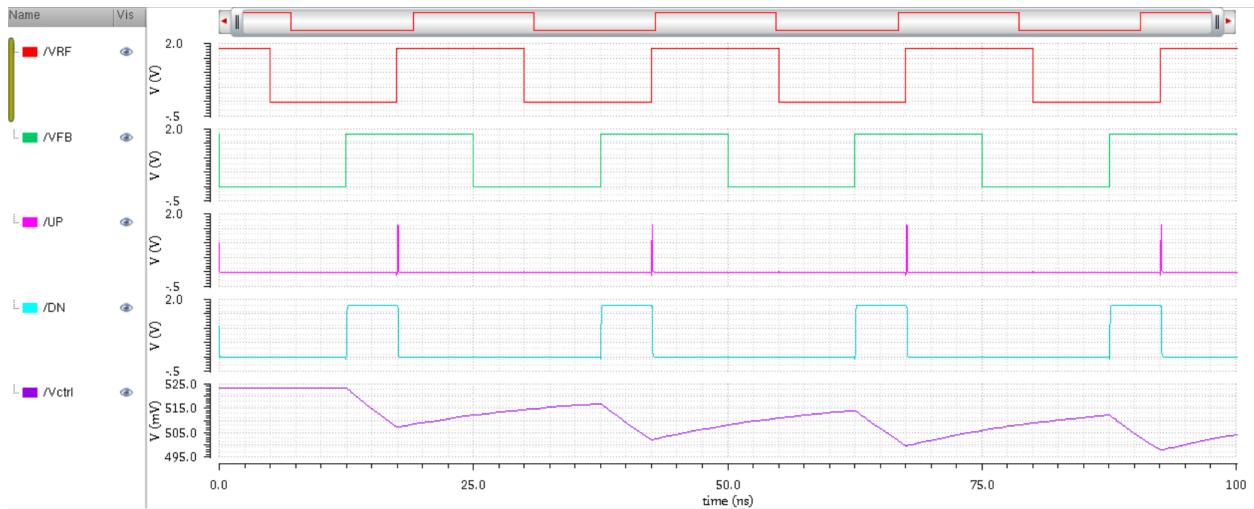
## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ



**Hình 4.18.** Dạng sóng ngõ ra Vctrl tăng đều đặn

Nhận xét: Điện áp điều khiển Vctrl sẽ lặp lại trạng thái tăng rồi duy trì ổn định cho đến khi đạt được giá trị max Vctrl = 1.8 V như **Hình 4.18**.

- **Testcase 2:** Tín hiệu tham chiếu (Vrf) đến trễ pha hơn tín hiệu phản hồi (Vfb)

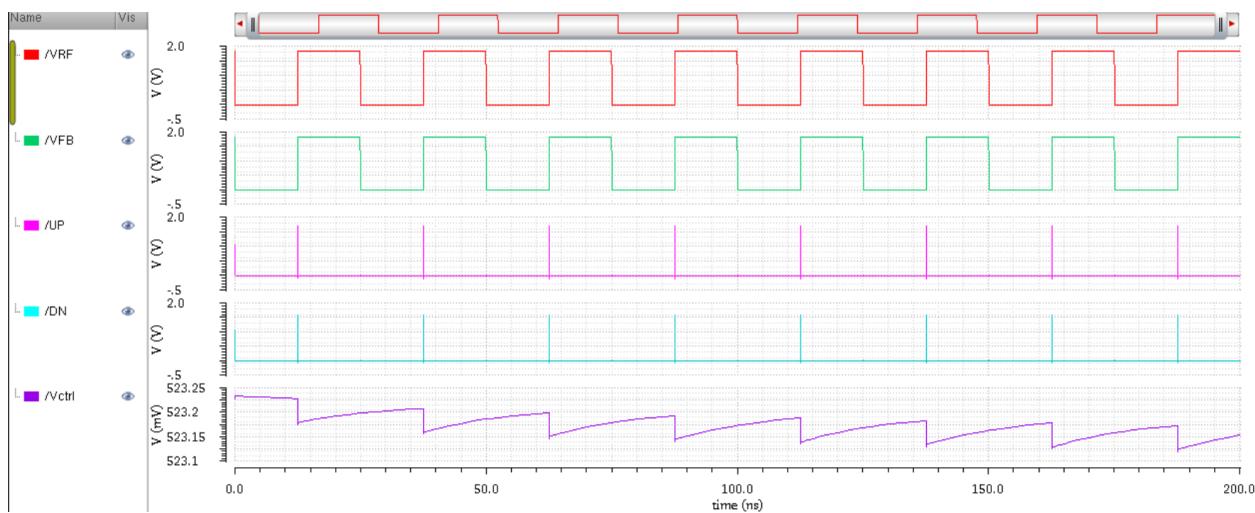


**Hình 4.19.** Mô phỏng trường hợp tín hiệu Vrf trễ pha hơn tín hiệu Vfb

Nhận xét:

Quan sát kết quả mô phỏng **Hình 4.19**, trong dạng sóng mô phỏng Vctrl, khi tín hiệu đầu vào Vin bị trễ pha hơn so với Vfb một khoảng thời gian hữu hạn, bộ tách pha (PFD) sẽ tạo ra các xung DN có độ rộng tương ứng. Các xung này được mạch bơm sạc (CP) chuyển thành dòng điện đưa vào mạch lọc. Khi đó, các tụ điện trong bộ lọc sẽ phóng điện, dẫn đến điện áp điều khiển Vctrl giảm dần theo thời gian.

- **Testcase 3:** Tín hiệu tham chiếu (Vrf) đồng pha với tín hiệu phản hồi (Vfb)



**Hình 4.20.** Mô phỏng trường hợp tín hiệu Vrf đồng pha với tín hiệu Vfb

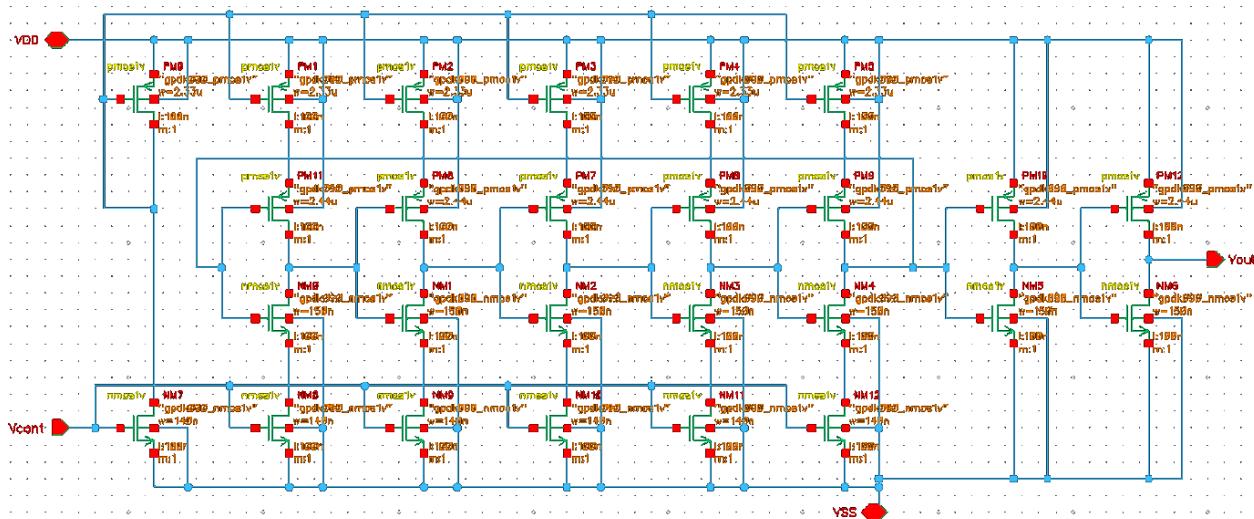
Nhận xét:

- Quan sát kết quả mô phỏng trong **Hình 4.20**, hình mô phỏng thể hiện kết quả khi ghép ba khối PFD, CP và LPF với hai tín hiệu đầu vào Vrf và Vfb hoàn toàn cùng pha. Khi hai tín hiệu đầu vào đồng bộ pha với nhau, mạch PFD sẽ tạo ra các xung điều khiển UP và DN gần như đồng thời, với độ rộng rất hẹp.
- Các xung này điều khiển dòng bơm sạc trong khối CP, tạo ra hai dòng ngược chiều có độ lớn gần như bằng nhau, dẫn đến tổng dòng nạp-xả vào bộ lọc thông thấp gần bằng 0. Nhờ đó, điện áp điều khiển đầu ra Vctrl của bộ lọc chỉ dao động nhẹ quanh một mức điện áp ổn định, cụ thể là khoảng 523.2 mV.
- Đây là biểu hiện đặc trưng cho trạng thái khóa pha (phase-locked) của hệ thống PLL. Bộ lọc thông thấp đóng vai trò làm mượt tín hiệu dòng từ mạch CP, loại bỏ các nhiễu nhanh và giữ lại thành phần DC, giúp điện áp điều khiển ổn định hơn. Tuy nhiên dạng sóng điện áp VCONT có hiện tượng “Ripple” mỗi khi 2 tín hiệu VRF và VFB lên “1”, có thể thấy điều này xảy ra do hiện tượng “Mismatch” của dòng điện khi sử dụng mạch CP cơ bản.
- Kết quả mô phỏng cho thấy hệ thống PLL hoạt động đúng theo nguyên lý, khi hai tín hiệu đầu vào cùng pha, mạch duy trì trạng thái ổn định và không có xu hướng điều chỉnh thêm, phản ánh tình trạng khóa pha thành công.

#### 4.5. MÔ PHỎNG VÀ ĐÁNH GIÁ KHỐI VCO

Trong mạch PLL, khối VCO (Voltage-Controlled Oscillator) đóng vai trò tạo ra tín hiệu dao động đầu ra với tần số phụ thuộc vào điện áp điều khiển đầu vào VCONT. Khi điện áp điều khiển thay đổi do sự chênh lệch pha giữa tín hiệu tham chiếu và tín hiệu phản hồi, VCO sẽ điều chỉnh tần số đầu ra tương ứng. Điều này giúp toàn bộ hệ thống PLL dần đạt được trạng thái khóa, tức tín hiệu đầu ra có cùng pha và tần số với tín hiệu tham chiếu. Khi PLL đã khóa, điện áp điều khiển trở nên ổn định, khiến tần số đầu ra của VCO cũng ổn định theo. Do đó, VCO là thành phần quan trọng giúp điều chỉnh và duy trì tần số chính xác cho hệ thống.

Dựa trên sơ đồ khái niệm của mạch VCO mà nhóm đã thiết kế như ở **Hình 3.7** nhóm tiến hành thiết kế sơ đồ nguyên lý của mạch sử dụng CMOS trong phần mềm mô phỏng Cadence Virtuoso như **Hình 4.21**.



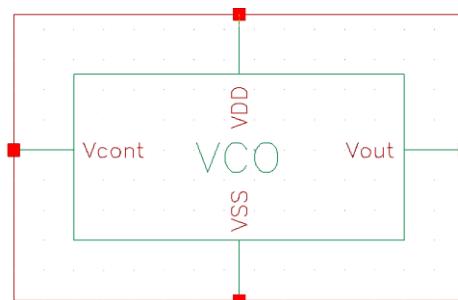
**Hình 4.21.** Sơ đồ nguyên lý mạch VCO

Phân tích:

- Khối VCO (Voltage-Controlled Oscillator) trong thiết kế sử dụng cấu trúc dao động vòng (ring oscillator) với 5 tầng inverter mắc nối tiếp thành một vòng kín. Mỗi tầng inverter được cấu thành từ cặp transistor PMOS và NMOS, tạo thành một mạch inverter tiêu chuẩn. Điểm đặc biệt của thiết kế là việc sử dụng các transistor điều khiển dòng (current-starved) ở cả phía nguồn (PMOS) và đất (NMOS), đóng vai trò như các “van dòng” để điều chỉnh dòng cung cấp cho các inverter.

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

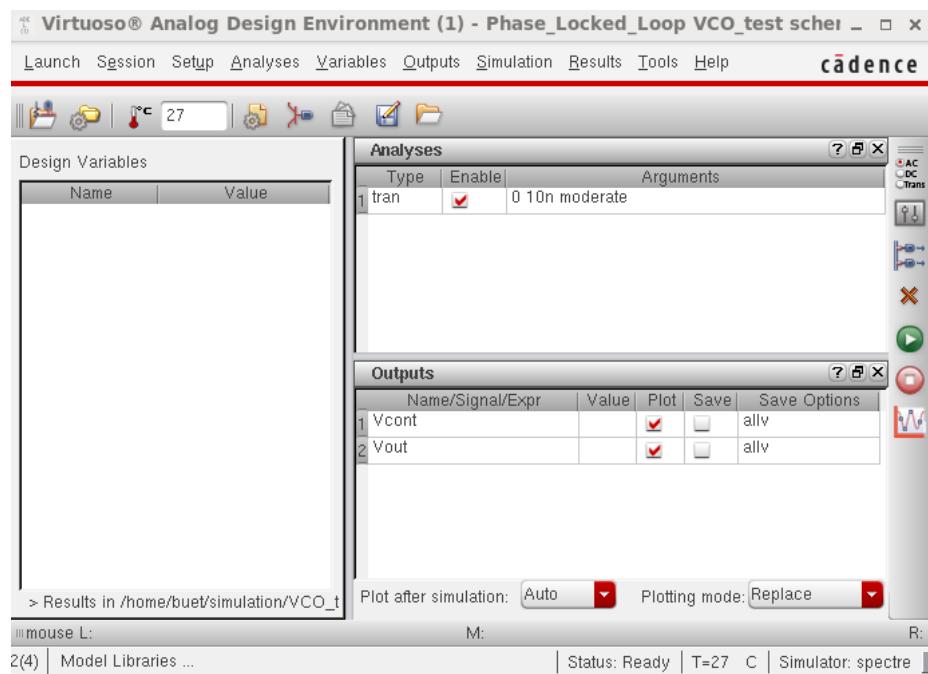
- Các transistor này được điều khiển bởi điện áp  $V_{cont}$ . Khi  $V_{cont}$  tăng, dòng cấp cho các inverter cũng tăng, làm giảm độ trễ của từng tầng và từ đó làm tăng tần số dao động đầu ra. Ngược lại, khi  $V_{cont}$  giảm, dòng bị hạn chế, làm giảm tần số dao động.
- Nhờ đó, tần số dao động của VCO có thể được điều chỉnh một cách tuyến tính thông qua điện áp điều khiển. Đầu ra  $V_{out}$  được lấy từ tầng cuối cùng của vòng dao động.
- Sau khi hoàn tất được sơ đồ nguyên lý thì nhóm sẽ tiến hành đóng gói cũng như cấu hình thêm một số thông số để có thể kiểm tra và mô phỏng mức độ hoạt động của mạch xem có đúng với bảng trạng thái hay không. Kết quả đóng gói như **Hình 4.22**.



**Hình 4.22.** Đóng gói khối VCO

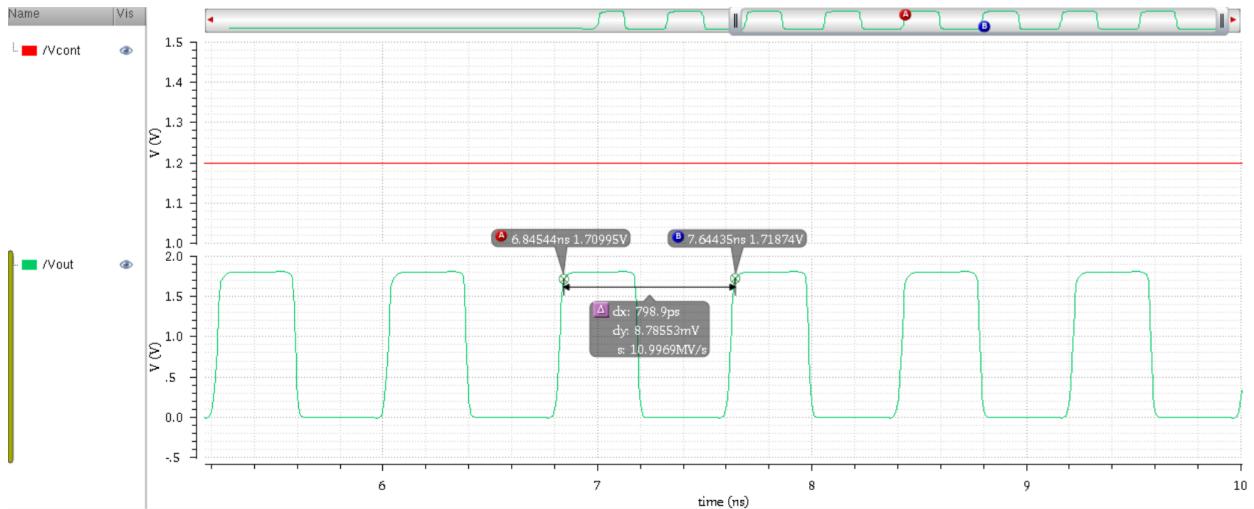
❖ Thực hiện mô phỏng và đánh giá khối VCO:

- Tiến hành chạy ADE L sử dụng kiểu mô phỏng tran và thời gian mô phỏng là 10ns, điện áp điều khiển  $V_{CONT}$  được cấp là 1.2V.



**Hình 4.23.** Cài đặt thông số mô phỏng khối VCO

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ



**Hình 4.24.** Kết quả mô phỏng tại điện áp VCONT 1.2V

Nhận xét:

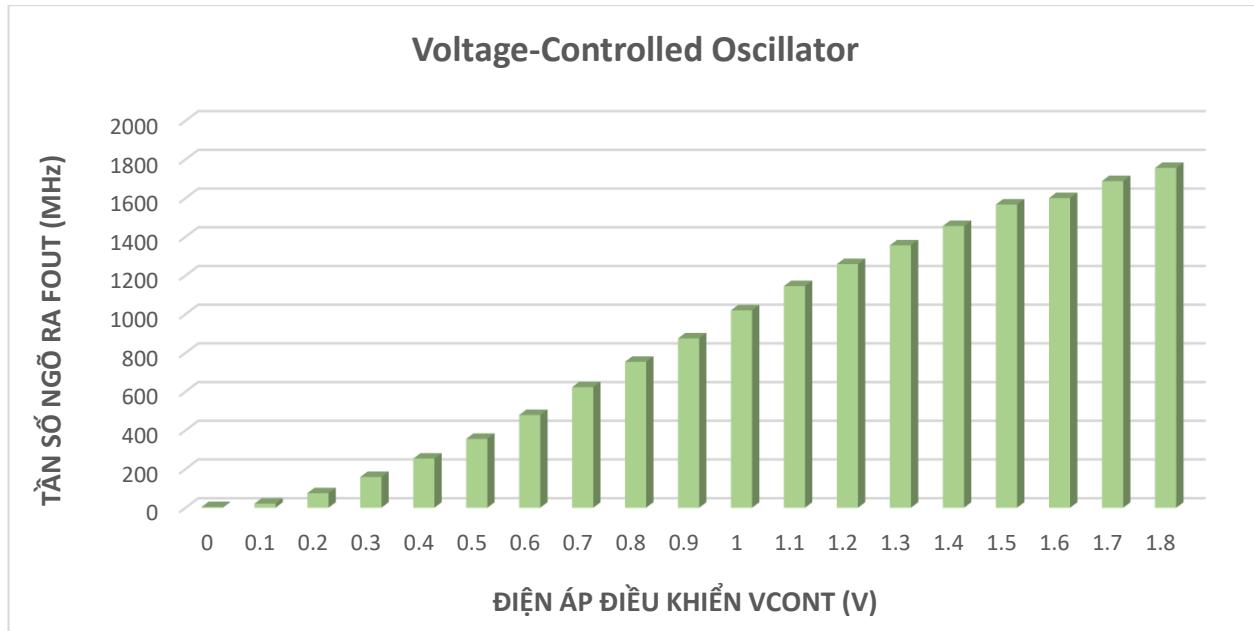
- Dựa trên kết quả mô phỏng **Hình 4.24**, với điện áp điều khiển VCONT được cấp tại ngõ vào là 1.2V thì tạo ra được tần số tương ứng xấp xỉ 1.2 GHz.
- Khi điện áp điều khiển VCONT được thay đổi từ 0 đến 1,8V theo từng bước 0,1V, tần số dao động được xác định bằng cách lấy nghịch đảo của chu kỳ lặp lại của tín hiệu đầu ra.
- Các giá trị tần số tương ứng với từng mức điện áp được trình bày trong bảng 4.1. Độ lợi của mạch dao động VCO, thể hiện mối quan hệ giữa tần số và điện áp điều khiển, được minh họa trong **Hình 4.25**.
- Đường đặc tính thu được có dạng gần như tuyến tính, phù hợp với lý thuyết mô tả về hoạt động của VCO.

**Bảng 4.1.** Bảng tần số VCO tương ứng với mỗi giá trị điện áp điều khiển

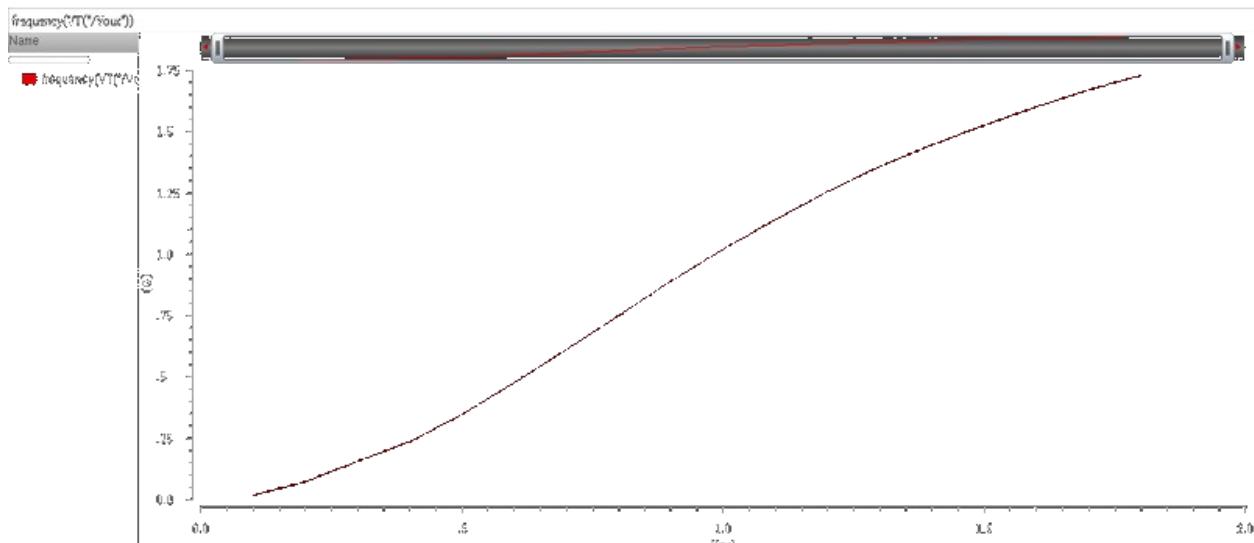
Điện áp điều khiển – VCONT (V)	Tần số ngõ ra VCO – Fout (MHz)
0	3.65
0.1	20.65
0.2	75
0.3	159
0.4	254
0.5	356
0.6	479
0.7	623
0.8	754
0.9	875
1	1020
1.1	1145
1.2	1259
1.3	1356
1.4	1456
1.5	1567
1.6	1600
1.7	1688
1.8	1756

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

- Đồ thị biểu diễn mối quan hệ giữa ngõ vào điều khiển VCONT với ngõ ra tần số Fout.



**Hình 4.25.** Đồ thị tần số VCO ứng với mức điện áp điều khiển

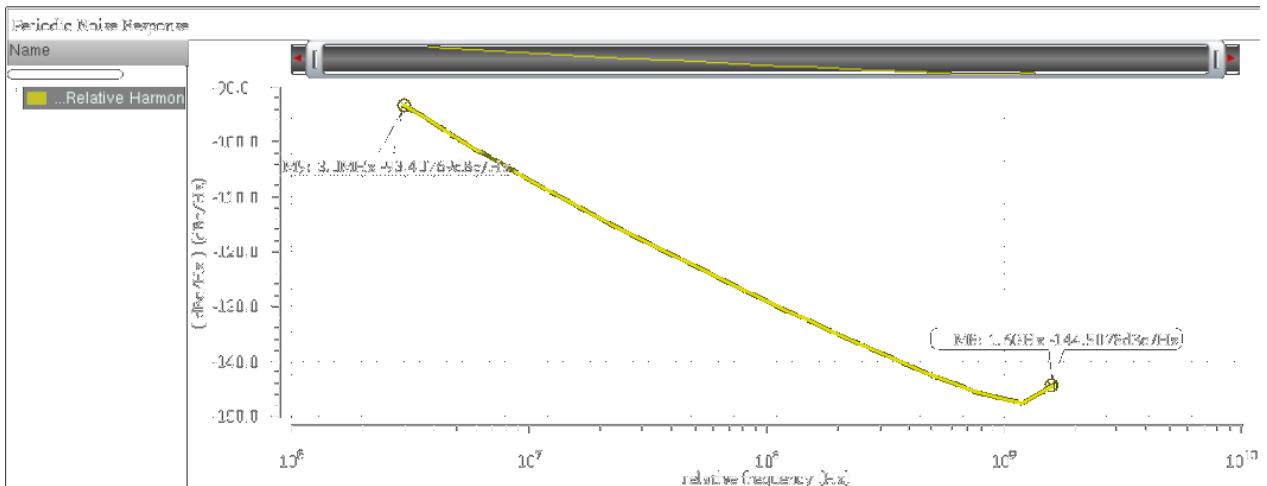


**Hình 4.26.** Đặc tuyến của VCO

Từ đặc tính mô tả hàm truyền của VCO (**Hình 4.26**), có thể tính được độ lợi của VCO trong thiết kế này như sau:

$$K_{VCO} = \frac{2\pi \cdot (F_{max} - F_{min})}{(V_{max} - V_{min})} = \frac{2\pi \cdot (1,756G - 0.00365G)}{(1.8 - 0)(V)} = 6,11 \text{ GHz/V}$$

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ



**Hình 4.27:** Phase Noise của mạch VCO

Phase Noise là một thông số quan trọng của VCO, nói lên mức độ ổn định của tín hiệu dao động. **Hình 4.27** cho thấy Phase Noise của mạch VCO tại tần số 3MHz là -93.408 dBc/Hz và -144.5 dBc/Hz tại tần số 1.6 GHz.

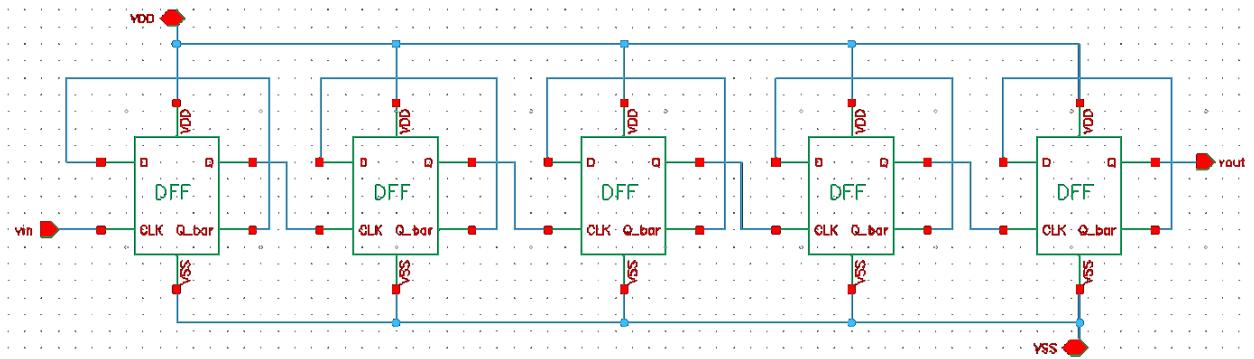
### 4.6. MÔ PHỎNG VÀ ĐÁNH GIÁ KHỐI CHIA XUNG

Trong hệ thống PLL (Phase-Locked Loop), mạch chia tần số (Frequency Divider) có chức năng giảm tần số của tín hiệu đầu ra từ bộ dao động điều khiển điện áp (VCO) trước khi đưa trở lại đầu vào của bộ so pha (PFD). Việc này giúp PLL có thể khóa pha ở một tần số thấp hơn tần số thực tế của VCO, từ đó cho phép hệ thống tạo ra tần số đầu ra cao hơn tần số tham chiếu theo một hệ số chia nhất định.

Mạch chia cho phép điều chỉnh linh hoạt tần số đầu ra của PLL bằng cách thay đổi hệ số chia N, giúp đáp ứng các yêu cầu khác nhau trong các ứng dụng như truyền thông, đồng bộ hóa xung nhịp và tổng hợp tần số.

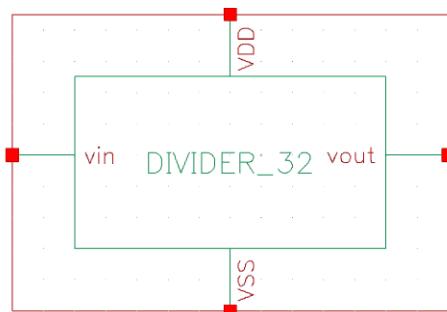
Mạch chia Divider được cấu tạo từ việc ghép các FF-D nối tiếp với nhau, sử dụng cơ chế khi mắc ngõ ra Qbar với ngõ vào D của FF-D ta được Mạch chia 2, do đó với việc mắc nối tiếp 5 FF-D lại với nhau ta được Mạch chia 32 đúng với yêu cầu đề ra ban đầu của thiết kế. **Hình 4.28** mô tả sơ đồ nguyên lý của Mạch chia 32 (Divider 32).

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ



**Hình 4.28.** Sơ đồ nguyên lý Mạch chia 32

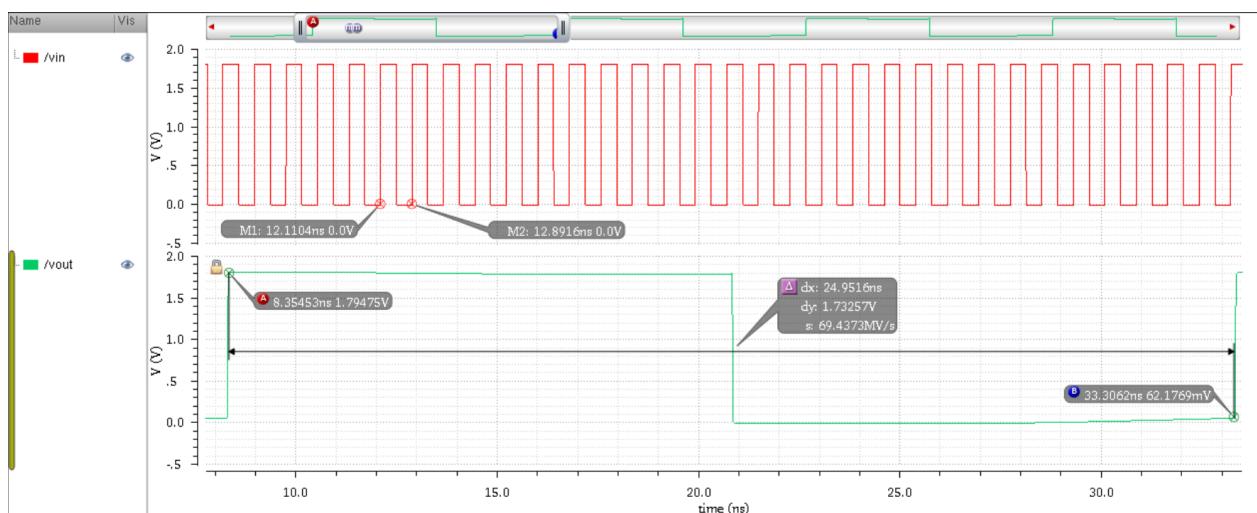
Sau khi hoàn tất được sơ đồ nguyên lý thì nhóm sẽ tiến hành đóng gói cũng như cấu hình thêm một số thông số để có thể kiểm tra và mô phỏng mức độ hoạt động của mạch xem có đúng với bảng trạng thái hay không. Kết quả đóng gói như **Hình 4.29**.



**Hình 4.29.** Đóng gói Mạch chia 32

❖ Thực hiện mô phỏng và đánh giá Mạch chia 32:

- Tiến hành chạy ADE L sử dụng kiểu mô phỏng tran và thời gian mô phỏng là 100ns với chu kỳ 781.25ps.



**Hình 4.30.** Đo tần số ngõ ra Mạch chia 32

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

Nhận xét: Quan sát hình 4.31, chu kỳ của ngõ vào Vin là 781,25ps, chu kỳ của ngõ ra Vout là 25ns.

$$\text{- Tần số ngõ vào: } F_{in} = \frac{1}{781,25 \cdot 10^{-12}} = 1280 \text{ MHz}$$

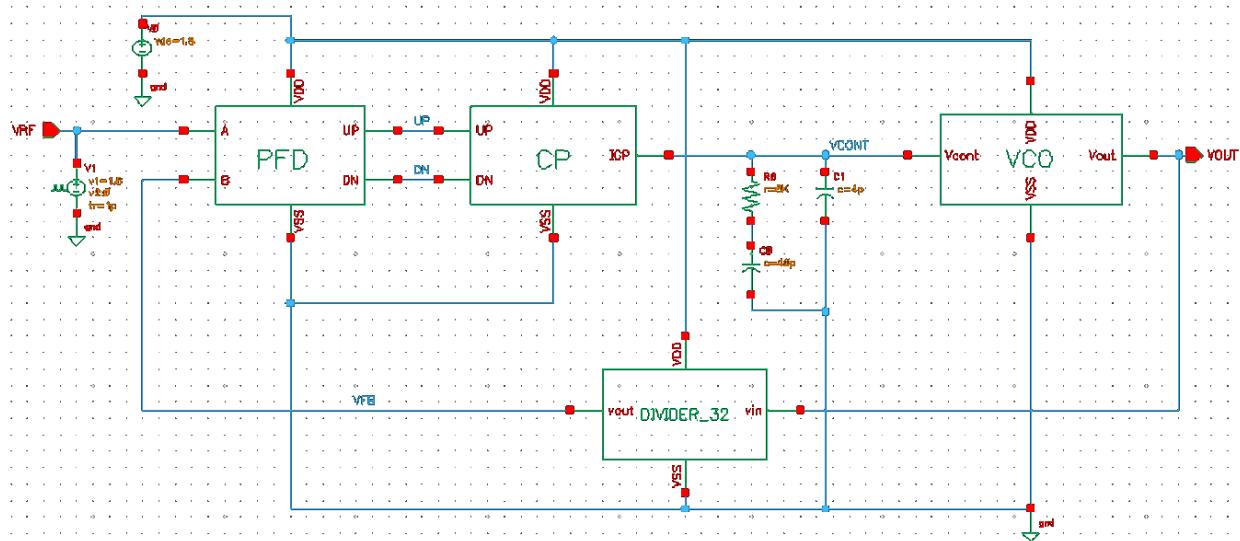
$$\text{- Tần số ngõ ra: } F_{out} = \frac{1}{25 \cdot 10^{-9}} = 40 \text{ MHz}$$

⇒ Như vậy tần số ngõ vào Fin (1280MHz) gấp 32 lần tần số ngõ ra Fout (40MHz).

### 4.7. KẾT QUẢ MÔ PHỎNG VÀ ĐÁNH GIÁ HỆ THỐNG PLL

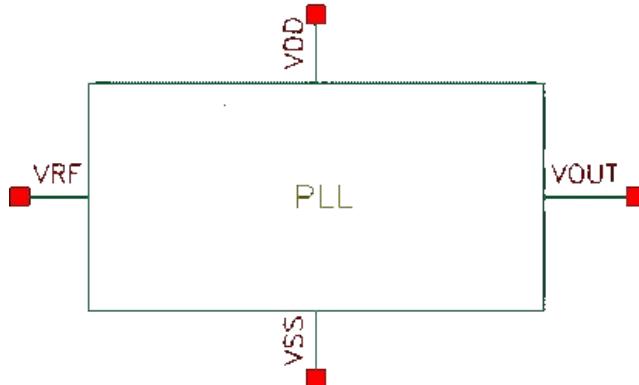
Hệ thống vòng khóa pha (PLL) được thiết kế nhằm mục đích tổng hợp tần số, bao gồm năm khối chính: bộ tách pha (PFD), bộ bơm dòng (CP), bộ lọc thông thấp (LPF), bộ dao động điều khiển điện áp (VCO) và bộ chia tần số (N). Cấu trúc này cho phép hệ thống tạo ra tín hiệu đầu ra có tần số cao hơn gấp N lần so với tần số đầu vào tham chiếu. Trong thiết kế được trình bày, hệ thống PLL tạo ra tín hiệu có tần số 1.28 GHz từ tín hiệu tham chiếu 40 MHz.

Kết quả mô phỏng hệ thống cho thấy sơ đồ kết nối các khối trên được trình bày chi tiết trong **Hình 4.31**.



**Hình 4.31.** Sơ đồ nguyên lý hệ thống PLL

Sau khi hoàn tất được sơ đồ nguyên lý của hệ thống PLL thì nhóm sẽ tiến hành đóng gói, cấu hình thêm một số thông số để có thể kiểm tra và mô phỏng mức độ hoạt động của mạch xem có đúng với bảng trạng thái hay không. Kết quả đóng gói như **Hình 4.32**.



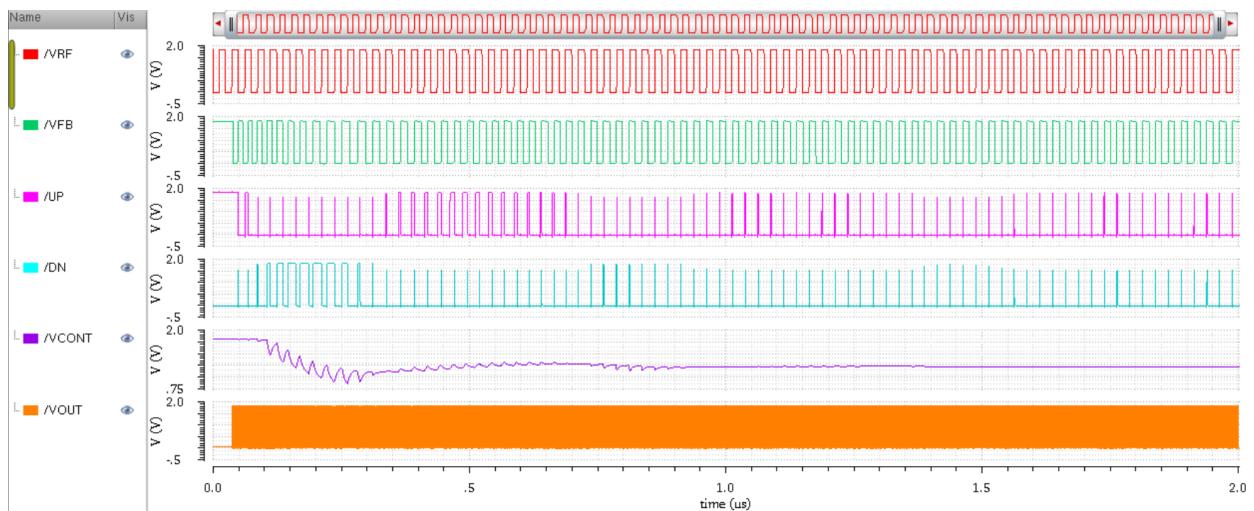
**Hình 4.32.** Đóng gói hệ thống PLL

- ❖ Thực hiện mô phỏng và đánh giá mạch PLL:

**Bảng 4.2:** bảng thông số mô phỏng hệ thống PLL

Điều kiện mô phỏng	Mô tả
Kiểu mô phỏng	tran
Thời gian mô phỏng	2us
Ngõ vào Vrf	Tần số 40MHz (25ns)
Điện áp	1.8V
Transition time	1ps
Điện trở R	6kΩ
Tụ điện C1	40pF
Tụ điện C2	4pF

**Hình 4.33** đưa ra kết quả mô phỏng dạng sóng ngõ ra của hệ thống PLL với tần số tham chiếu là 40 MHz và tần số ngõ ra là 1.28 GHz:



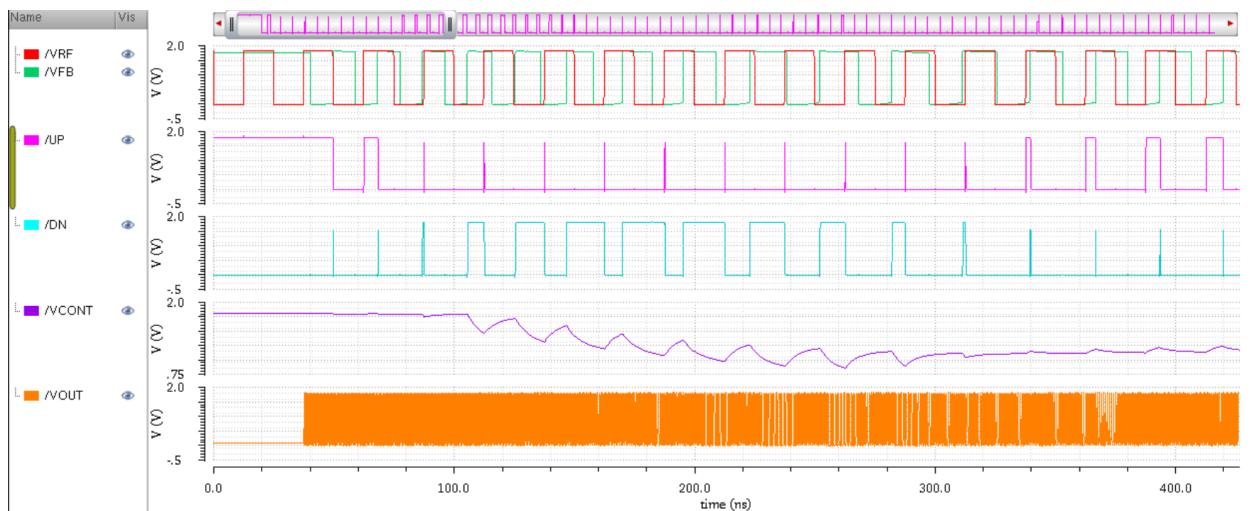
**Hình 4.33.** Kết quả mô phỏng hệ thống PLL

Nhận xét:

- **Hình 4.33** minh họa dạng sóng mô phỏng hoạt động của hệ thống vòng khóa pha (PLL) trong miền thời gian từ 0 đến 2  $\mu$ s. Trong khoảng thời gian trước 1,4 us, hệ thống chưa đạt trạng thái khóa pha, thể hiện qua các dao động và sai lệch pha rõ rệt giữa tín hiệu tham chiếu VREF và tín hiệu phản hồi VFB.
- Sự không đồng bộ này khiến bộ tách pha (PFD) liên tục tạo ra các xung UP và DN để điều khiển bộ bơm dòng CP, từ đó tạo ra điện áp điều khiển VCONT. Ở giai đoạn này, VCONT xuất hiện các dao động nhỏ dạng “ripple” do vòng điều khiển vẫn đang tinh chỉnh cả về pha lẫn tần số.
- Sau thời điểm 1,4 us, VCONT dần ổn định, đồng thời các xung UP và DN cũng giảm đáng kể, cho thấy hệ thống đã tiến đến trạng thái khóa. Khi đó, VFB đã đồng bộ với VREF, và tần số ngõ ra VOUT của VCO duy trì ổn định ở mức mong muốn.
- Đây là bằng chứng cho thấy PLL đã thực hiện thành công quá trình tổng hợp tần số và đạt trạng thái làm việc ổn định (trạng thái khóa pha).

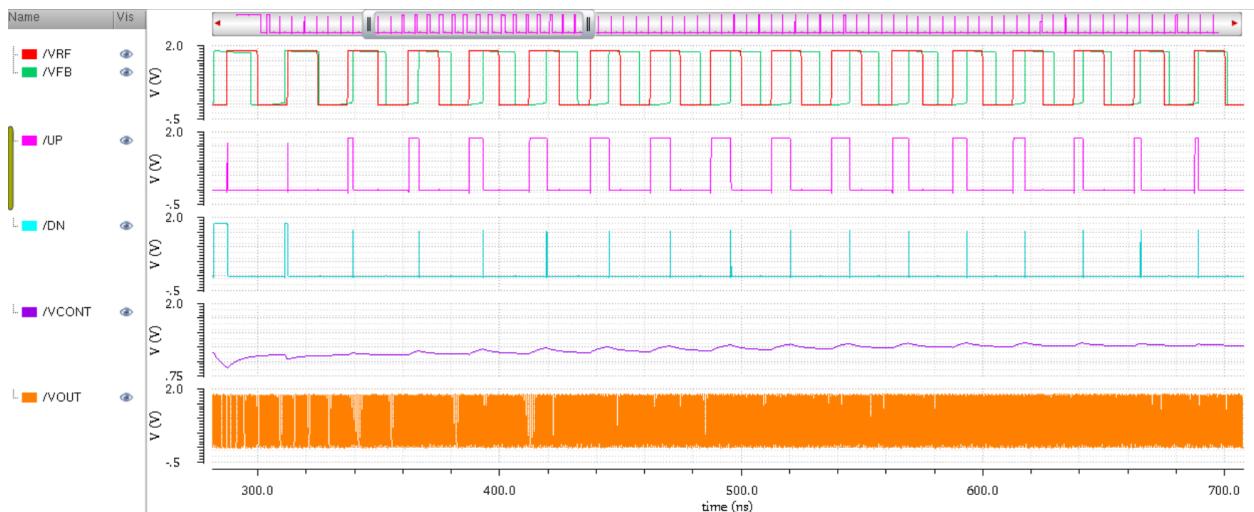
## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

- Phân tích hệ thống PLL trước trạng thái khóa pha:



**Hình 4.34.** VCONT giảm trước trạng thái khóa pha

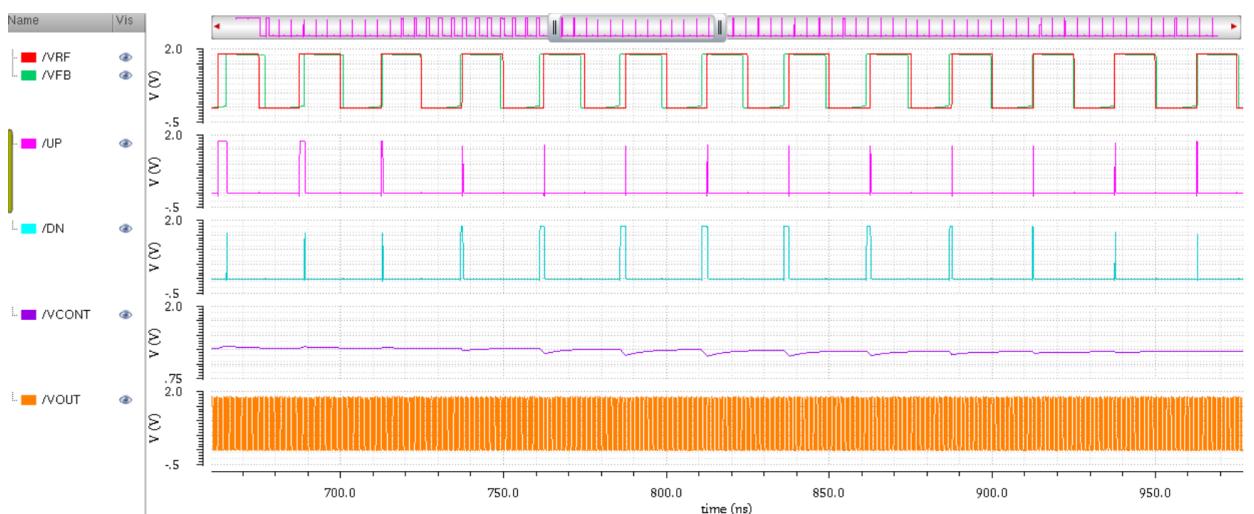
Quan sát **Hình 4.34**, sau khi điện áp điều khiển VCONT được tăng dần nhằm điều chỉnh pha và tần số giữa hai tín hiệu VREF và VFB, hệ thống tiếp tục phản hồi với những sai lệch còn lại. Cụ thể, khi bộ tách sóng pha (PFD) phát hiện tín hiệu VFB đã vượt pha so với VREF, ngõ ra DN của PFD sẽ được kích hoạt. Khi đó, bộ bơm dòng (Charge Pump) sẽ xả dòng điện khỏi bộ lọc thông thấp (LPF), dẫn đến việc giảm điện áp điều khiển VCONT. Sự điều chỉnh này làm giảm tần số đầu ra của VCO, giúp cân bằng lại độ lệch pha và tiến đến trạng thái khóa pha, nơi mà hai tín hiệu vào đạt được sự đồng bộ hoàn toàn về pha và tần số.



**Hình 4.35.** VCONT tăng trước trạng thái khóa pha

Quan sát **Hình 4.35**, có thể thấy rằng tại thời điểm ban đầu, hai tín hiệu đầu vào của hệ thống PLL – cụ thể là VREF và VFB – có độ lệch pha đáng kể. Trong trường hợp này, tín hiệu VREF đi trước tín hiệu VFB, tức là VREF sớm pha hơn. Do đó, ngõ ra UP của bộ tách sóng pha (PFD) được kích hoạt ở mức logic “1”, trong khi ngõ ra DN vẫn ở mức “0”. Điều này khiến bộ bơm dòng (Charge Pump) nạp dòng điện vào bộ lọc thông thấp (LPF), từ đó làm tăng điện áp điều khiển VCONT.

Sự thay đổi của VCONT dẫn đến sự điều chỉnh tần số đầu ra của VCO, nhằm thu hẹp sai lệch pha giữa hai tín hiệu VREF và VFB, đưa hệ thống tiến dần đến trạng thái khóa pha ổn định.

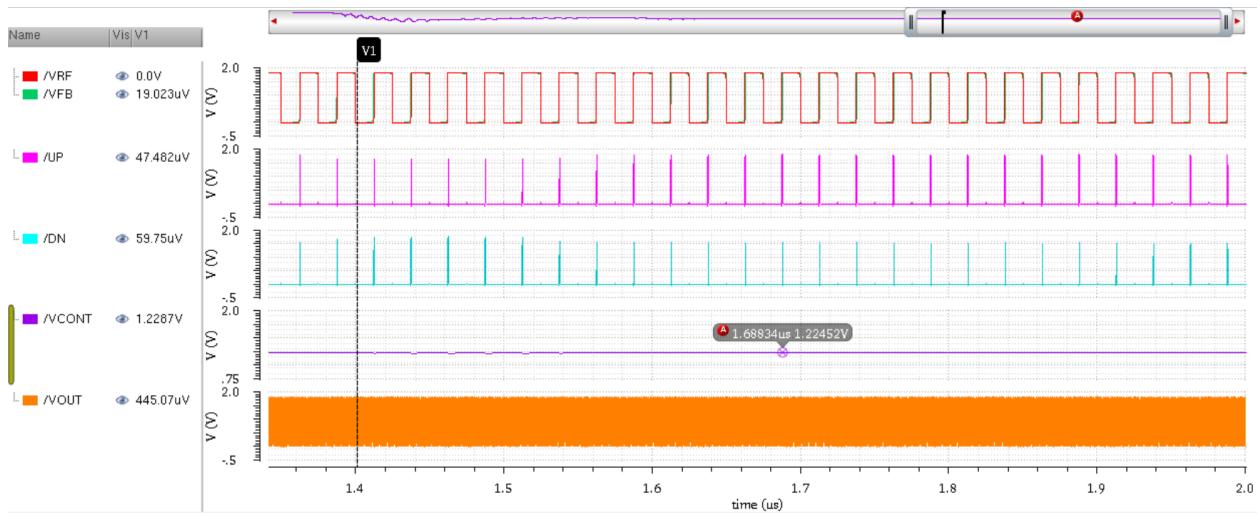


**Hình 4.36.** Hệ thống PLL tiến gần tới trạng thái khóa pha

Quan sát **Hình 4.36**, có thể nhận thấy rằng sau một quá trình điều chỉnh liên tục điện áp điều khiển VCONT—tăng và giảm luân phiên—hệ thống PLL đang dần đạt đến trạng thái khóa pha. Minh chứng là điện áp VCONT bắt đầu ổn định và ít dao động hơn so với giai đoạn đầu.

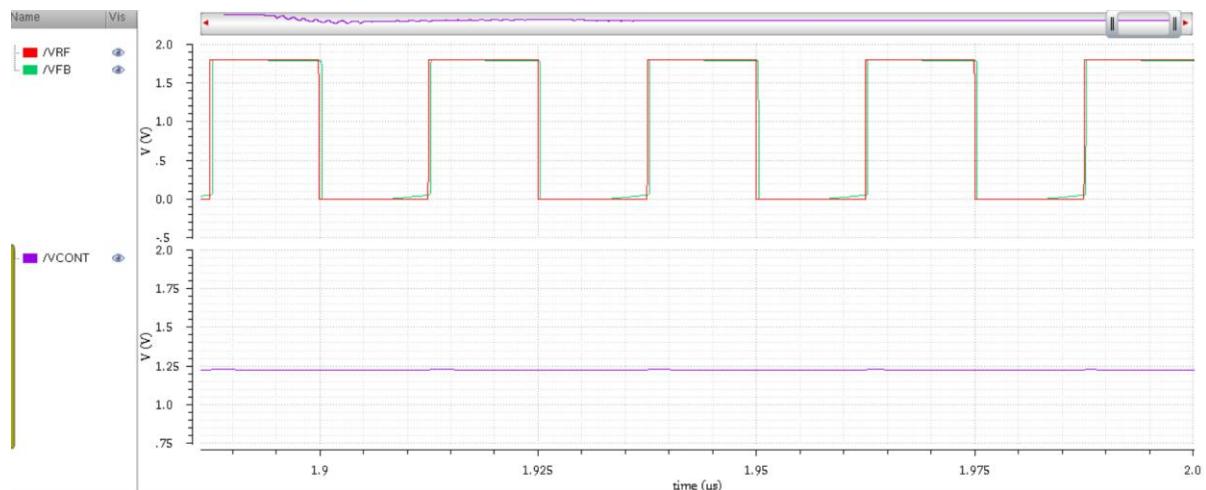
Đồng thời, độ sai lệch pha giữa hai tín hiệu VREF và VFB đã giảm rõ rệt, cho thấy hai tín hiệu đang tiệm cận trạng thái đồng pha và hệ thống gần như đã đạt được sự đồng bộ hoàn chỉnh.

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ



**Hình 4.37.** Hệ thống PLL ở trạng thái khóa pha

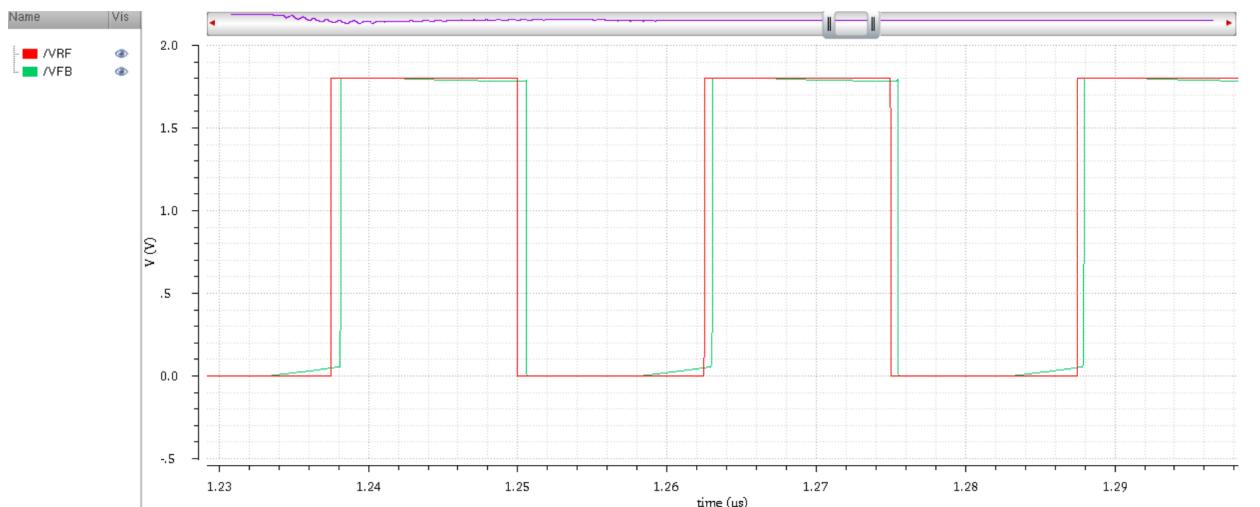
Nhận xét: **Hình 4.37** mô tả hoạt động của hệ thống PLL khi đã đạt trạng thái khóa pha. Có thể quan sát thấy rằng hai tín hiệu VREF và VFB đã hoàn toàn đồng bộ với nhau cả về pha lẫn tần số. Thời gian cần để hệ thống PLL khóa từ tần số đầu vào 40 MHz đến tần số đầu ra 1.28 GHz được ước tính vào khoảng 1,4 us. Sau thời điểm này, điện áp điều khiển VCONT ổn định và duy trì ở mức xấp xỉ 1.22 V phù hợp với giá trị thiết kế đã trình bày trong Chương 3 cho thấy mạch đã hoạt động đúng như mong đợi.



**Hình 4.38.** Sự đồng bộ của 2 tín hiệu

Nhận xét: **Hình 4.38** thể hiện rõ trạng thái đồng bộ pha và tần số giữa hai tín hiệu VREF và VFB khi hệ thống đã đạt trạng thái khóa pha. Tại thời điểm này, độ lệch pha giữa hai tín hiệu là rất nhỏ, gần như triệt tiêu hoàn toàn, cho thấy mạch PLL đã điều chỉnh thành công và duy trì sự ổn định giữa tín hiệu đầu vào và phản hồi.

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

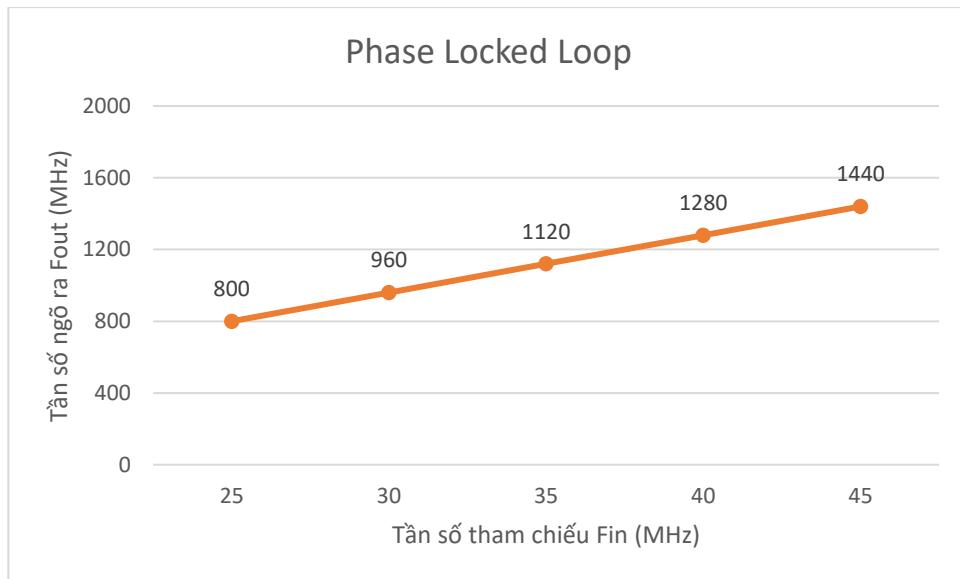


**Hình 4.39.** Hiện tượng Jitter của PLL ở trạng thái khóa pha

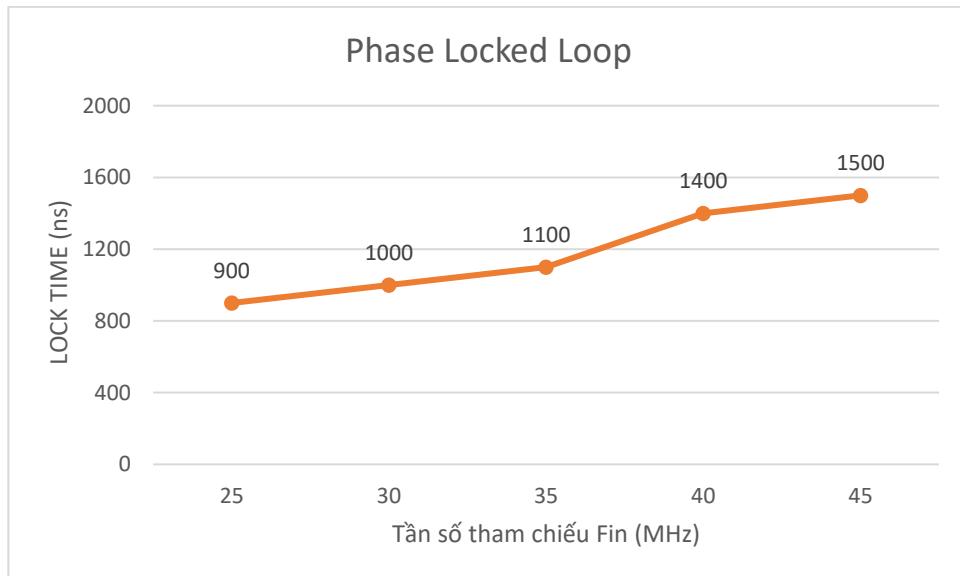
Nhận xét:

- Quan sát **Hình 4.39**, trong điều kiện lý tưởng, tần số đầu ra của VCO sẽ không thay đổi theo thời gian khi hệ thống đạt trạng thái khóa pha. Tuy nhiên, do ảnh hưởng của nhiễu pha nội tại trong VCO, tín hiệu đầu ra thực tế sẽ dao động nhẹ theo thời gian.
- Hiện tượng này được gọi là Jitter, biểu thị sự sai lệch ngắn hạn của tín hiệu VFB so với vị trí lý tưởng về thời gian. Sự lệch này có thể xuất hiện ở cả cạnh lên hoặc cạnh xuống của xung tín hiệu.
- Jitter là một hiện tượng không mong muốn vì nó làm giảm độ chính xác của hệ thống, tuy nhiên rất khó để loại bỏ hoàn toàn, do đó cần có các biện pháp thiết kế và cải tiến nhằm giảm thiểu tối đa tác động của jitter.

=> **Kết luận:** có thể thấy mạch vòng khóa pha PLL đã hoạt động đúng như yêu cầu thiết kế đề ra. Hình 4.40 và 4.41 là đồ thị biểu diễn các trường hợp tổng hợp tần số khác của hệ thống PLL ứng với những thời gian khóa khác nhau với bộ chia 32.



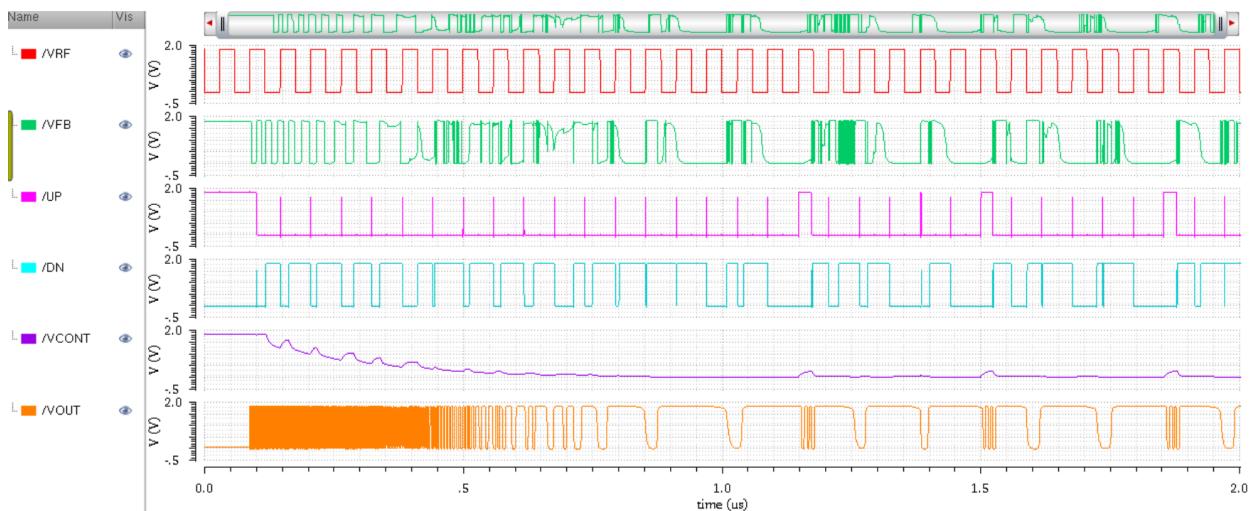
**Hình 4.40.** Tần số tham chiếu và tần số ngõ ra PLL



**Hình 4.41.** Thời gian khóa của từng trường hợp

Tuy nhiên, khi điều chỉnh tần số tham chiếu đầu vào xuống 17 MHz, nhận thấy rằng hệ thống PLL không còn khả năng đồng bộ tần số đầu ra với tần số đầu vào. Điều này cho thấy tần số 17 MHz đã nằm ngoài dải bắt (capture range) của hệ thống PLL. Do đó, trong trường hợp này, PLL sẽ không khóa pha được và sẽ tự động hoạt động tại tần số tự nhiên của bộ dao động VCO, ký hiệu là  $F_n$ . Hiện tượng này được minh họa rõ trong **Hình 4.42**.

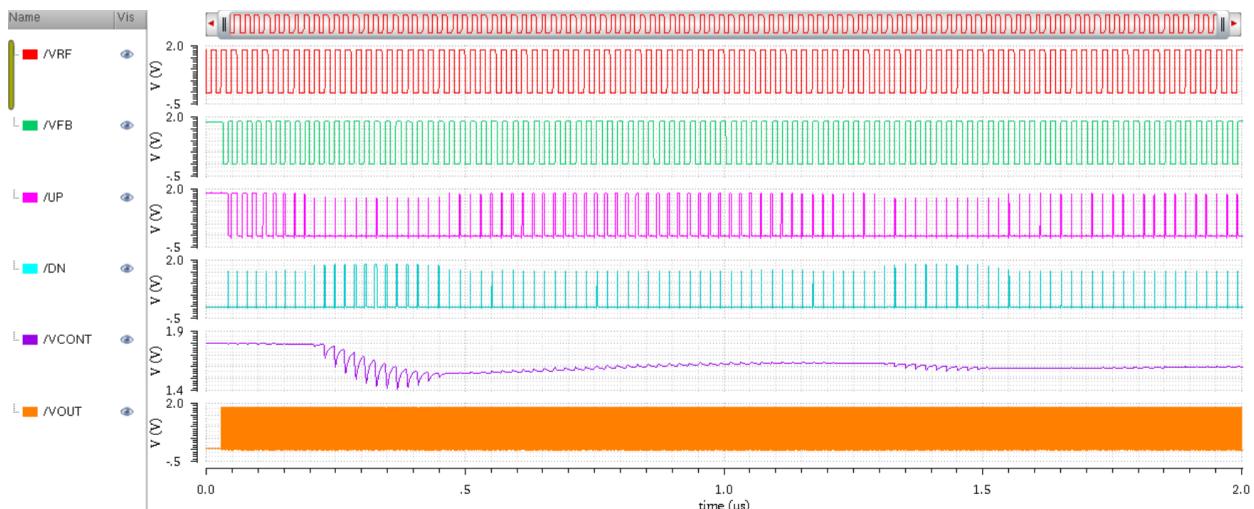
## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ



**Hình 4.42.** Mô phỏng hệ thống PLL với tần số tham chiếu 17MHz

Tương tự, khi tăng tần số tham chiếu đầu vào lên 50 MHz như thể hiện trong **Hình 4.43**, hệ thống PLL cũng không thể đồng bộ tần số đầu ra với tần số đầu vào. Điều này cho thấy rằng 50 MHz đã vượt quá giới hạn trên của dải bắt (capture range) của hệ thống.

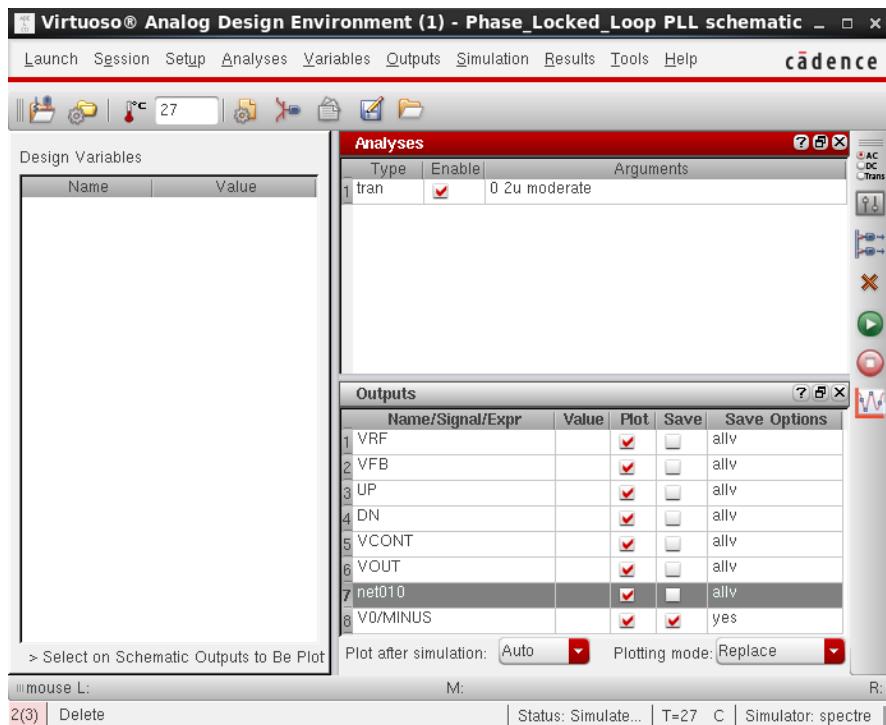
Do đó, có thể kết luận rằng dải bắt của PLL trong thiết kế này nằm trong khoảng từ 17 MHz đến dưới 50 MHz.



**Hình 4.43.** Mô phỏng hệ thống PLL với tần số tham chiếu 50MHz

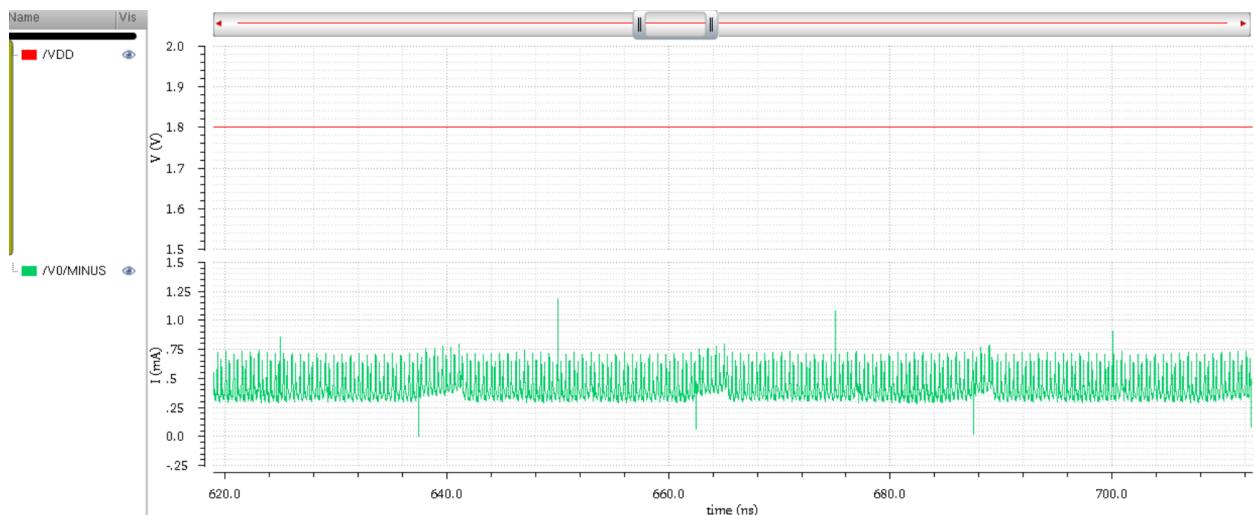
## 4.8. CÔNG SUẤT TIÊU THỤ

Cài đặt thông số để chạy mô phỏng và hiển thị dạng sóng công suất:



**Hình 4.44.** Cài đặt thông số tính toán công suất tiêu thụ

**Hình 4.45** đo được dạng sóng U(VDD) và I tại nguồn và áp ngõ vào ngõ ra để tìm ra công suất mạch:

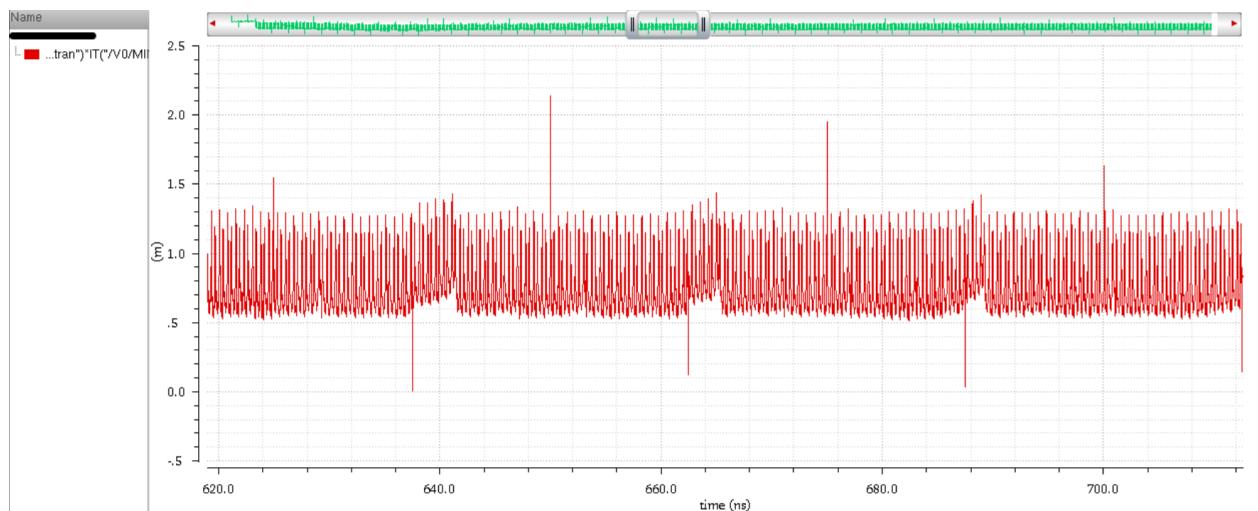


**Hình 4.45.** Dạng sóng nguồn dòng và điện áp của hệ thống PLL

- Chú thích: Điện áp U(VDD) tại nguồn (màu vàng), dòng I tại nguồn (màu xanh lam).

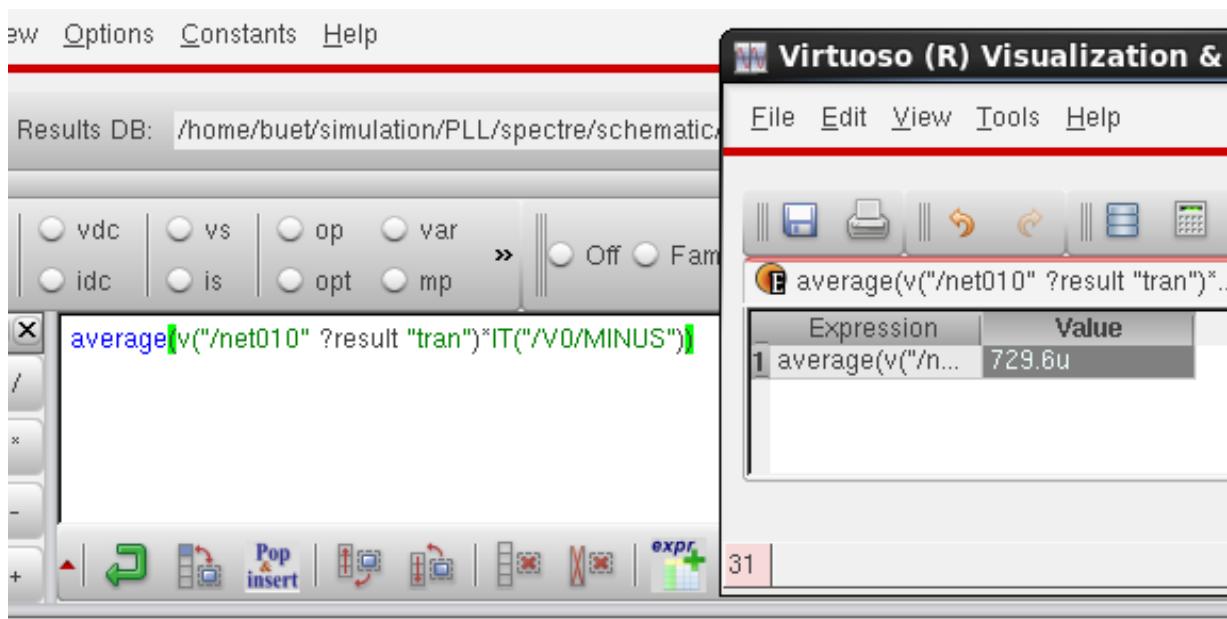
## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

- Để tính công suất ta cần nhân 2 sóng áp và dòng tại nguồn cung cấp VDD rồi hiển thị bằng 1 sóng như **Hình 4.46**:



**Hình 4.46.** Dạng sóng công suất mạch PLL

**Hình 4.46** minh họa mức tiêu thụ công suất tức thời của hệ thống PLL đã được thiết kế. Để xác định công suất trung bình của hệ thống trong khoảng thời gian  $T = 1.5 \mu\text{s}$ , tính từ lúc bắt đầu quá trình khóa pha cho đến khi hệ thống đạt trạng thái ổn định, ta sử dụng hàm Average trong công cụ Calculator của phần mềm Cadence Virtuoso. Kết quả cho thấy công suất trung bình của toàn bộ dạng sóng thu được là **729,6uW**.



**Hình 4.47.** Công suất tiêu thụ trung bình của PLL

## CHƯƠNG 4: KẾT QUẢ VÀ ĐÁNH GIÁ

---

**Bảng 4.3.** Bảng tổng kết các kết quả của quá trình mô phỏng và đo đặc hệ thống vòng khóa pha - PLL cho ứng dụng tổng hợp tần số.

Thông số	Giá trị
Công nghệ	GPDK 90nm
Điện áp cung cấp Vcc	1.8V
Tần số tham chiếu Fref	40 MHz
Tần số ngõ ra Fout	1.28 GHz
Tần số cắt Fc	2 MHz
Bộ chia tần số N	32
Thời gian khóa	1.4 us
Dải bắt (capture range)	17 – 50 MHz
Công suất tiêu thụ P	729.6 uW

## CHƯƠNG 5: KẾT LUẬN VÀ HƯỚNG PHÁT TRIỂN

Trong chương này, nhóm tiến hành tổng kết các kết quả đã đạt được trong quá trình thực hiện đề tài, đồng thời rút ra những kết luận quan trọng liên quan đến thiết kế và hoạt động của hệ thống PLL. Bên cạnh việc ghi nhận những thành tựu nổi bật, nhóm cũng phân tích các mặt còn hạn chế so với mục tiêu ban đầu và đề xuất những hướng phát triển tiềm năng nhằm mở rộng và nâng cao chất lượng đề tài trong tương lai.

### 5.1. KẾT LUẬN

Sau quá trình thiết kế, mô phỏng và phân tích hệ thống vòng khóa pha (PLL) với mục tiêu ứng dụng vào tổng hợp tần số, nhóm đã thu được nhiều kết quả tích cực, đồng thời rút ra được một số nhận định quan trọng như sau:

\*Ưu điểm:

- Cơ sở lý thuyết và phân tích chuyên sâu: Báo cáo đã trình bày đầy đủ và chi tiết về nguyên lý hoạt động của hệ thống PLL, bao gồm từng khía cạnh như PFD, CP, LPF, VCO và bộ chia. Điều này giúp người đọc nắm bắt rõ kiến thức nền tảng và logic hoạt động của toàn hệ thống.
- Độ chính xác và ổn định cao: Hệ thống được thiết kế đảm bảo yêu cầu về sai số tần số thấp, giúp tổng hợp và duy trì tần số ngõ ra một cách chính xác và ổn định.
- Hiệu suất tổng hợp tần số vượt trội: PLL được cấu hình với bộ chia  $N = 32$ , cho phép tạo ra tín hiệu đầu ra có tần số gấp 32 lần so với tín hiệu đầu vào, nâng cao đáng kể hiệu quả so với các phương pháp truyền thống.
- Tính linh hoạt trong ứng dụng: Hệ thống đã được mô phỏng với nhiều mức tần số tham chiếu khác nhau, qua đó cho thấy khả năng thích ứng cao và đáp ứng nhiều nhu cầu tổng hợp tần số trong các tình huống thực tiễn.

\*Hạn chế:

- Chưa có kiểm chứng thực nghiệm: Thiết kế mới chỉ được mô phỏng trong môi trường phần mềm, chưa được triển khai và đo đạc trên phần cứng thực tế. Do đó, độ chính xác và độ tin cậy trong điều kiện vận hành thực tế vẫn chưa được xác minh.

- Phạm vi đánh giá còn giới hạn: Báo cáo chủ yếu tập trung vào một hệ thống PLL cơ bản. Để đánh giá toàn diện hơn, cần triển khai thử nghiệm với các cấu hình phức tạp và điều kiện hoạt động khắt khe hơn.
- Hiện tượng kỹ thuật chưa được khắc phục hoàn toàn: Mạch Charge Pump vẫn để xảy ra hiện tượng ripple trên tín hiệu VCONT và xuất hiện spur trong phổ tần. Đây là những yếu tố ảnh hưởng đến chất lượng tín hiệu ngõ ra và cần cải tiến thêm.
- Ảnh hưởng của nhiễu VCO: Thiết kế hiện tại chưa đề xuất giải pháp hiệu quả nhằm giảm thiểu jitter do nhiễu pha từ VCO gây ra – một yếu tố ảnh hưởng lớn đến độ ổn định tần số.
- Thiếu đa dạng trong phương pháp tiếp cận: Đề tài mới chỉ triển khai một phương pháp thiết kế PLL. Trên thực tế, còn nhiều kỹ thuật khác có thể áp dụng để nâng cao hiệu suất hệ thống, nhưng chưa được đề cập hay so sánh.

\*Tổng kết:

Nhìn chung, đề tài đã đạt được những kết quả khả quan trong việc thiết kế và đánh giá một hệ thống PLL tổng hợp tần số. Tuy còn tồn tại một số hạn chế, nhưng đây là tiền đề quan trọng để nhóm tiếp tục phát triển, mở rộng nghiên cứu và tối ưu hóa hệ thống trong tương lai, hướng tới ứng dụng trong các hệ thống viễn thông, xử lý tín hiệu số và điện tử công suất cao.

### 5.2. HƯỚNG PHÁT TRIỂN

Để đưa hệ thống PLL vào các ứng dụng thực tiễn, việc cải tiến nhằm đạt được độ ổn định cao hơn, thời gian khóa nhanh hơn, và công suất tiêu thụ thấp hơn là điều cần thiết. Dưới đây là một số định hướng phát triển chính:

- Cải tiến bộ dao động VCO: Nâng cấp cấu trúc VCO hiện tại bằng các kiến trúc tiên tiến hơn, chẳng hạn như VCO sử dụng mạch cộng hưởng LC. Việc này sẽ giúp giảm nhiễu pha, nâng cao độ ổn định của tín hiệu đầu ra và tối ưu hóa mức tiêu thụ công suất.
- Tối ưu hóa mạch Charge Pump (CP): Thiết kế lại CP nhằm tạo ra tín hiệu điều khiển Vctrl ổn định hơn, giảm thiểu độ dao động và nhiễu. Một phương án hiệu quả là bỏ

sung mạch khuếch đại thuật toán (Opamp) vào khối CP để kiểm soát dòng điện nạp-xả tốt hơn.

- Phát triển bộ chia tần số linh hoạt: Cho phép thay đổi hệ số chia bằng cách thiết kế bộ chia lập trình được bằng Verilog, giúp hệ thống có thể tổng hợp nhiều tần số ngõ ra hơn, phù hợp với các ứng dụng yêu cầu linh hoạt về dải tần.
- Giảm jitter trong tín hiệu phản hồi: Sử dụng các mạch đếm đồng bộ hoặc Flip-Flop kiểu CML (Current Mode Logic) cho bộ chia phản hồi nhằm giảm thiểu jitter xác định (deterministic jitter), góp phần nâng cao chất lượng tín hiệu và hiệu năng toàn hệ thống.

## TÀI LIỆU THAM KHẢO

- [1] P. T. Patil, V. Ingale, "**Design of a Low Power PLL in 90nm CMOS Technology,**" 2019 IEEE 5th International Conference for Convergence in Technology (I2CT), pp. 1-4, 2019.
- [2] M. D. K. Naik, "**Design and Analysis of Efficient Phase Locked Loop,**" Bachelor's Thesis, National Institute of Technology, India, 2015.
- [3] G. Bhargav, G. Prasad, S. D. Canchi, B. Chanikya, "**Design and Analysis of Phase Locked Loop in 90nm CMOS,**" 2016 Thirteenth International Conference on Wireless and Optical Communications Networks (WOCN), pp. 1-7, 2016.
- [4] PGS. TS. Nguyễn Văn Tuấn, Ths. Lê Thị Phương Mai, **Giáo trình Điện tử thông tin**, NXB Đại học Đà Nẵng, 1995.
- [5] Roland E. Best, **Phase-Locked Loops: Design, Simulation, and Applications**, Fifth Edition, McGraw-Hill Education, 2003, pp. 11-16.
- [6] Behzad Razavi, **Design of Analog CMOS Integrated Circuits**, Second Edition, McGraw-Hill Education, 2017, pp. 651-685.
- [7] Jeffrey S. Pattavina, "**Charge-Pump Phase-Locked Loop – A Tutorial,**" [Online]. Available: <https://www.eetimes.com/charge-pump-phase-locked-loop-a-tutorial-part-i/>. [Accessed: 30-May-2025].
- [8] Sandhiya S, Revathi S, Dr. B. Vinothkumar, "**Design of Voltage Controlled Oscillator in 180 nm CMOS Technology,**" International Research Journal of Engineering and Technology (IRJET), vol. 5, no. 3, pp. 1347-1351, 2018.
- [9] Kunjan Devendra Shinde, "**Design and implementation of 1 GHz Current Starved Voltage Controlled Oscillator (VCO) for PLL using 90nm CMOS technology,**" 2015 International Conference on Control, Instrumentation, Communication and Computational Technologies (ICCI CCT), 2015.