# CMOS集成电路复习提纲

## 知识性（上课不会讲，需要背）

* 1. 中心国际产业链 （面试会问）

**上游半导体设备：**

1、刻蚀机：北方华创、中微公司

2、光刻机：上微集团、华卓清科

3、PVD：北方华创

4、CVD：北方华创、中微公司、沈阳拓荆

5、离子注入：中科信、万业企业

6、炉管设备：北方华创、晶盛机电

7、检测设备：精测电子、华峰测控、长川科技

8、清洗机：北方华创、至纯科技、盛美半导体

9、其他设备：芯源微、大族激光、锐科激光

**上游半导体材料：**

1、大硅片：沪硅产业、中环股份

2、靶材：江丰电子、阿石创、隆华科技、有研新材

3、高纯试剂：上海新阳、江化微、晶瑞股份、巨化股份

4、特种气体：雅克科技、华特气体、南大光电

5、抛光材料：安集科技、鼎龙股份

6、光刻胶：南大光电、飞凯材料、容大感光、晶瑞股份

7、其他材料：神工光伏、菲利华、石英股份

**中游代工：**

华虹半导体、粤芯半导体、华润微电子

**下游封测：**

长电科技、通富微电、华天科技、晶方科技、深科技

**下游设计：**

1、CPU：中科曙光、澜起科技、中国长城

2、GPU：景嘉微

3、FPGA：紫光国微、上海复旦

4、指纹识别：汇顶科技、兆易创新

5、摄像头芯片：韦尔股份、格科微、汇顶科技

6、存储芯片：兆易创新、国科微、北京君正

7、射频芯片：卓胜微、三安光电、紫光展瑞

9、数字芯片：晶晨股份、乐鑫科技、瑞芯微、全志科技

10、模拟芯片：圣邦股份、韦尔股份、汇顶科技、3PEAK

11、功率芯片：斯达半导、士兰微、捷捷微电、晶丰明源

* 1. 芯片制造产业链（考研面试会问）

半导体材料、设计、制造、封装与测试。

半导体材料：代表性公司：中环半导体；

芯片设计：代表性公司：华为海思、紫光展讯；

EDA工具：代表性公司：华大九天；

IPM设计：代表性公司：士兰微；

晶圆制造（晶圆代工）：代表性公司：台积电，中芯国际；

半导体设备生产（主要是光刻机）：代表性公司：中微半导体，上海微电子设备；

封装与测试：代表性公司：通富微电。

## 版图工艺（找到答案背一背）

* 1. N阱MOS管基本工艺流程（必须写出来，包括P阱）

1.**N阱CMOS的工艺流程。**

(1)生长一层Si0。

(2)在SiO上涂光刻胶，光刻N阱掺杂窗口(一次光刻)。

(3)用HF刻蚀窗口处的SiO，去胶。

(4)在窗口处注入N型杂质。

(5)形成N阱，去除硅片上的Si0。

(6)生长一层Sio，再生长一层SiN。光刻场区(二次光刻)，刻蚀场区的SiN，去胶。日于SiN和Si之间的应力较大，而Si0。与Si和SiN之间的应力较小，所以用Si0。作为过层。

(7)生长场区Si0。(场氧)。CMOS工艺之所以不象NMOS工艺那样直接生长场氧，一是因为CMOS 工艺比NMOS 工艺出现得晚，更先进；二是因为生长场氧时间很长，会消耗很多硅，样会使有源区边缘产生很高的台阶，给以后台阶覆盖带来困难，台阶太高会产生覆盖死角。

(8)去除Si.N，和有源区处的Si0。

(9)重新生长一层薄薄的Si0。(栅氧)。

(10)生长一层多晶硅。

(11)光刻多晶硅栅极(三次光刻)。

(12)刻蚀栅极以外的多晶硅，去胶。

(13)光刻P离子注入窗口(四次光刻)，刻蚀窗口处的Sio，去胶。在窗口处注入P型杂质形成PMOS的源漏区和衬底欧姆接触。生长Si0。

(14)光刻N离子注入窗口(五次光刻)，刻蚀窗口处的SiO，去胶。在窗口处注入N型杂质形成NMOS的源漏区和阱欧姆接触。

(15)生长一层Si0。

(16)光刻接触孔(六次光刻)，刻蚀接触孔处的Si0，去胶。

(17)生长一层金属，光刻金属引线(七次光刻)。

(18)刻蚀引线外的金属，去胶。

(19)淀积钝化层。

2.**p阱CMOS工艺**  
(1)光1——光刻肼区，刻出肼区注入孔。  
(2)肼区注入及推进，形成肼区。  
(3)去除SiO2，长薄氧，长Si3N4  
(4)光2——反刻有源区(光刻场区)，反刻出P管、N管的源、漏和栅区。  
(5)光3—光刻N管场区，刻去N管区上的胶，露出N管场区注入孔。N管场区注入，以提高场开启，减少闩锁效应及改善肼的接触。  
(6)长场氧化层，出去Si3N4，再飘去薄的SiO2，然后长栅氧化层。  
(7)光4—光刻P管区。p管区注入，调节PMOS管的开启电压，然后长多晶硅。  
(8)光5——反刻多晶硅，形成多晶硅栅及多晶硅电阻。  
(9)光6——光刻P+区，刻去P管及其他P+区上的胶。P+区注入，形成PMOS管的源、漏区及P+保护环。  
(10)光7——光刻N+区，刻去N+区上的胶。N+区注入，形成NMOS管的源、漏区及N+保护环。  
(1I)长PSG  
(12)光8——光刻引线孔。可在生长磷硅玻璃后先开一次孔，然后再磷硅玻璃回流及结注入推进后再开第二次孔。  
(13)光9——反刻铝引线。  
(14)光10——光刻压焊块。

* 1. 什么是ESD，如何避免ESD

ESD（Electro-Static discharge）的意思是“静电释放”。ESD是20世纪中期以来形成的以研究静电的产生、危害及静电防护等的学科。因此，国际上习惯将用于静电防护的器材统称为ESD，ESD（静电放电）是CMOS电路中最为严重的失效机理之一，严重的会造成电路烧毁。在我们IC里ESD就是指ESD保护器件和ESD测试。  
·ESD电阻注意孔的个数要多。尽量8个以上。  
·ESD连接ESD管要均匀。不要有明显的通路寄生电阻，电容的差别。  
·ESD环通路metal电阻，要小于2欧姆，根据ESD要求而定，8000V就小于0.5欧姆。

* 1. 什么是版图寄生效应，包括哪些，如何避免

（1）就是本来没有在那个地方设计电容或电感甚至电阻，然而因为某些因素如结构之间、PCB布线、管脚引线、通孔质量、焊盘到地距离、焊盘到电源平面距离、和焊盘到印制线之间、材料差异、器件封装、封装引脚和印制线过长等，特别是在高速电路中而表现出来的呈容性、感性、阻性。

（2）包括寄生电容，寄生电阻，寄生电感

（3）设计版图时尽量减短布线的长度、集中接地、尽量减少过孔；采用双层屏蔽电缆，这种接法可使得内屏蔽与芯线等电位，进而消除了芯线对内屏蔽的容性漏电，克服了寄生电容的影响。

* 1. 集成电路模块之间的串扰如何避免

串扰是目前信号完整性中最常见的研究现象之一，高度密集的板间走线和间距狭小的走线都会导致信号间串扰。并且电感耦合，电容耦合都会导致串扰的产生。串扰现象严重时会导致电路不稳定甚至无法正常工作。

避免：增加信号路径之间的间距；用平面作为返回路径；使耦合长度尽量短；在带状线层布线；减小信号路径的特性阻抗；使用介电常数较低的叠层；在封装和接插件中不要共用返回引脚；使用两端和整条线上有短路过孔的防护布线。

* 1. 版图器件应该遵循哪些基本原则

主要是从电磁场兼容性、抗干扰的角度，走线短，交叉少，电源，地的路径及去耦等方面考虑。

（1）在通常情况下，所有元器件均应布置在印制电路板的一面。

（2）在保证电气性能的前提下，元器件应相互平行或垂直排列，以求整齐、美观。

（3）重而大的元器件，尽量安置在印制电路板上紧靠固定端的位置，并降低重心，以提高机械强度和耐振动、耐冲击能力，减少印制电路板的负荷和变形。

（4）发热元器件应优先安排在有利于散热的位置，必要时可单独安装散热器，以降低和减少对邻近元器件的影响。对热敏感的元器件应远离高温区。

（5）对电磁感应较灵敏的元器件和电磁辐射较强的元器件在布局时应避免它们之间相互影响。

* 1. 画版图的流程

TOP电路图分析和信息收集；

TOP Floorplan示意图；

初始TOP Floorplan；

优化TOP Floorplan；

Cell review和TOP连线；

DRC LVS验证；

TOP checklist，优化TOP版图；

Tapeout。

* 1. MOS管的工作制程，制程分哪几种

MOS管是一种将电压转化为电流的器件，可以简单理解为一个压控电压源，以栅极和源极间的电压控制流过漏极和源极的电流。按制成可分为四种：n沟道增强型场效应晶体管，n沟道耗尽型场效应晶体管，p沟道增强型场效应晶体管，p沟道耗尽型场效应晶体管。

* 1. 什么叫闩锁效应，集成电路版图哪些地方容易发生这个效应

**闩锁效应**是CMOS工艺所特有的寄生效应，闩锁效应是由NMOS的有源区、P衬底、N阱、PMOS的有源区构成的n-p-n-p结构寄生成的两个关联的三极管产生的，严重会导致电路的失效，甚至烧毁芯片。闩锁情况下，器在电源与地乙可形成短路通过三极管放大电流，造成大电流、EOS（电过载）和器件损坏。是半导体器件失效的主要原因之一。

**产生闩锁效应的情况：**

输出电流很大的情况下；（P和N之间至少间距30-40u）

直接接到PAD的MOS管的D端；（将MOS管的D端加大，孔到AA的间距至少2u）

产生clk，开关频率快的地方如PLL；（频率越快，噪音越大，频率快对衬底不停放电，吃电流）

ESD与core cell 的距离会产生latch up；（最好间距为40-50u）

* 1. 基本晶体管工作原理

在其栅-源间加负向电压、漏-源间加正向电压以保证场效应管可以正常工作。所加负向电压越大，在PN结处所形成的耗尽区越厚，导电沟道越窄，沟道电阻越大，漏极电流越小;反之，所加负向电压越小，在PN结处所形成的耗尽区越薄，导电沟道越厚，沟道电阻越小，漏极电流越大。由此通过控制栅-源间所加负向电压完成了对沟道电流的控制。

* 1. 版图器件匹配遵循的原则

1）把匹配器件相互靠近放置；

2）使器件保持同一个方向；

3）选择一个中间值作为你的根器件；

4）采用指状交叉方式；

5）用虚设器件包围起来；

6）四方交叉你的成对器件；

7）匹配你布线上的寄生参数；

8）使每一样东西都很对称；

9）使差分布线一致；

10）使器件宽度一致；

11）总是与你的电路设计者交流；

12）注意邻近的器件；

## 上课讲过的题目

* 1. 二，三章后面习题
  2. 电流源，电流镜部分习题
  3. 简单的差分电路增益怎么求（半电路法）
  4. 频率响应那章部分问题
  5. 等效电路图怎么画、怎么分析、跨度等于多少，输入输出电阻等于多少
  6. 上课说过的那一题