

课程内容简介

本课程系统讲解数字电路的基本理论、分析与设计方法，涵盖逻辑代数基础、组合/时序电路设计原理、常用集成芯片应用及硬件描述语言（HDL）基础。通过理论教学与实验操作，培养学生设计数字系统、使用EDA工具（如Multisim/Quartus）的能力，为后续课程（计算机组成原理、FPGA设计等）奠定基础。

教学大纲

第一部分：基础理论（12学时）

1. 数字系统概述（2学时）
 - 模拟信号 vs 数字信号
 - 数字系统的优势与应用领域
2. 数制与编码（4学时）
 - 二进制、八进制、十六进制转换
 - 原码/反码/补码、BCD码、格雷码
3. 逻辑代数基础（6学时）
 - 布尔代数公理与定理
 - 逻辑门符号与功能（与或非、异或、同或）
 - 卡诺图化简法
 - 逻辑函数的标准形式（最小项、最大项）

第二部分：组合逻辑电路（18学时）

1. 组合电路分析与设计（6学时）
 - 设计流程：需求→真值表→逻辑表达式→电路实现
 - 竞争冒险现象及消除方法
2. 常用组合电路模块（12学时）
 - 加法器（半加器、全加器、超前进位）
 - 编码器/译码器（74LS138/148）
 - 数据选择器/分配器（74LS151/155）
 - 数值比较器（74LS85）
 - 实验：用SSI/MSI芯片设计4位ALU

第三部分：时序逻辑电路（22学时）

1. 锁存器与触发器（8学时）

- SR锁存器、D锁存器
- 边沿触发型D/JK/T触发器（74LS74/112）
- 时序特性（建立/保持时间）

2. 时序电路分析与设计（8学时）

- 状态图/状态表设计
- 同步计数器设计（二进制、环形、扭环形）
- 异步计数器分析

3. 典型时序模块（6学时）

- 寄存器（74LS194）
- 计数器（74LS161/160）
- 实验：设计可逆计数器

第四部分：存储与接口（6学时）

1. 半导体存储器（4学时）

- ROM/RAM结构（SRAM/DRAM）
- 存储器容量扩展技术

2. 可编程逻辑器件（2学时）

- PAL/GAL/CPLD/FPGA简介
- HDL设计流程概述

第五部分：实践与前沿（6学时）

1. 硬件描述语言（HDL）入门（4学时）

- Verilog/VHDL基础语法
- 组合/时序电路建模（门级/行为级）

2. 数字系统设计趋势（2学时）

- SoC与FPGA应用案例
 - 低功耗设计技术
-

实验项目清单（16学时）

序号	实验内容	学时	工具
1	门电路功能测试与传输延迟测量	2	示波器、逻辑分析仪
2	用SSI设计交通灯控制电路	2	74系列芯片
3	8-3优先编码器应用（火灾报警系统）	2	Multisim仿真
4	同步时序电路设计（自动售饮料机）	4	Quartus II
5	FPGA基础：LED流水灯实现	4	DE0开发板+Verilog
6	综合设计：数字时钟（时/分/秒）	2	自主实现

推荐教材与资源

- 主教材：**
《数字电子技术基础》（第六版），阎石，高等教育出版社
- 参考书：**
《Digital Design and Computer Architecture》（Harris & Harris），机械工业出版社
- 工具软件：**
Multisim（仿真）、Quartus Prime（FPGA）、Proteus（嵌入式验证）
- 在线资源：**
Neso Academy（YouTube）、HDLbits（Verilog练习平台）

课程特色

- 理论-实践融合：**每个理论模块配套仿真/实验验证
- 分层教学设计：**基础芯片设计→HDL描述→FPGA综合
- 工程能力培养：**强调系统级设计思维（如时钟域管理、信号完整性）

注：可根据具体专业方向调整重点（如计算机专业强化CPU数据通路设计，通信专业增加ADC/DAC接口内容）。