

IV. La Jonction.

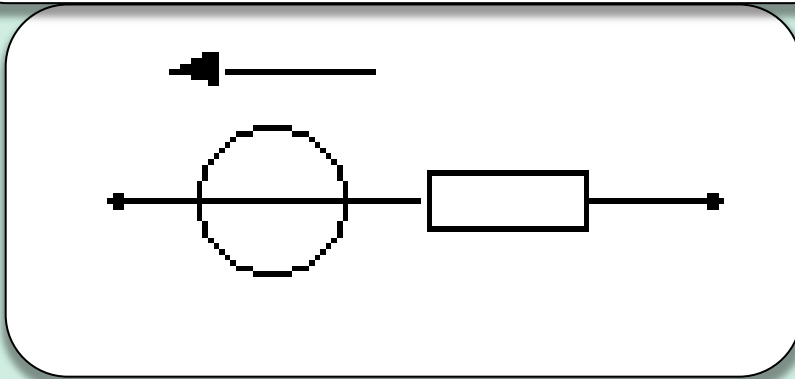
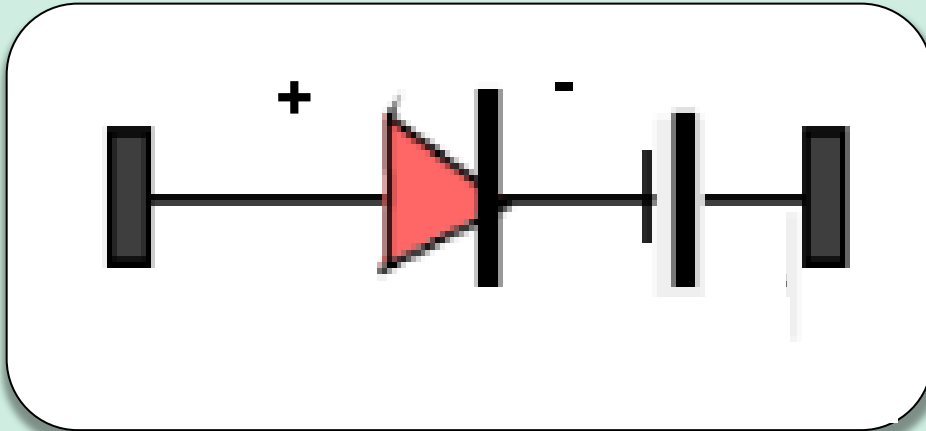
Jonction PN, diodes et transistors

A. La jonction

1. Le premier composant électronique : la diode

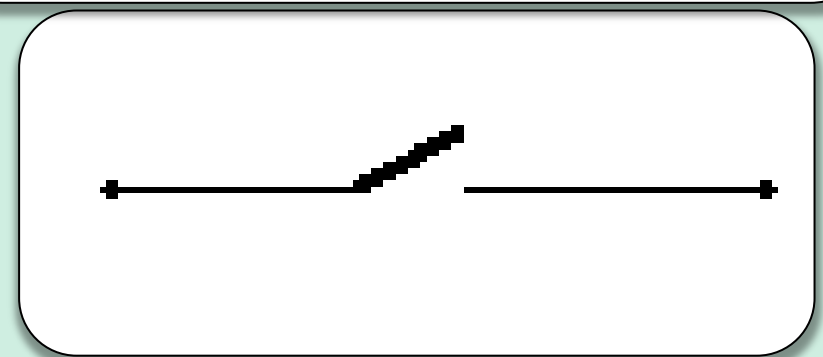
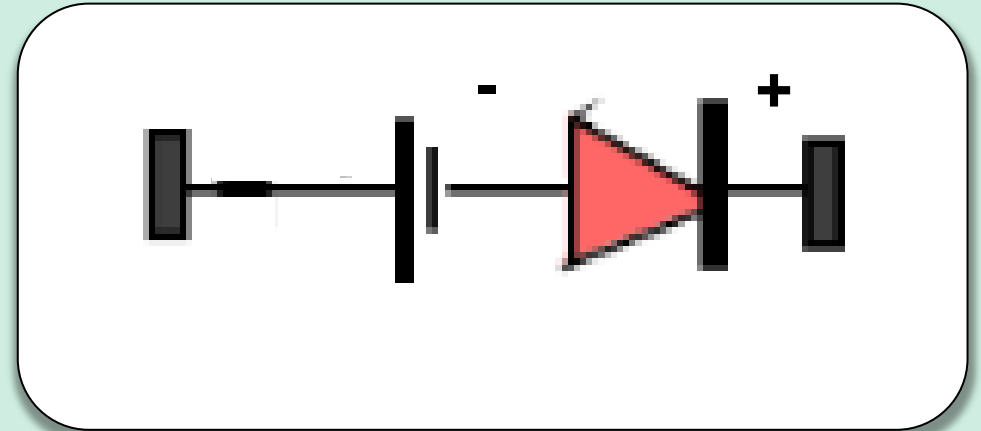
a. Représentation schématique

Tension U "directe"
(dans le bon sens) & $U > U_T$



Equivalent à un interrupteur
fermé

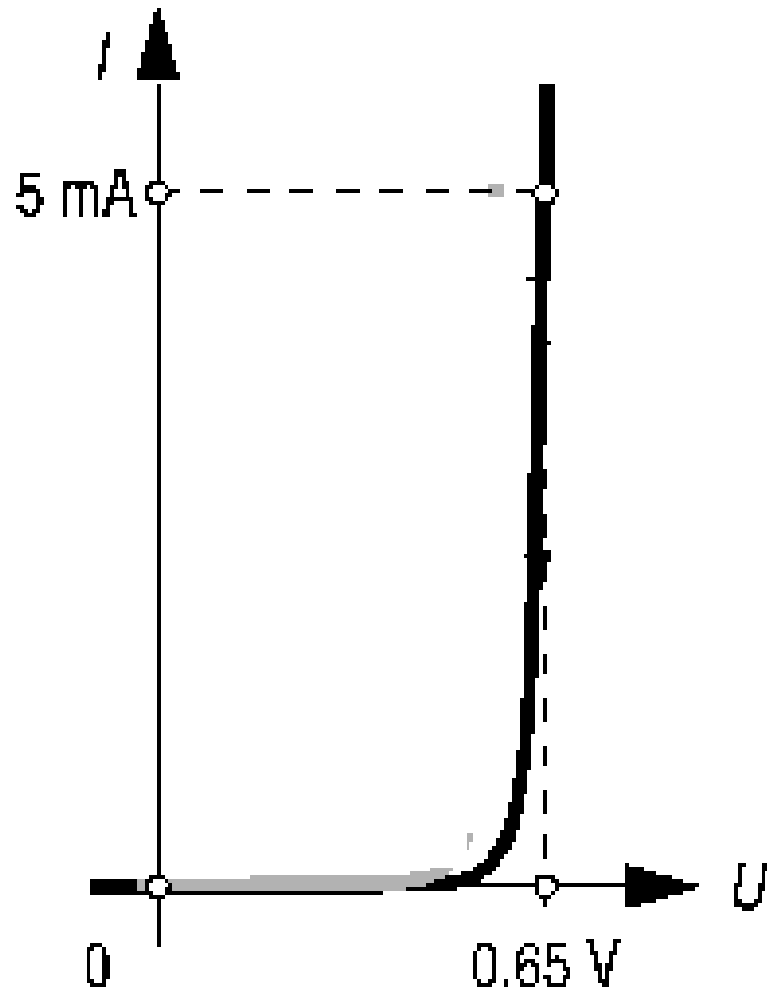
Tension U "indirecte"
(dans le mauvais sens) ou $U < U_T$



Equivalent à un interrupteur
ouvert

b. Caractéristiques

C'est une **fonction exponentielle de la tension appliquée** aux bornes de la diode. Pour simplifier, si $U > U_T$, le courant passe; sinon, il ne passe pas.



Caractéristique de la diode :

$$I = I_s \cdot \left(e^{\frac{U}{n \cdot U_T}} - 1 \right) \text{ (A)}$$

I : Courant de la diode (A)

I_s : Courant inverse de saturation (A)

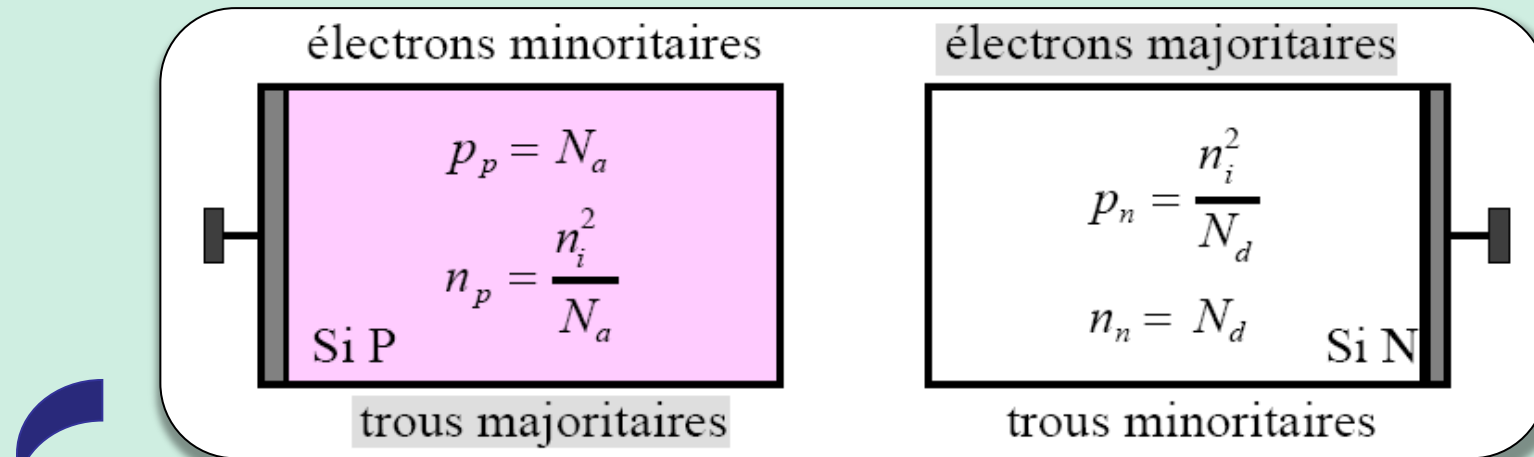
U : tension aux bornes de la diode (V)

U_T : tension thermodynamique (V)

n : coefficient d'émission (≈ 1)

2. Comment fonctionne la diode ? La Jonction PN

Soit 2 « portions » de Si dopées P et dopées N. Si ces 2 portions sont jointes l'une à l'autre

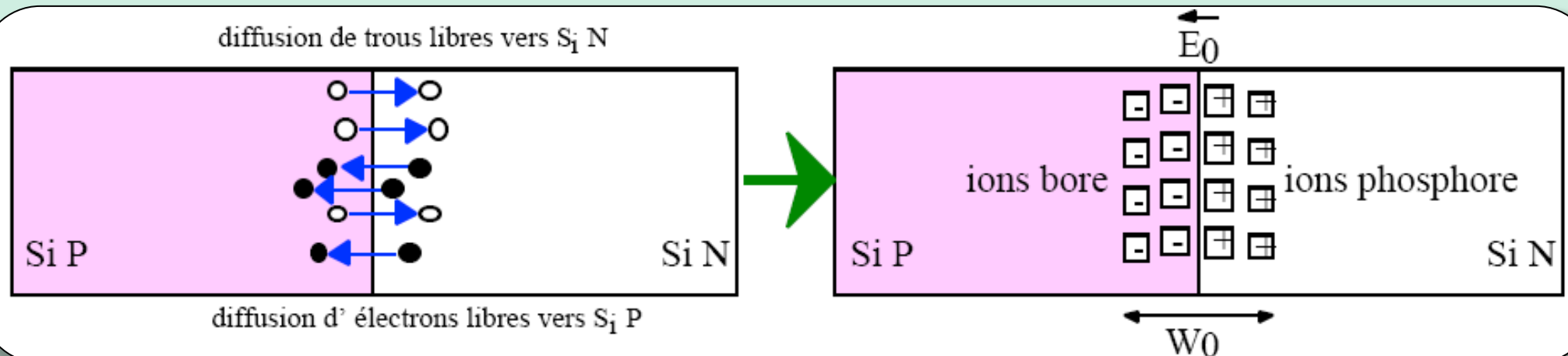


Il y a diffusion des h^+ (très concentrés à gauche) vers la droite
et diffusion des e^- (très concentrés à droite) vers la gauche

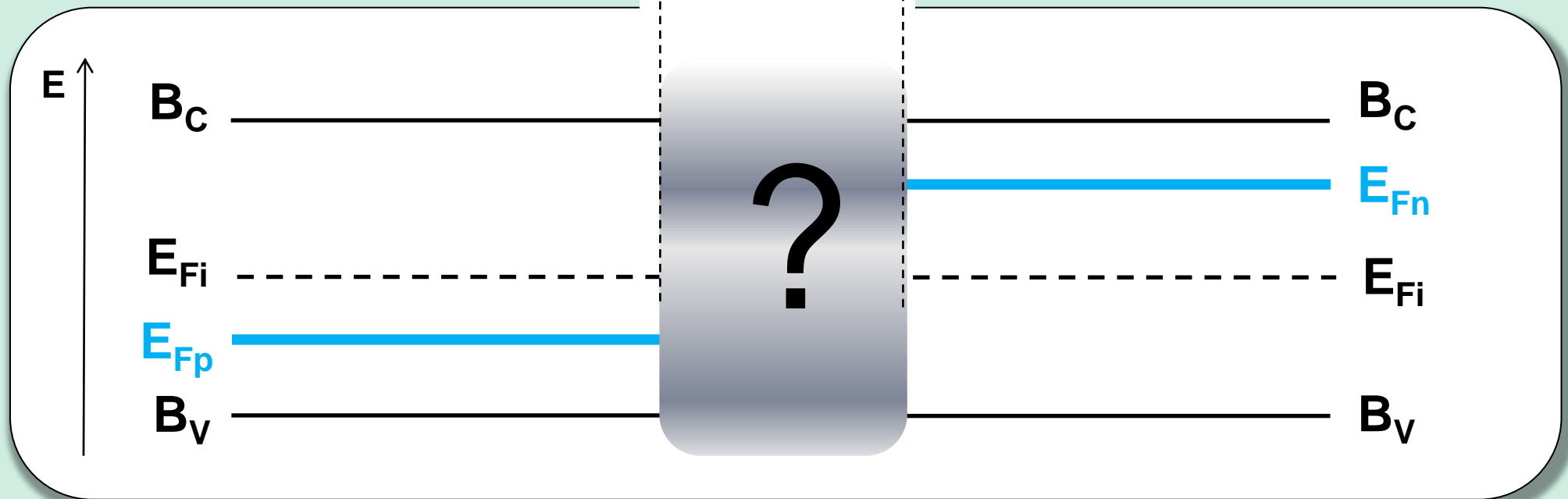
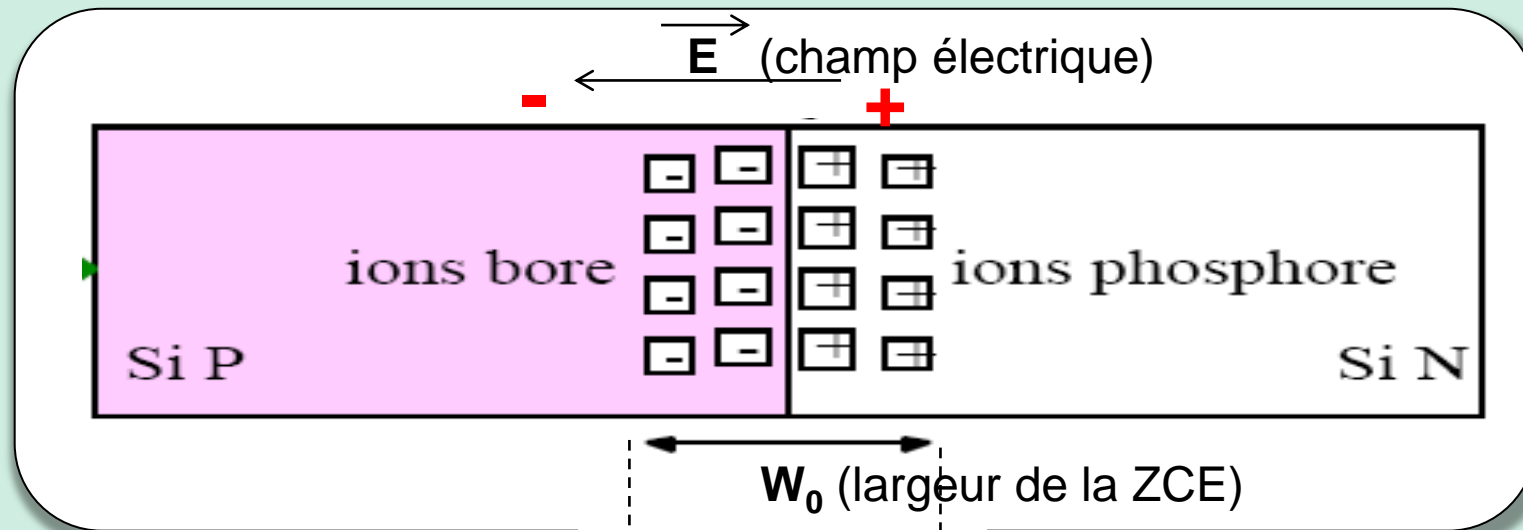
Mais les atomes, eux, sont fixes

→ créent des zones chargées - et +

La réunion de ces deux zones s'appelle la zone de « **charges d'espace, ZCE** », de largeur W_0
Il se crée, dans cette ZCE, un **champ électrique, dirigé** de + vers -

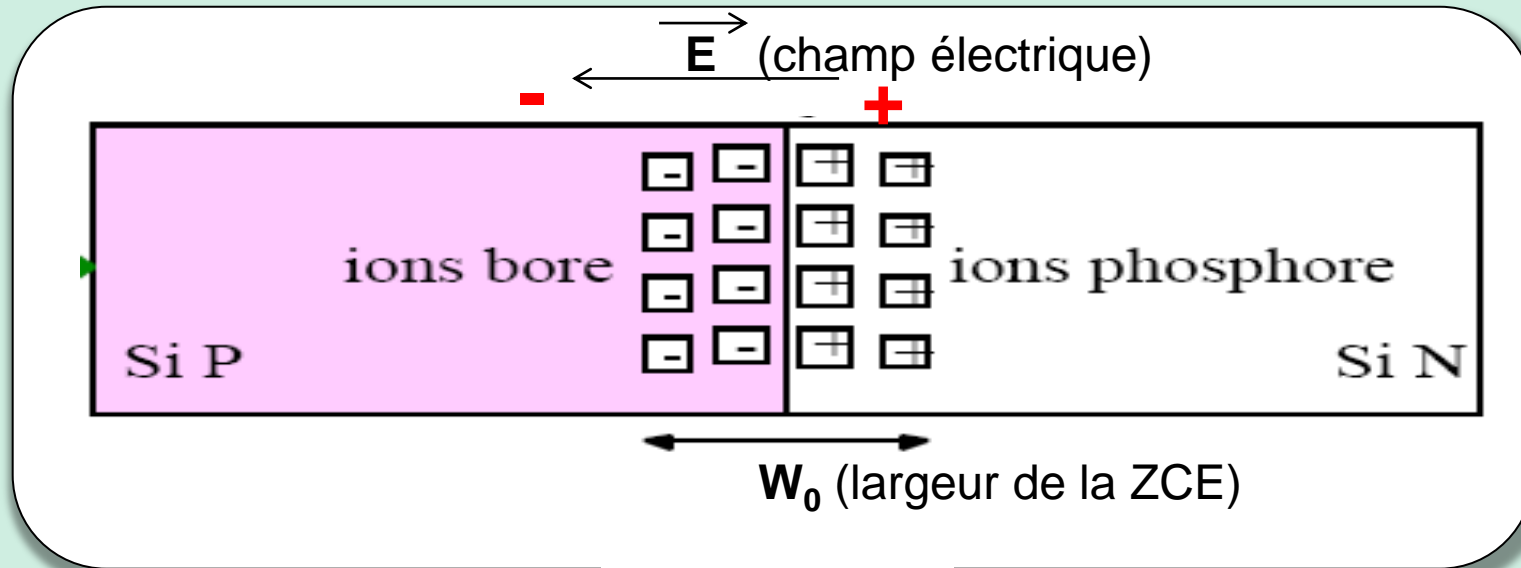


a. La jonction PN en court-circuit :



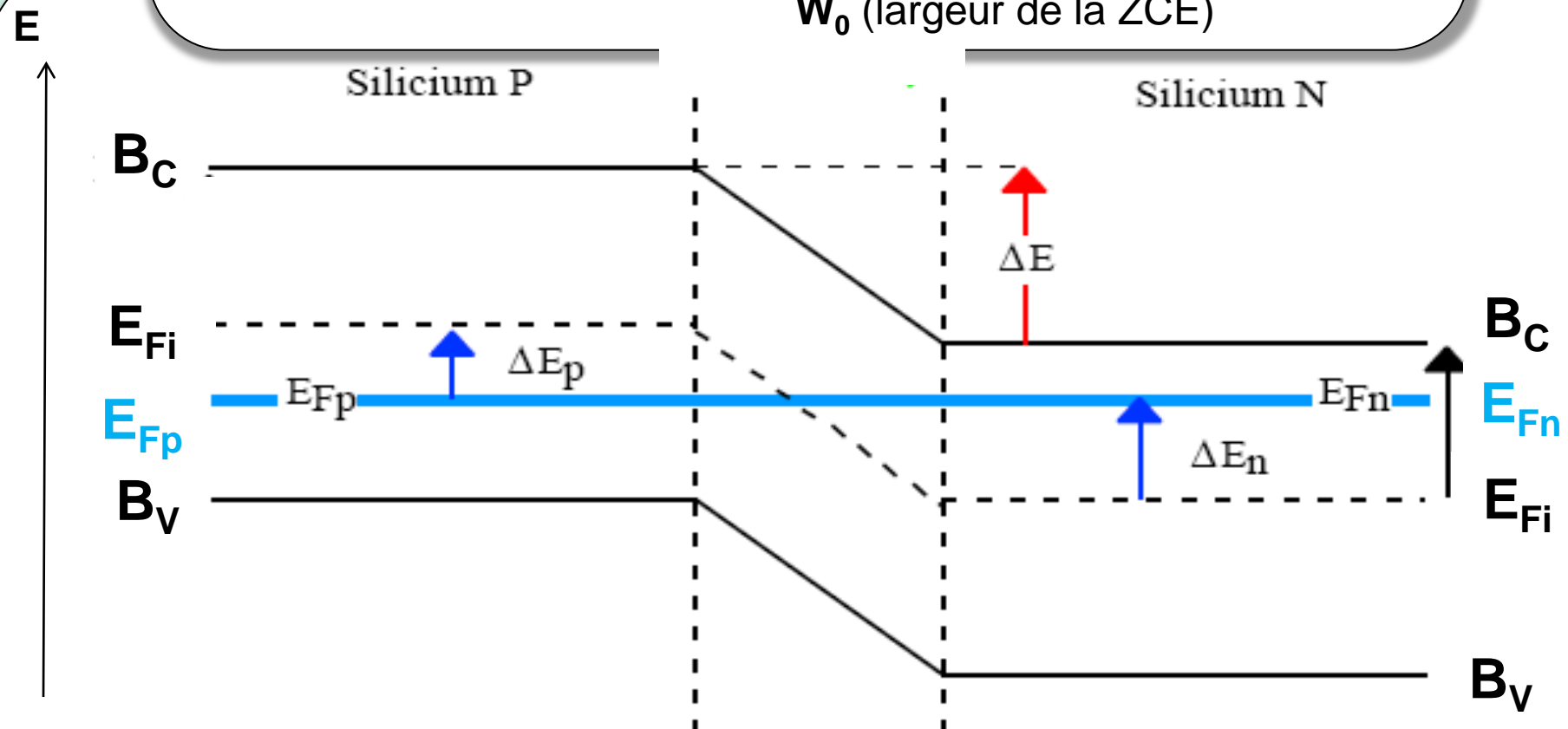
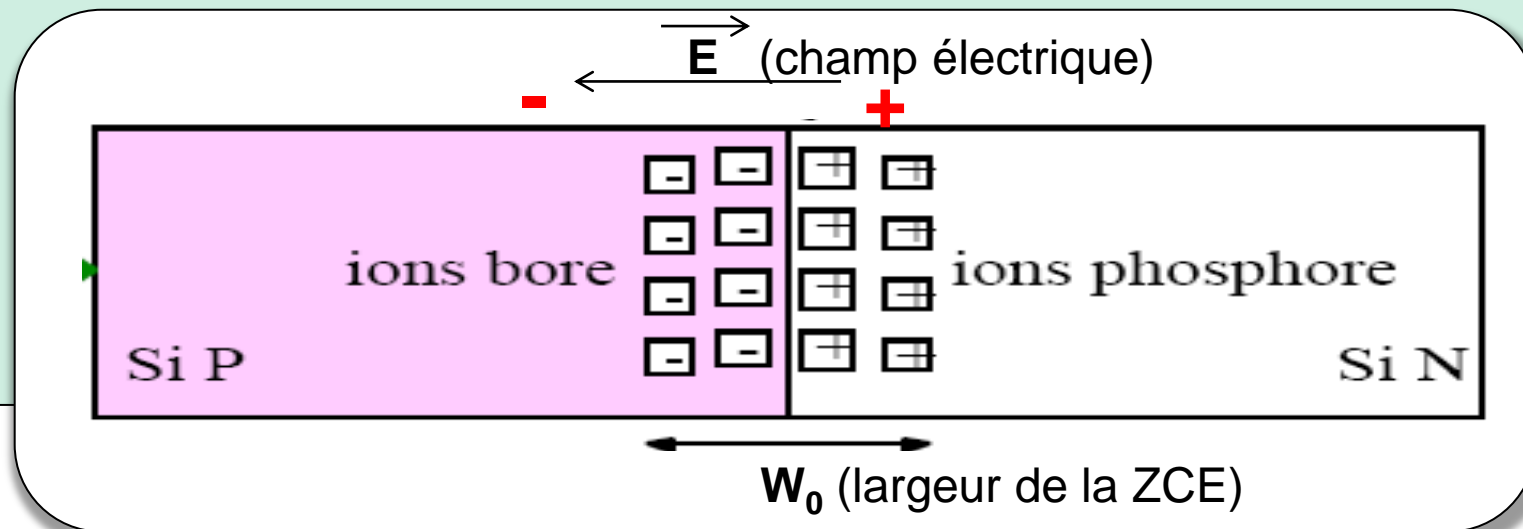
Que se passe-t-il, en terme d'énergie, dans la ZCE ?

a. La jonction PN en court-circuit :



les 2 niveaux de Fermi (E_{Fp} et E_{Fn})
s'égalisent.

a. La jonction PN en court-circuit :



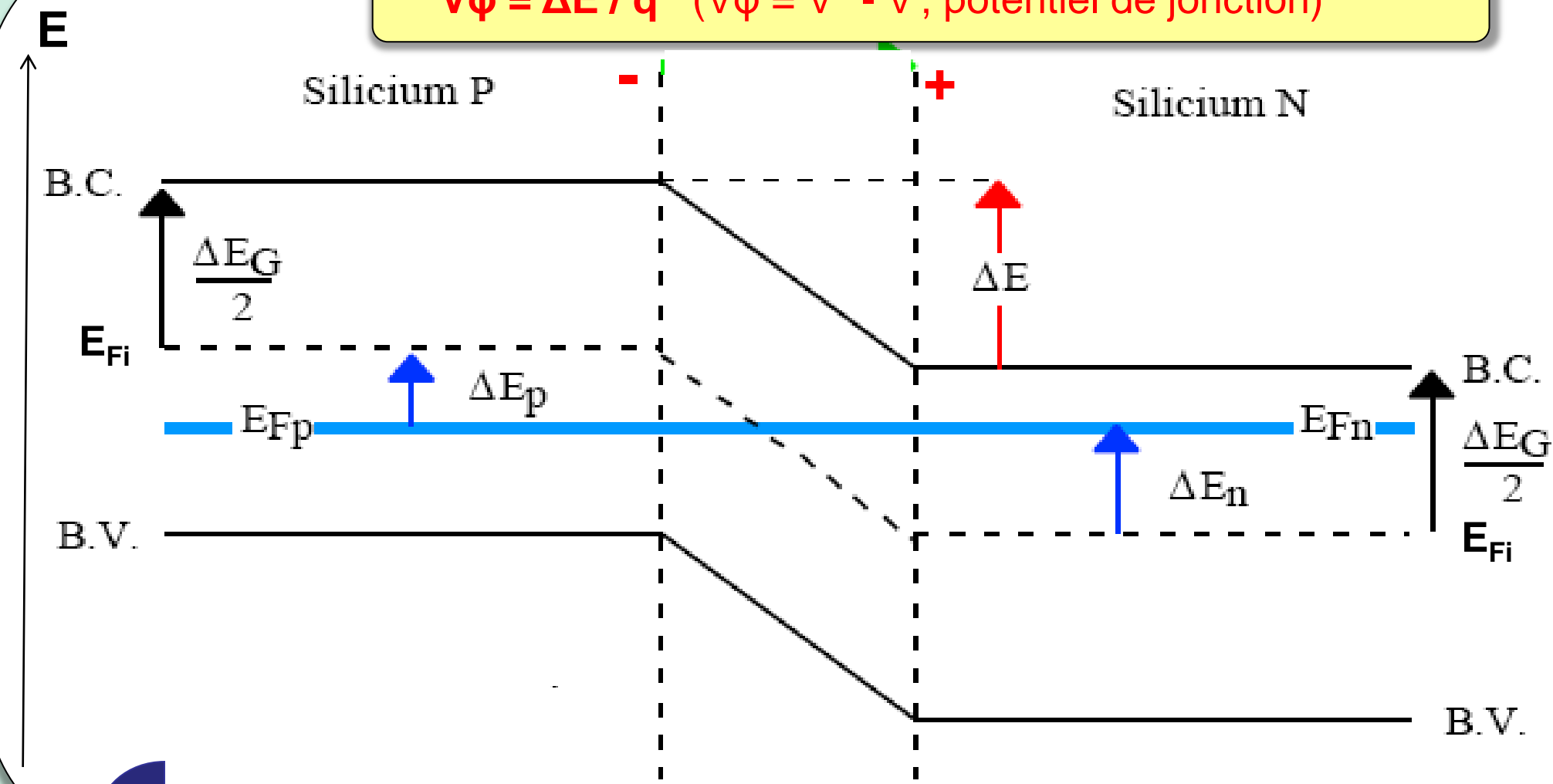
La zone p “monte” tandis que la zone n “descend”

Les deux parties (P et N) ne sont **plus à la même énergie potentielle**.

La zone N est tjrs + basse en énergie que la zone P.

L'écart dépend des dopages respectifs.

$$V\phi = \Delta E / q \quad (V\phi = V^+ - V^-, \text{ potentiel de jonction})$$



On établira les relations entre ΔE , $V\phi$, n et p en TD

Détails des courants :

La présence d'un champ implique une **différence de potentiel**, nommée $V\Phi$, donc une **barrière d'énergie** $qV\Phi$

Il y a alors **2 phénomènes** :

1- Un courant dû aux porteurs majoritaires

I_M (les e^- d'énergie $> E_c$ sautent, ainsi que les h^+ d'énergie $< E_v$)

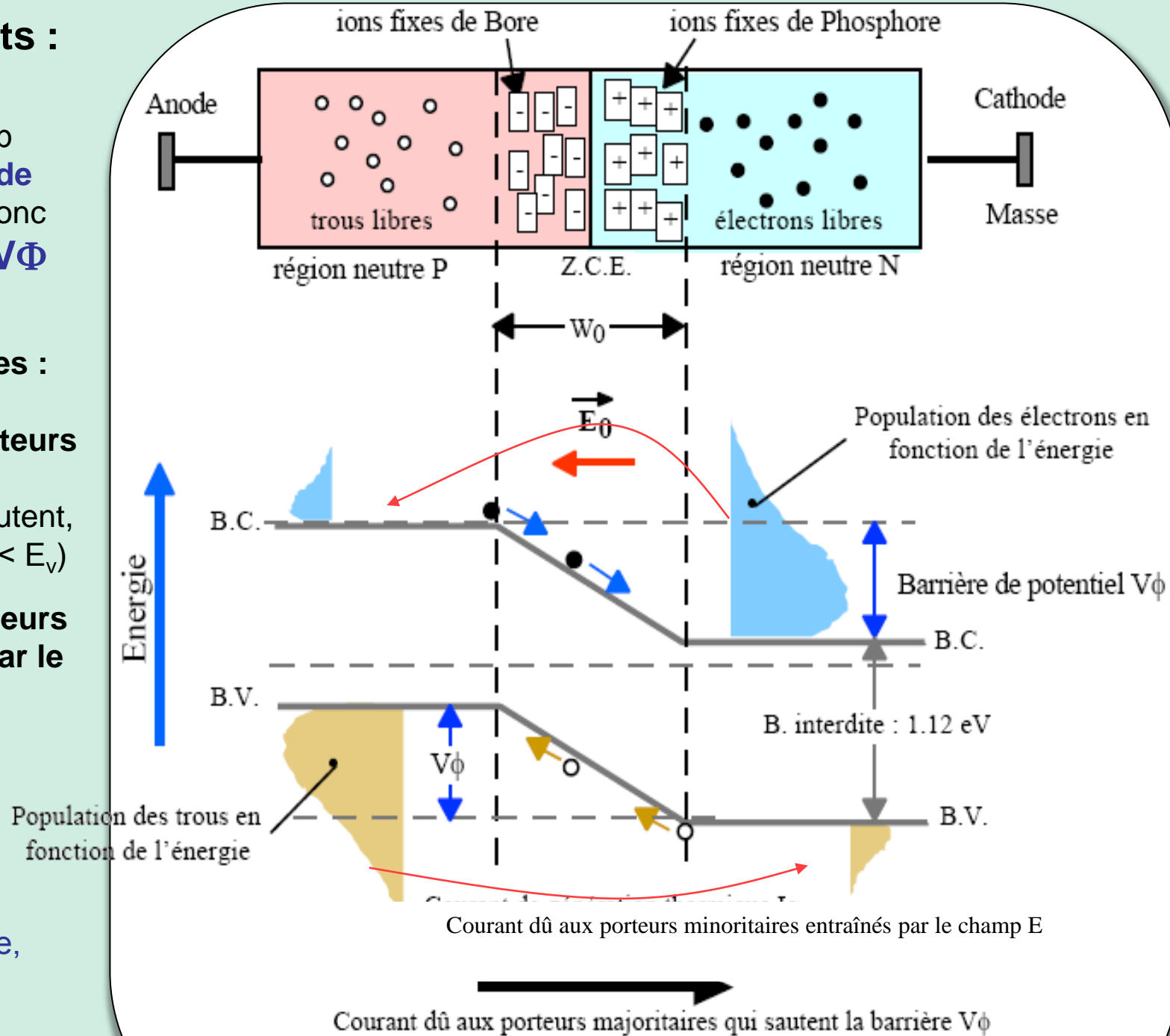
2- Un courant dû aux porteurs minoritaires entraînés par le champ électrique

I_m

Ces 2 courants se compensent. A l'équilibre,

$$I_t = I_M + I_m = 0$$

$$I_M = I_0 \exp\left(-\frac{V\Phi}{U_T}\right) \text{ avec } U_T = kT/e$$



b. La jonction PN en polarisation inverse :

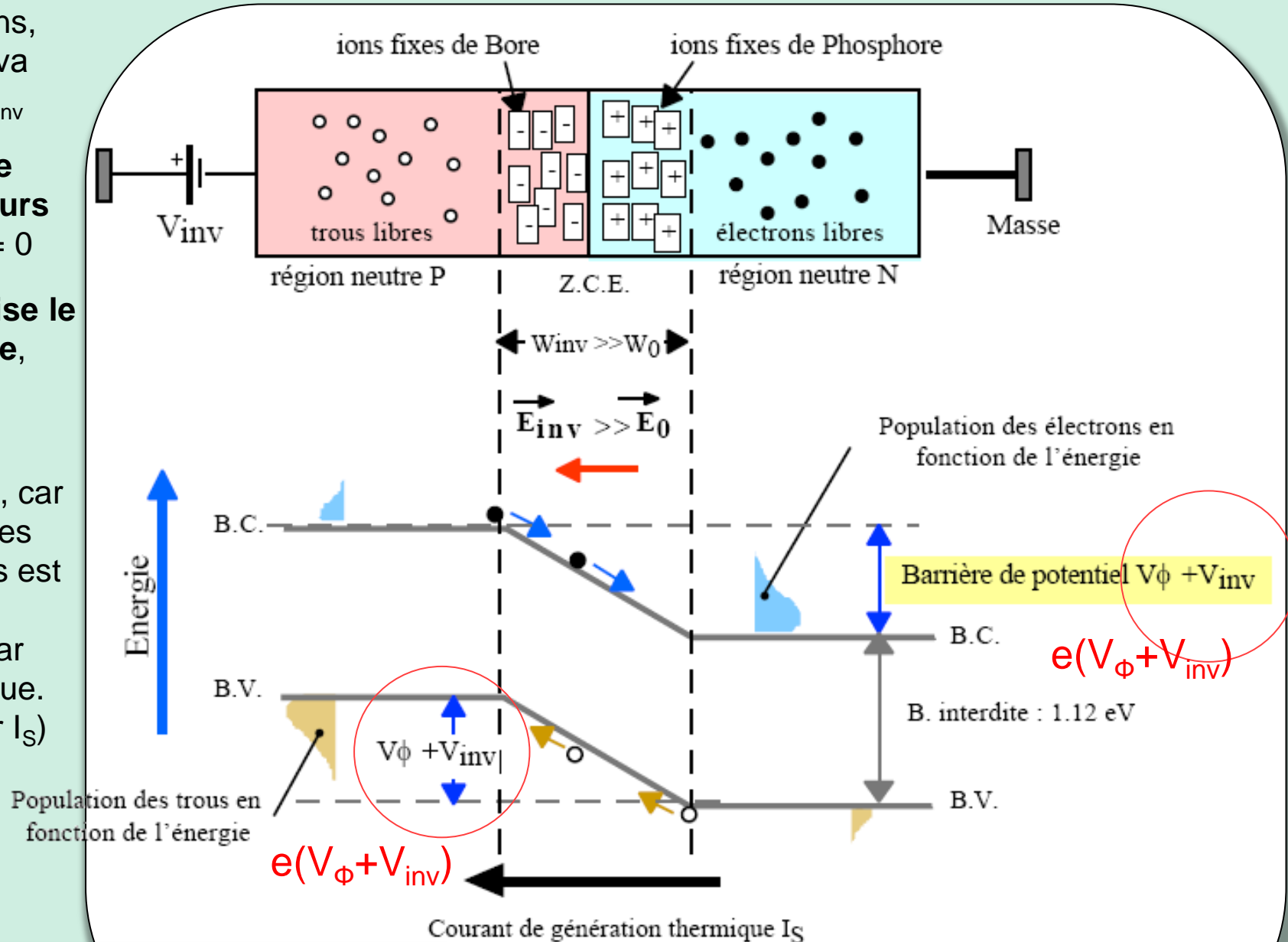
Revient à imposer un potentiel V_{inv} + à droite, et - à gauche (donc un champ E_{inv})

Dans ces conditions,
l'énergie à droite va
descendre de eV_{inv}

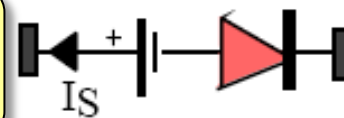
On défavorise le
courant des porteurs
majoritaires : $I_M = 0$

Par contre, on favorise le
courant de dérive,
puisque
 $E = E_0 + E_{inv}$.

Mais I est très faible, car
la concentration des
porteurs minoritaires est
limitée
par leur arrivée par
génération thermique.
 $I_m + I_s = 0$ (limité par I_s)



$$I_s = AT^3 \exp\left(-\frac{E_g}{kT}\right) (I_s \text{ prop. à } n_i^2)$$



Courant inverse de
saturation

c. La jonction PN en polarisation directe :

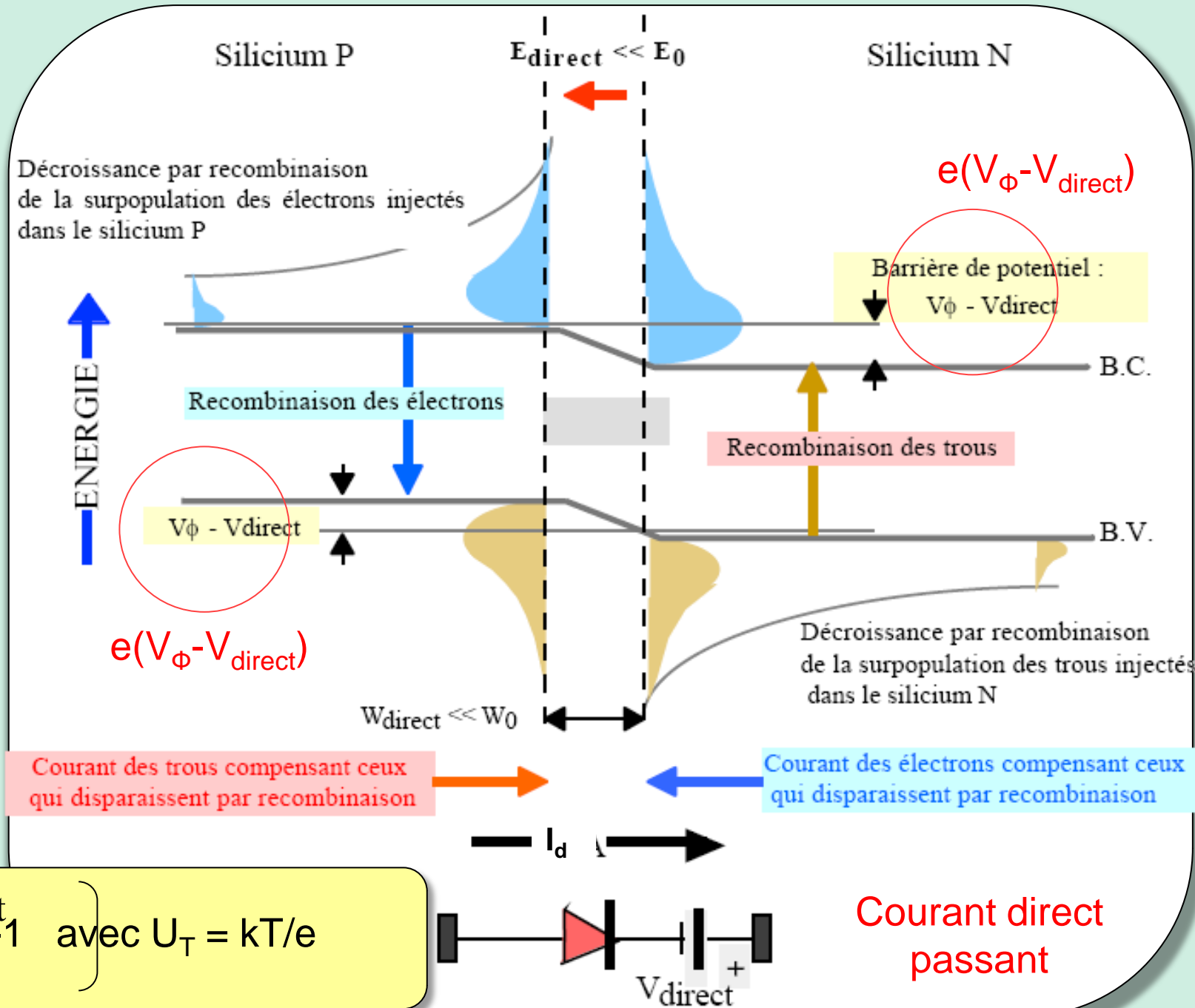
Revient à imposer un potentiel V_{direct} - à droite, et + à gauche (donc un champ E_{direct})

Cette fois-ci, l'action du champ renforce la polarisation interne.

La barrière de potentiel est bcp. + basse. De nbx. porteurs majoritaires passent dans « le camp adverse ».

Dans ce cas, ils se recombinent immédiatement. Cette recombinaison consomme les porteurs.

Il y a alors diffusion, pour compenser cette consommation.



$$I_d = I_s \left[\exp \left(- \frac{V_{\text{direct}}}{U_T} \right) - 1 \right] \text{ avec } U_T = kT/e$$

B. Les transistors

1. Double jonction NPN : le transistor bipolaire

NPN : correspond à la juxtaposition de 2 jonctions PN, tête-bêche

a. Représentation schématique

Schéma "physique"

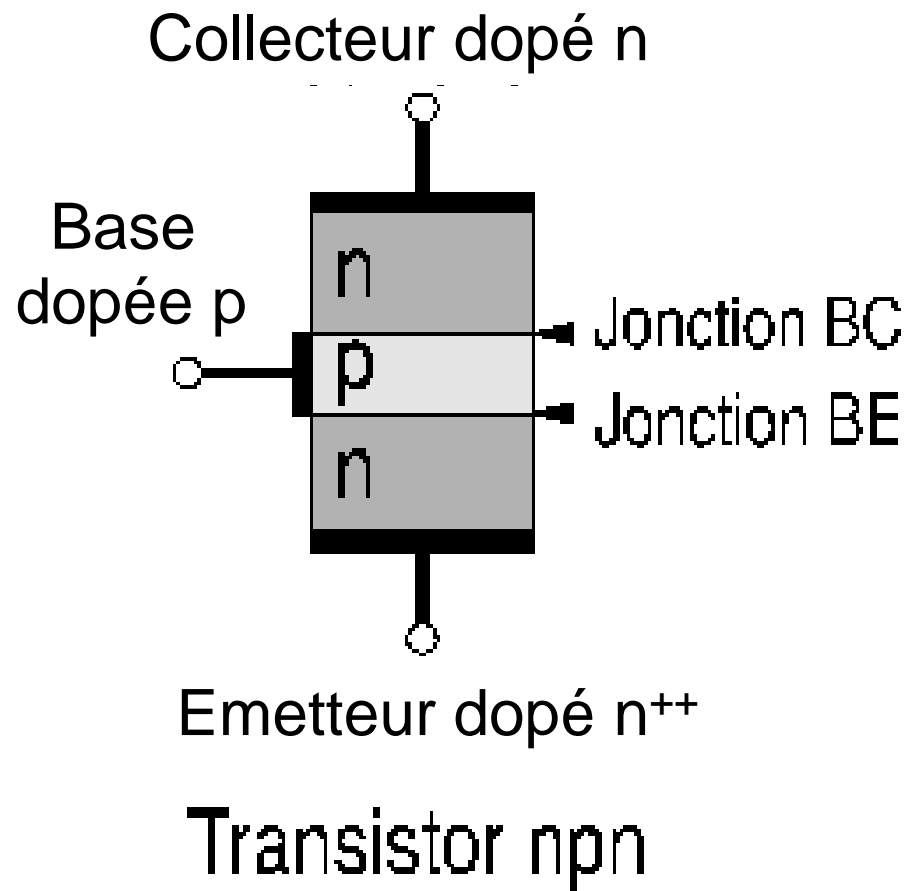
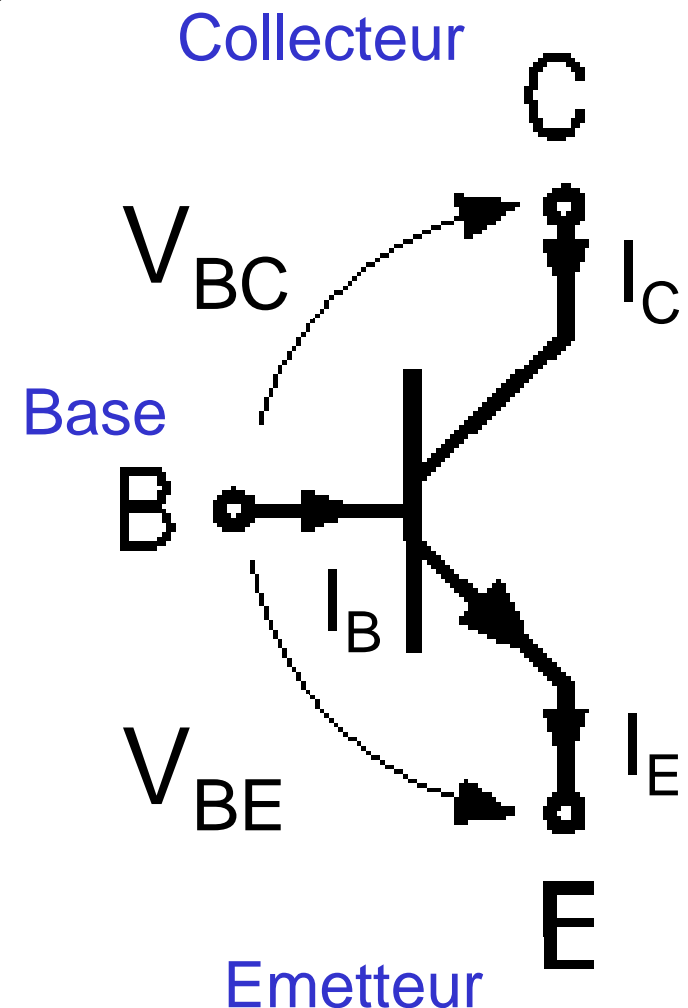


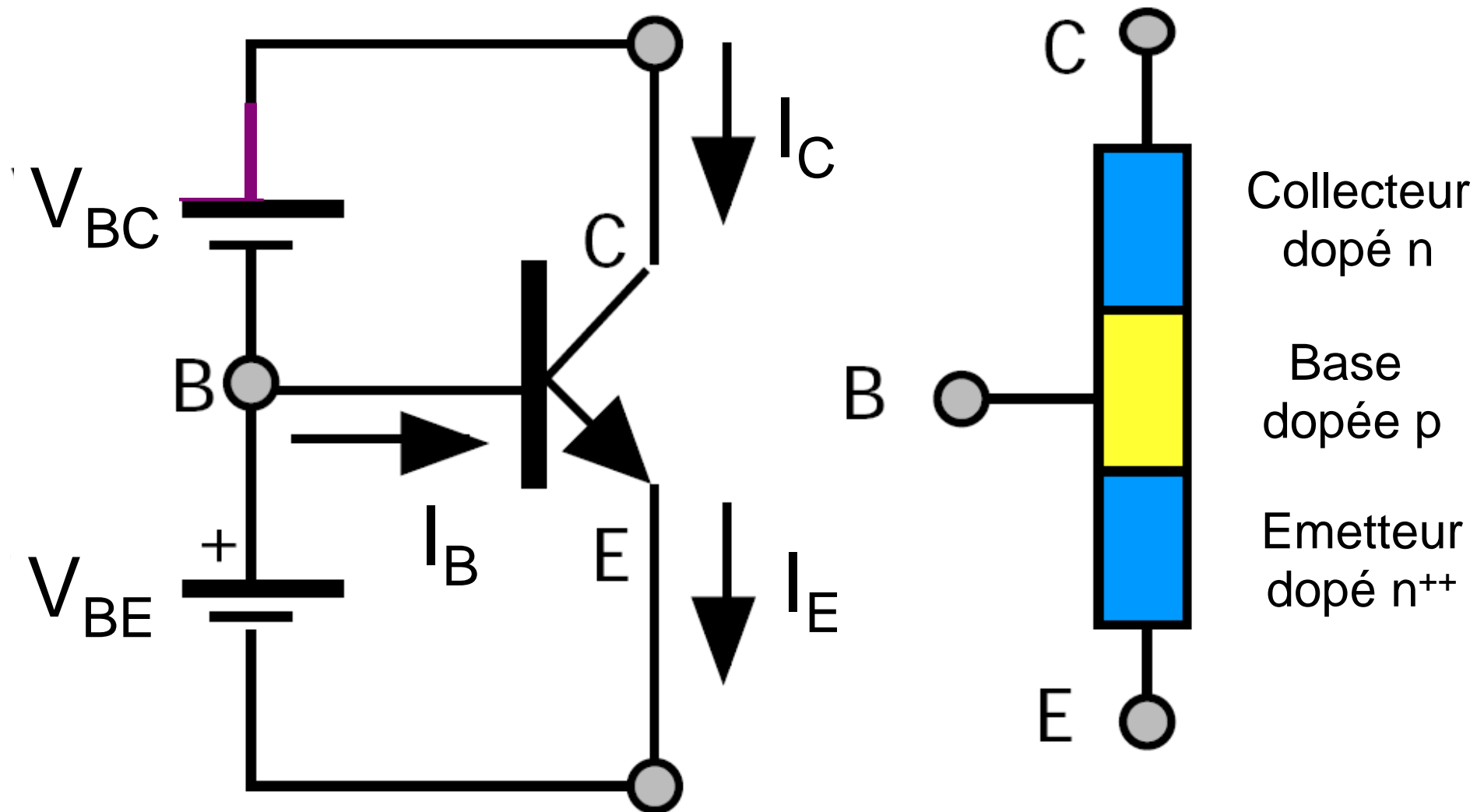
Schéma "électronique"



b. Fonctionnement

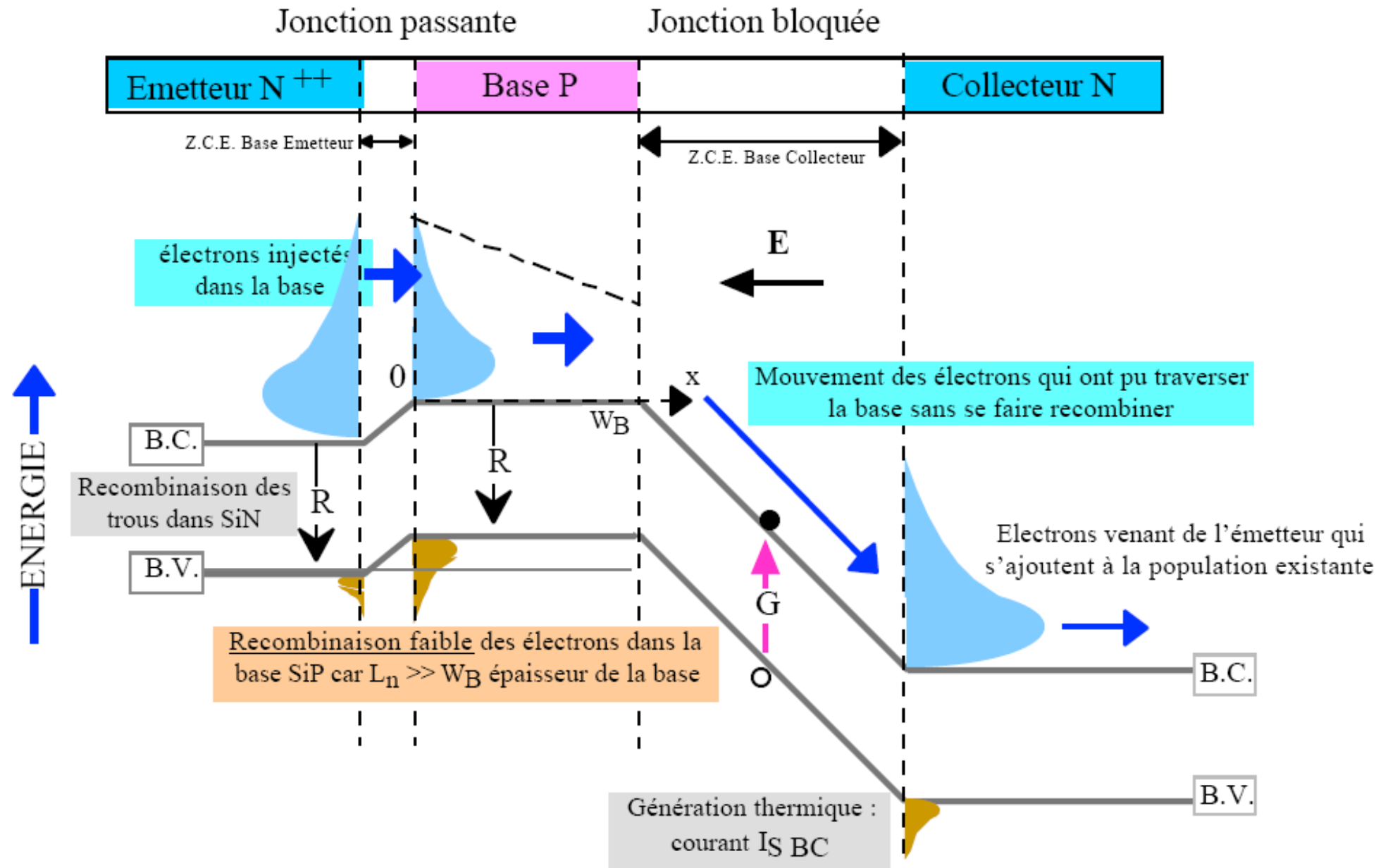
Ex : jonction BE directe ($V_{BE} > 0$), et jonction BC inverse ($V_{BC} < 0$ ou $V_{CB} > 0$)

Dans ce cas : du courant rentre dans le collecteur et dans la base, et ressort par l'émetteur.



c. Explications énergétiques

Ex : jonction BE directe ($V_{BE} > 0$), et jonction BC inverse ($V_{BC} < 0$ ou $V_{CB} > 0$)



$I_{S BC}$ courant inverse de saturation de la jonction B C (base – collecteur)

d. Approche calculatoire

Le courant à l'émetteur I_E provient des électrons injectés dans la base.

Le courant au collecteur I_C provient des électrons qui ont traversé la base sans se faire recombinaison.

Ainsi, $I_C < I_E$ puisque une partie est recombinaison en passant dans la base.

S'ajoute le courant venant de la base I_{SBC}

On peut alors écrire :

$$I_E = I_C + I_B$$

$$I_C = \alpha I_E + I_{SBC}$$

$\alpha < 1$: coefficient de transfert en courant

Donc, $I_E = \alpha I_E + I_{SBC} + I_B$

$$I_E = \alpha I_E + I_B \quad \text{si on néglige } I_{SBC} \text{ (très faible)}$$

$$I_E (\alpha - 1) = I_B$$

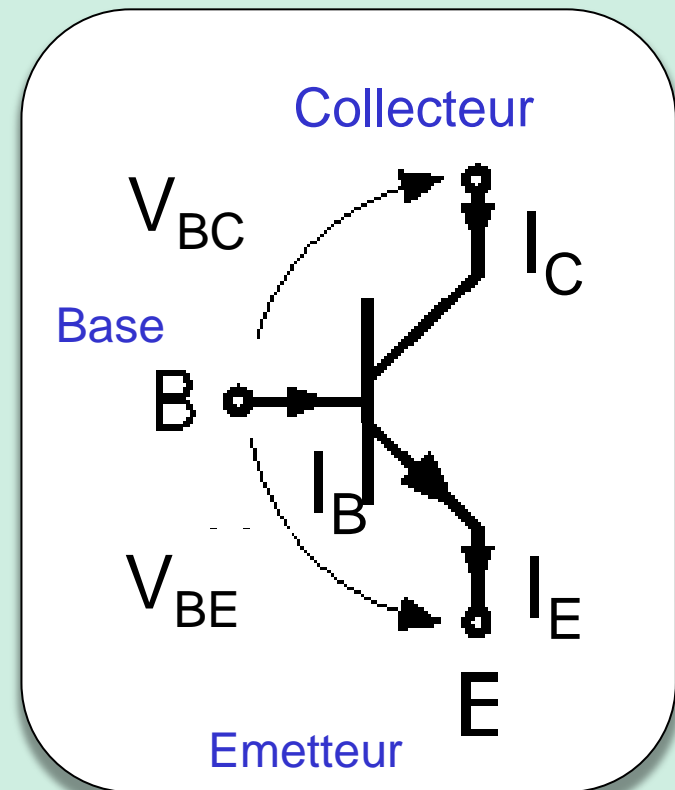
$$I_E = 1/(\alpha - 1) I_B$$

Soit $I_E = \beta I_B$ avec $\beta = 1/(\alpha - 1)$

Puisque α est proche de 1,
 β est grand (100 ou 1000)

Le transistor amplifie donc le courant de base d'un facteur β , dans l'émetteur.

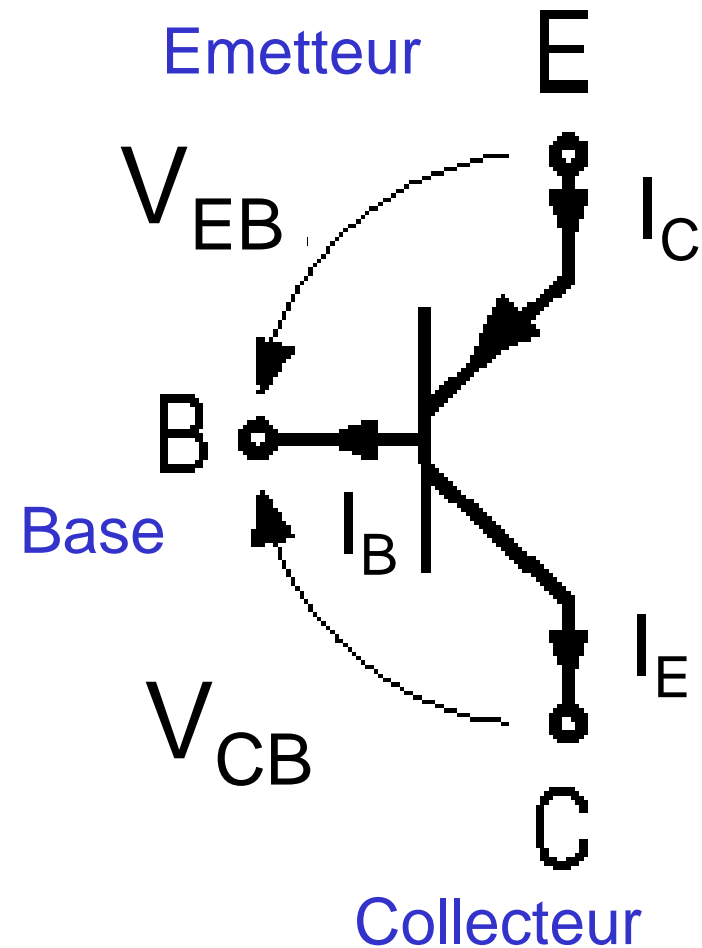
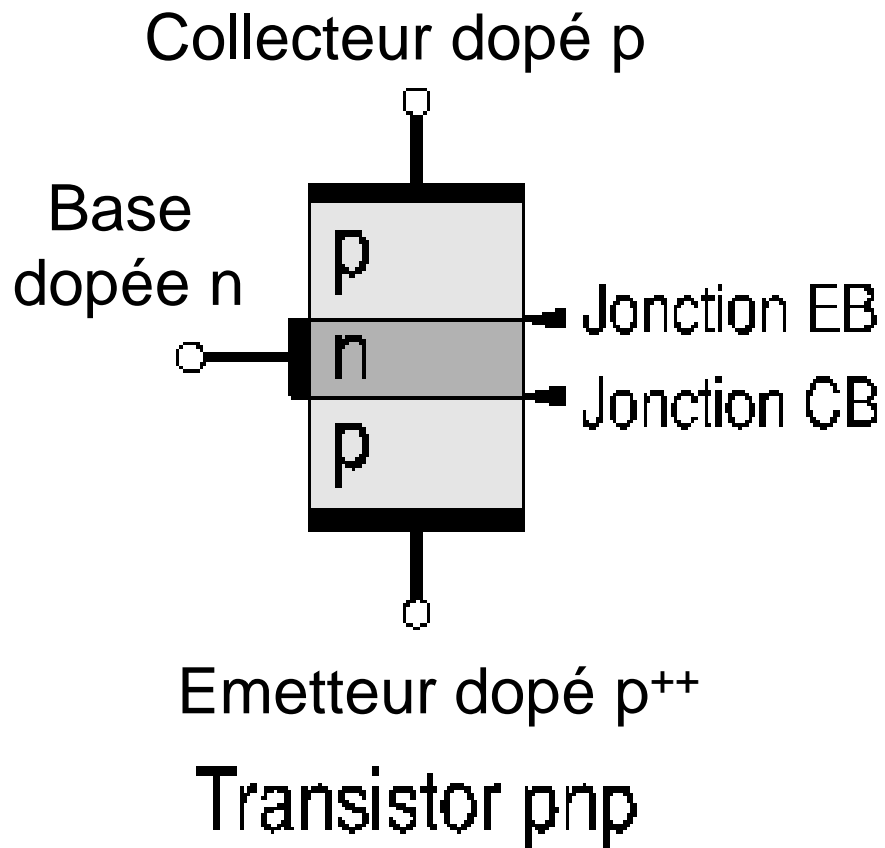
La base pilote l'émetteur.



e. Configuration PNP

Ex : jonction BE inverse ($V_{BE} < 0$), et jonction BC directe ($V_{CB} < 0$)

Dans ce cas : du courant rentre dans l'émetteur, et ressort par la base et par le collecteur.



Le PNP est strictement inverse au NPN.

f. Leurs inconvénients et leur remplaçant

Les transistors bipolaires (NPN et PNP) sont aujourd'hui peu utilisés.

- Trops gros
- Trops lents (met en jeu 2 types de porteurs : les e^- et h^+)
- Trops chers

On leur préfère maintenant les **transistors unipolaires (FET)**

FET = Field Effect Transistor (ne met en jeu **qu'1 seul type de porteur, n ou p**)

Il existe de nbx. types de FET. Le + répandu : le **MIS (Metal-Insulator-Semicon)**

En techno Si : MOS (Metal – Oxide – Semicon)

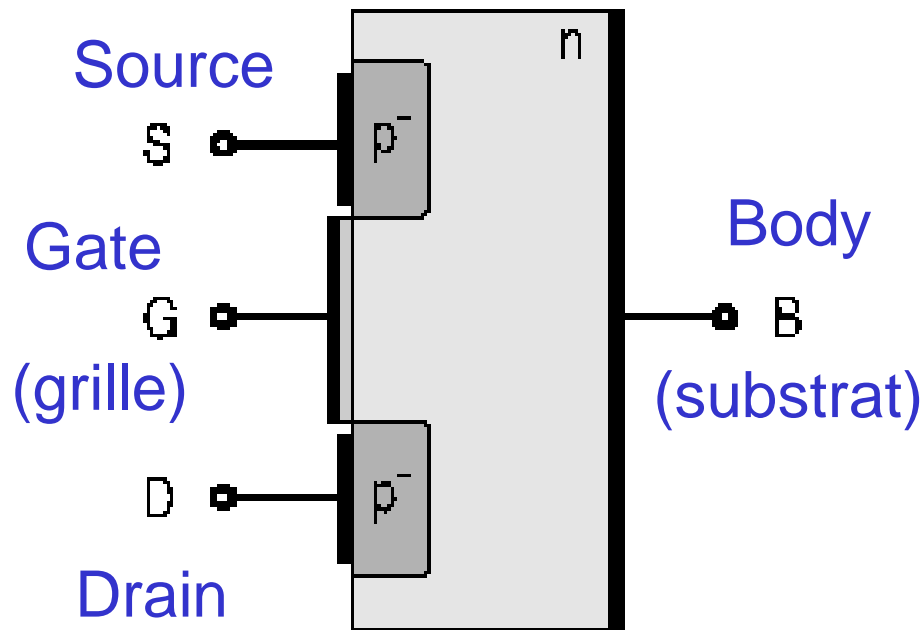
Oxyde : SiO_2 (oxyde de silicium / silicon oxide
(gap SiO_2 vers 9 eV : très bon isolant)

2. Le transistor unipolaire (FET)

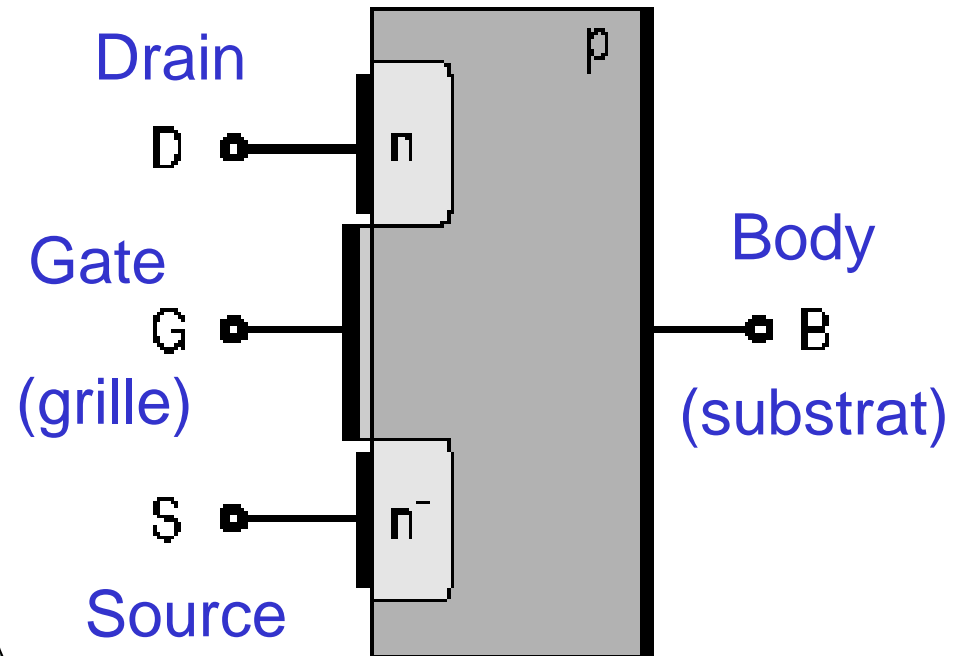
Autrement appelé : **transistor à effet de champ**

a. Représentation “physique”

pMOS



nMOS



A noter : le pMOS est sur substrat n / le nMOS sur substrat p

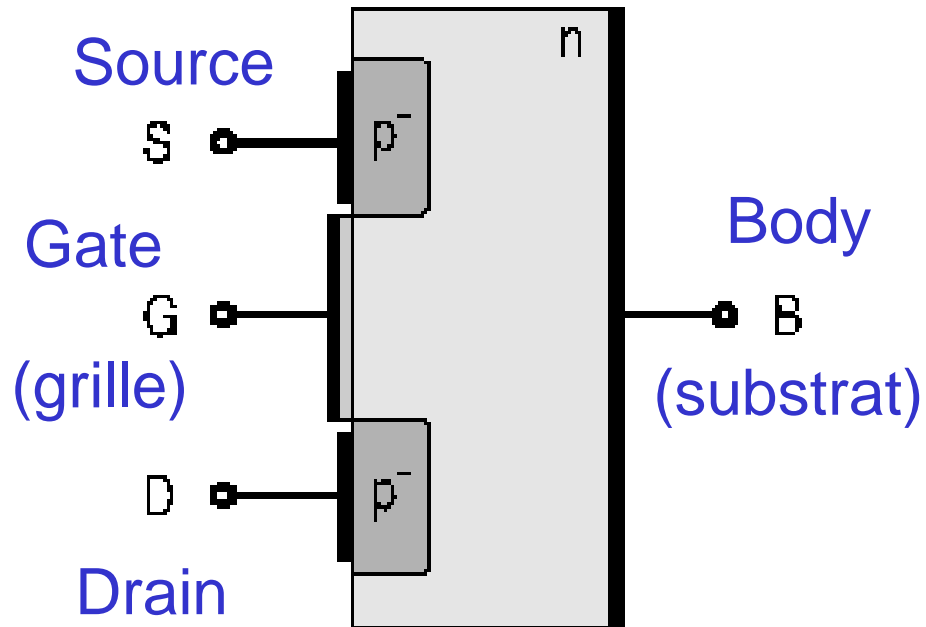
pMOS : MOS à canal p / nMOS : MOS à canal n



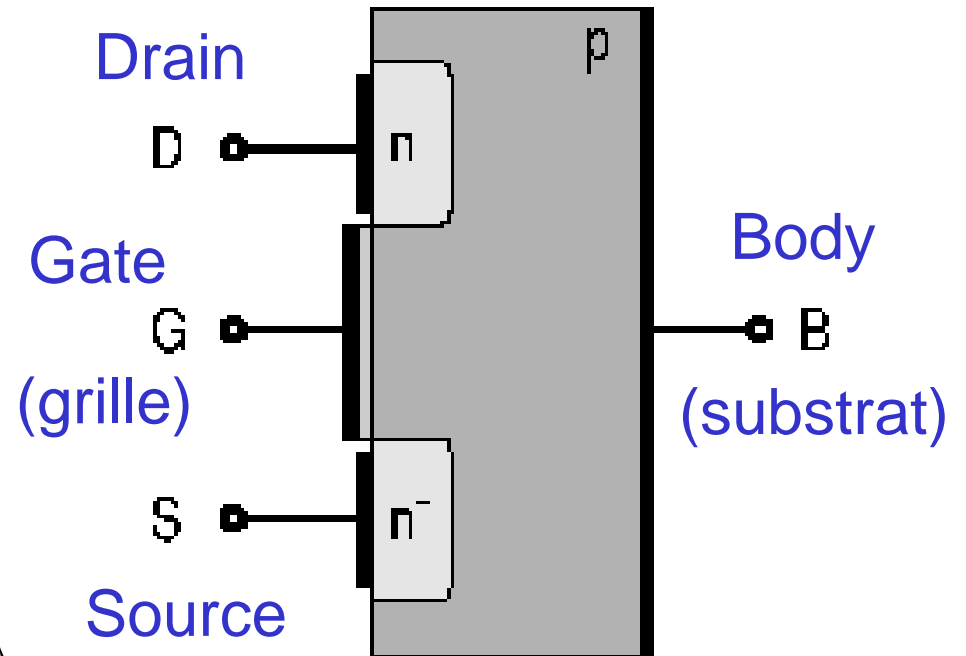
Voir le fonctionnement ci-après

Comment faire pour que Source et Body, ou Drain et Body, ne soient pas en court-circuit ??

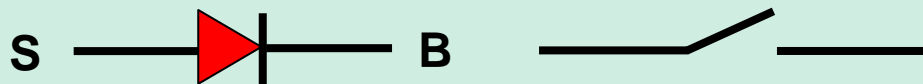
pMOS



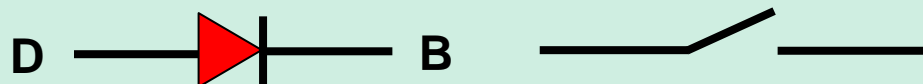
nMOS



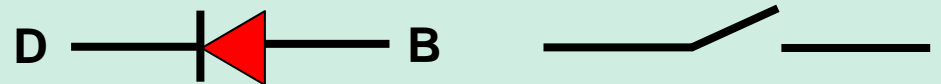
$$V_{SB} = 0$$



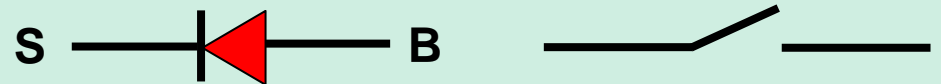
$$V_{DB} < 0$$



$$V_{DB} > 0$$

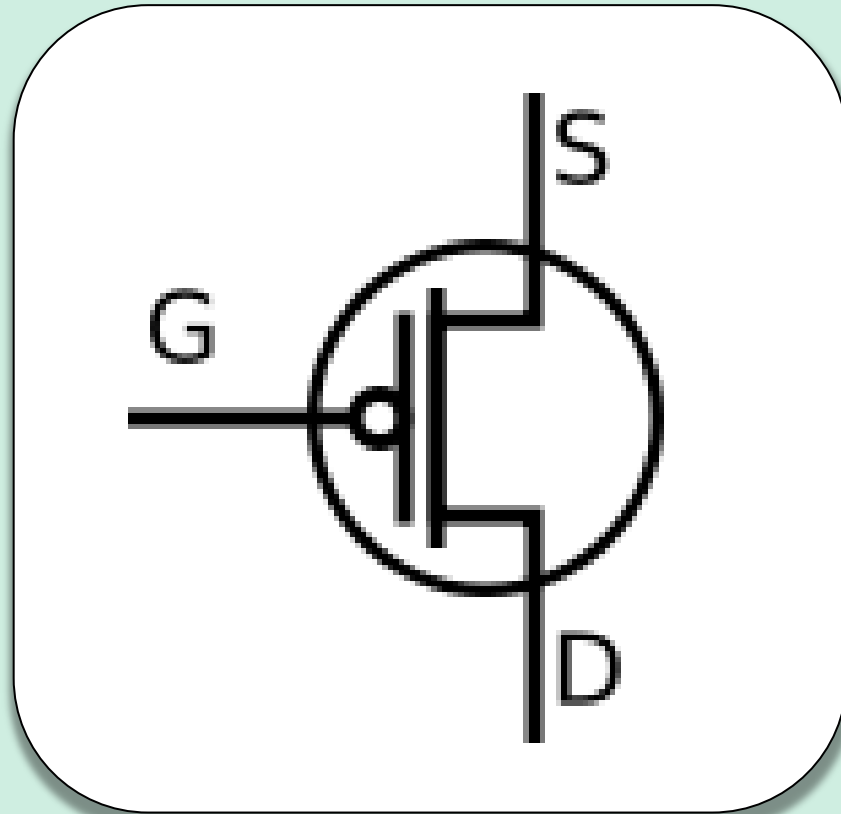


$$V_{SB} = 0$$

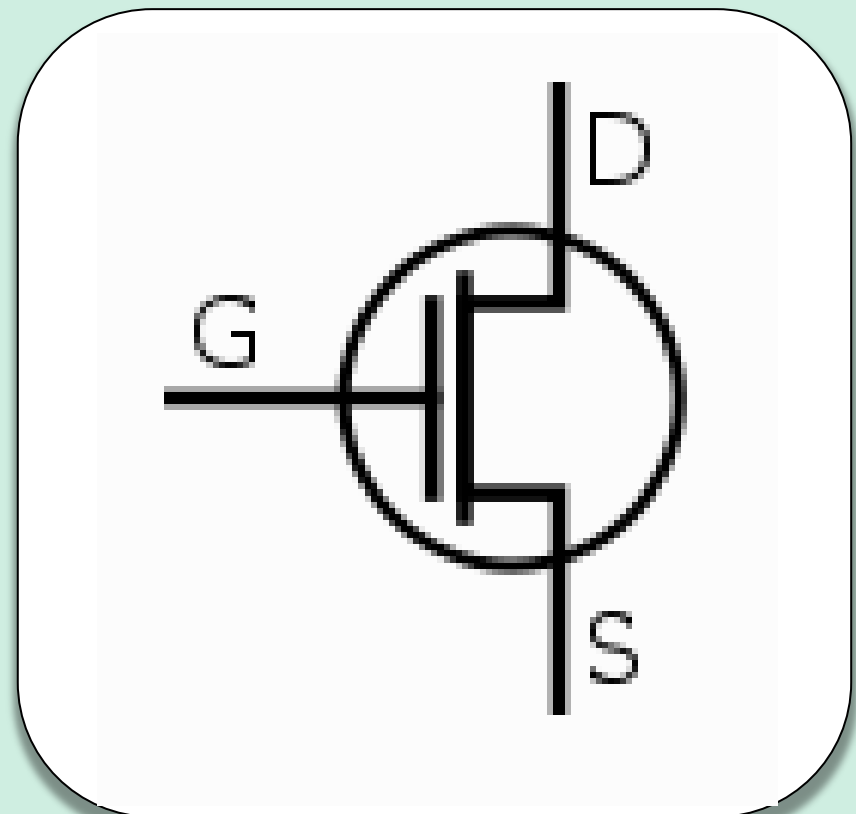


b. Représentation schématique

pMOS (pFET)



nMOS (nFET)



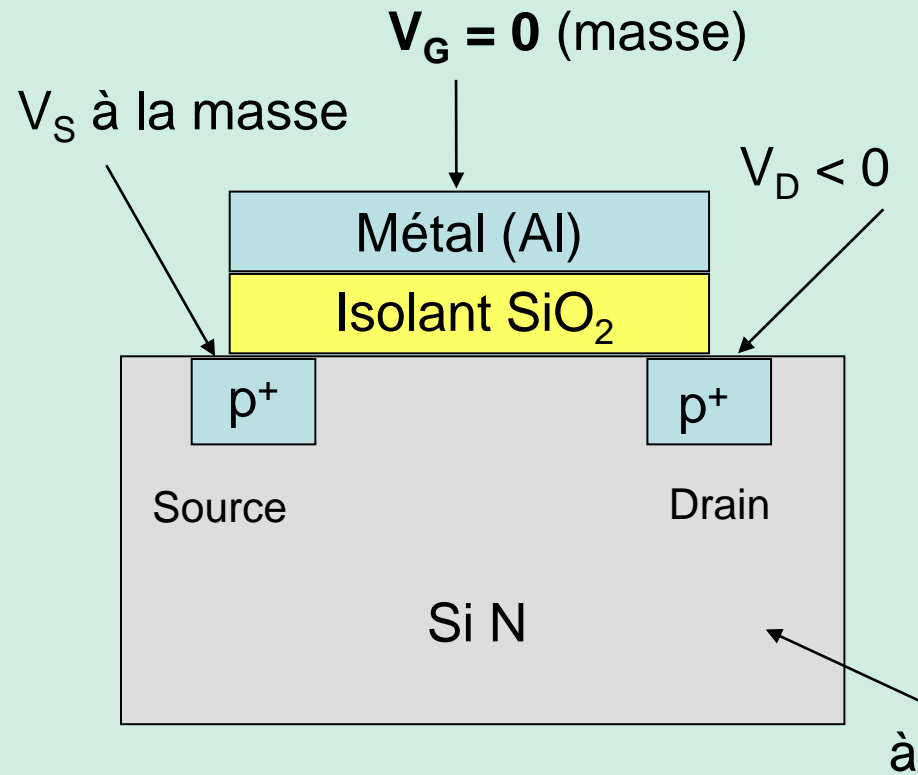
Les représentations d'un pMOS et d'un nMOS ne diffèrent que par la présence d'un “petit rond” au niveau de la Grille.

Mais attention, leur fonctionnement est strictement inversé.

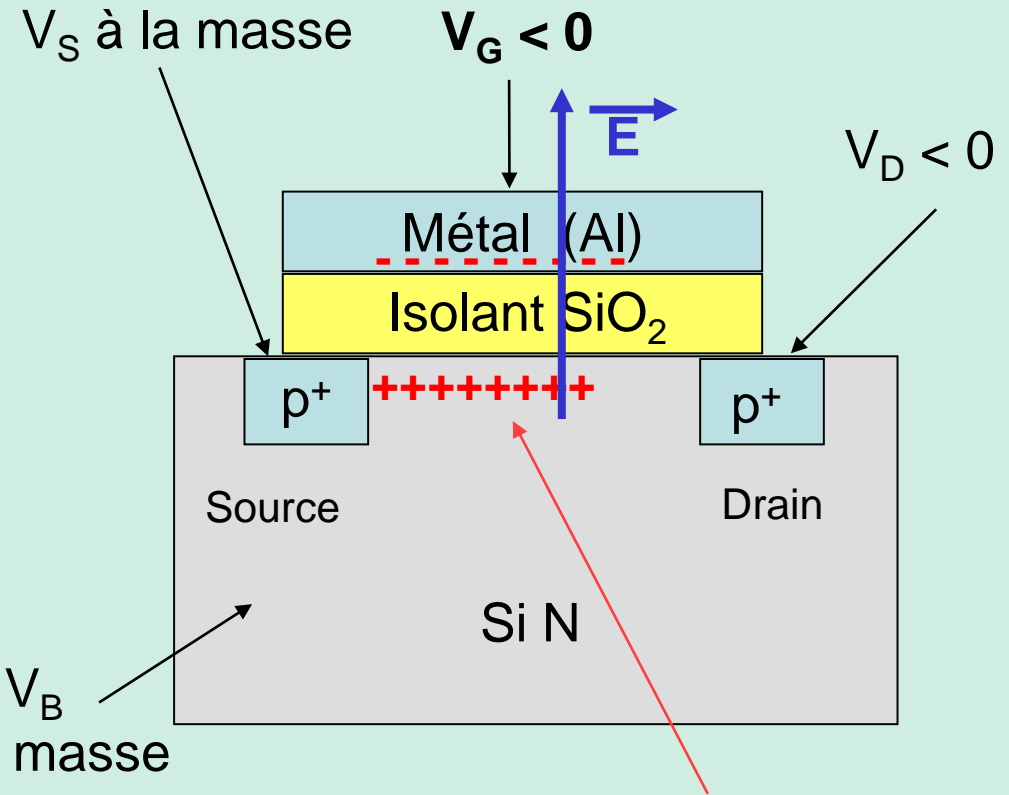
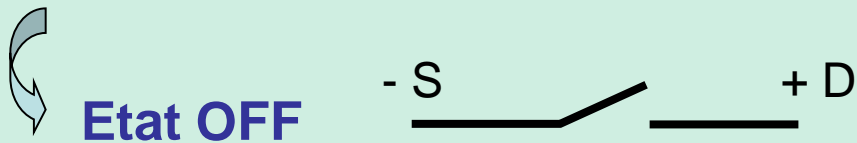
c. Fonctionnement

Représentation par les charges piégées

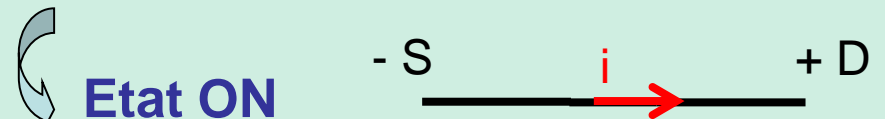
(exemple d'un **pMOS** (pFET))



La diode P⁺N source-substrat est polarisée en inverse → pas de courant



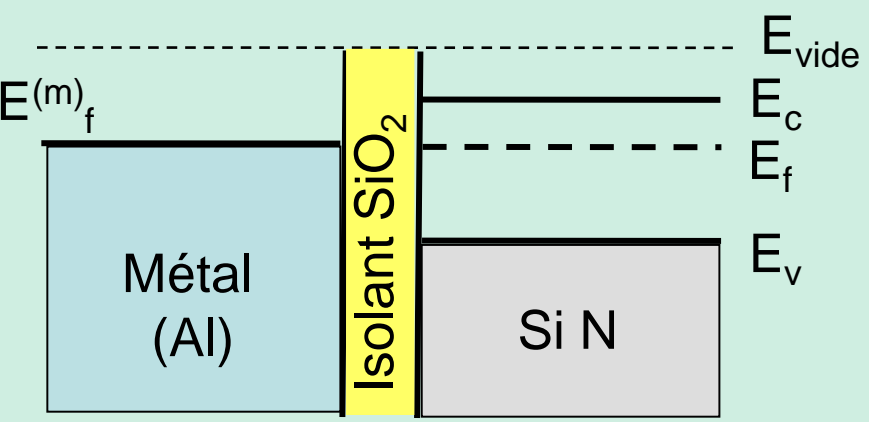
Zone peuplée P par inversion



Le courant circule de S vers D

Représentation énergétique

A partir du schéma énergétique : → Notion de **courbure de bande**

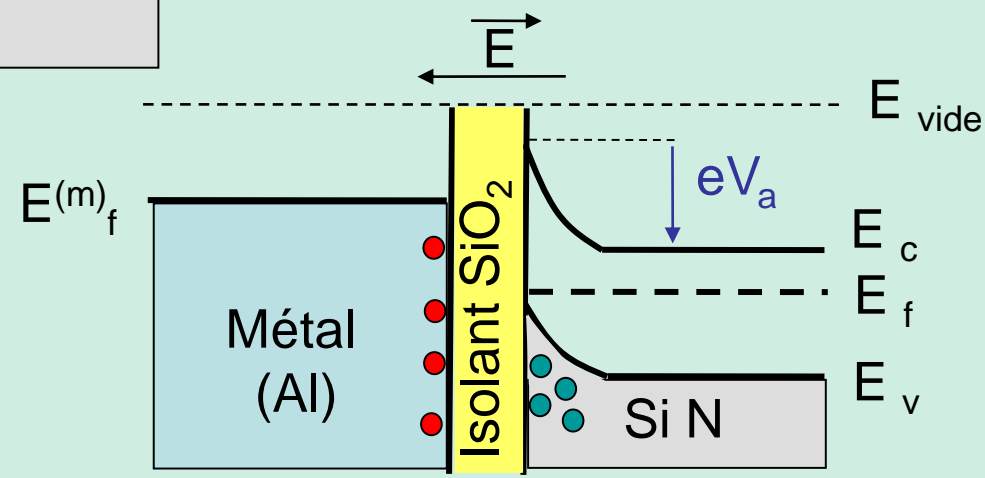


Sans polarisation, aucun phénomène particulier.
Mais, si on applique une tension V_a entre le **métal** et le **semiconducteur**, les bandes vont **bouger**.

(ici, on maintient le métal à la masse, et on applique une tension positive sur le silicium)

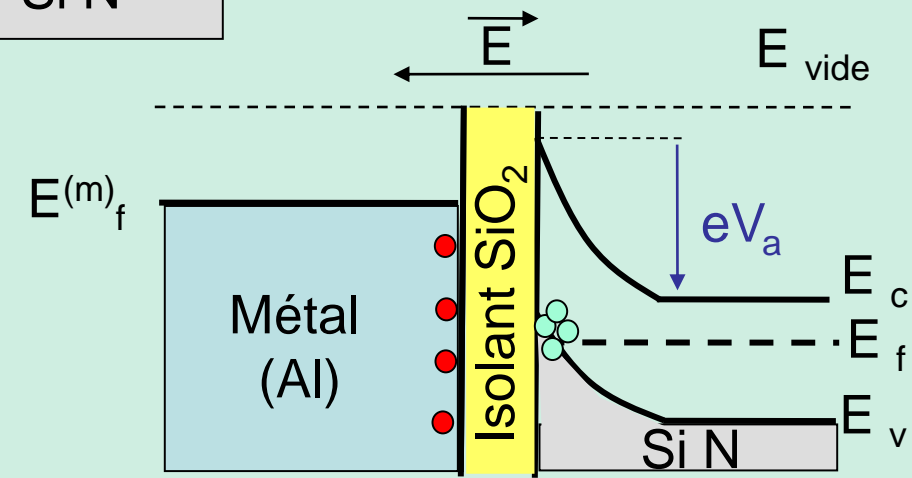
On applique $+V_a$

-
- ion +
 - électron

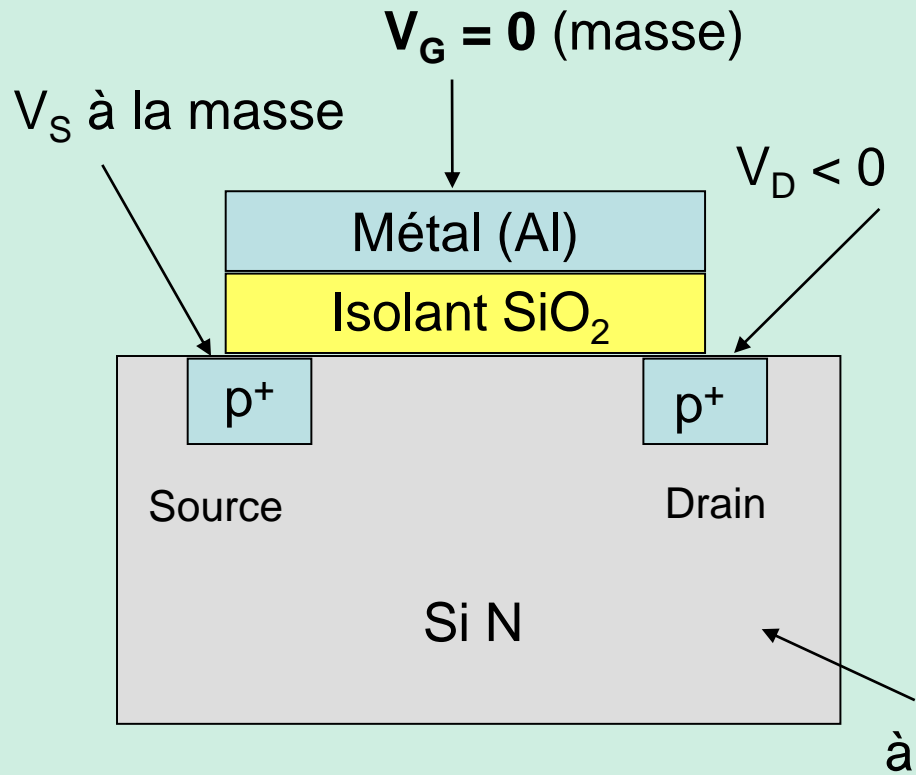


Si on augmente la polarisation, Il se crée une **inversion** → ● trou

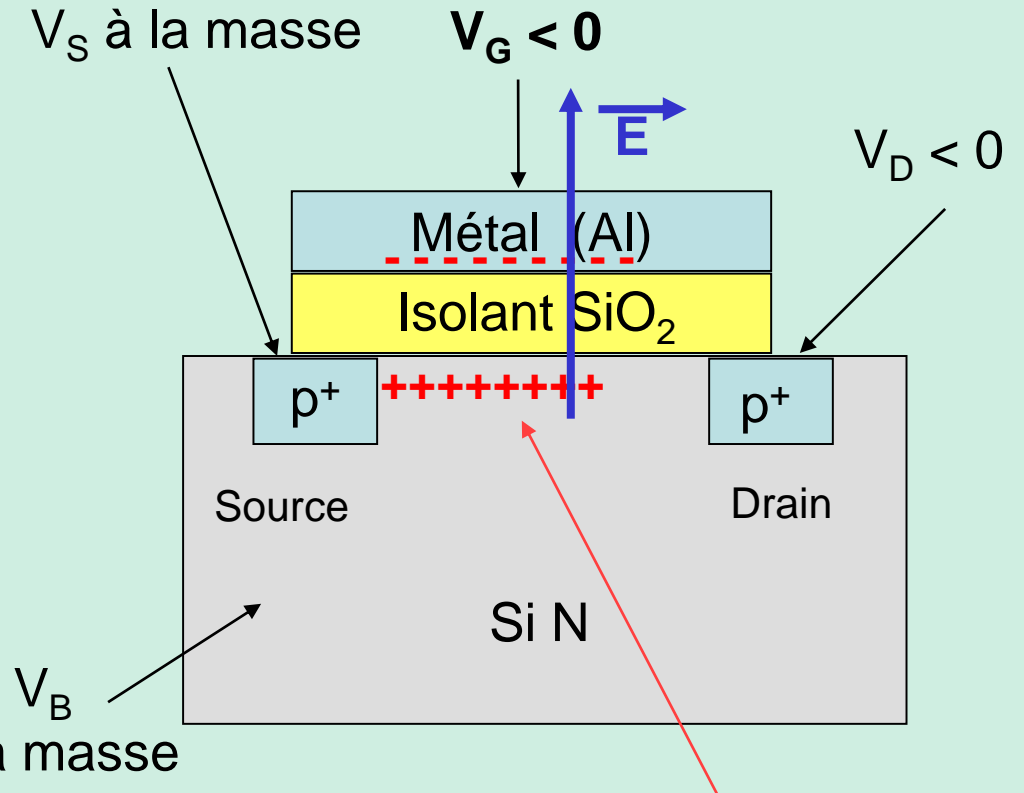
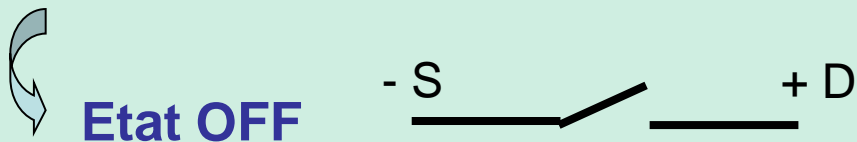
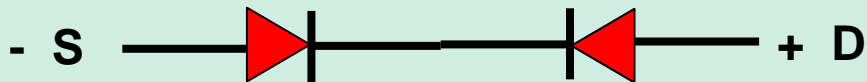
(trous dans la BV puisque $E_f < E_v$)
sorte de dopage P dans du Si N



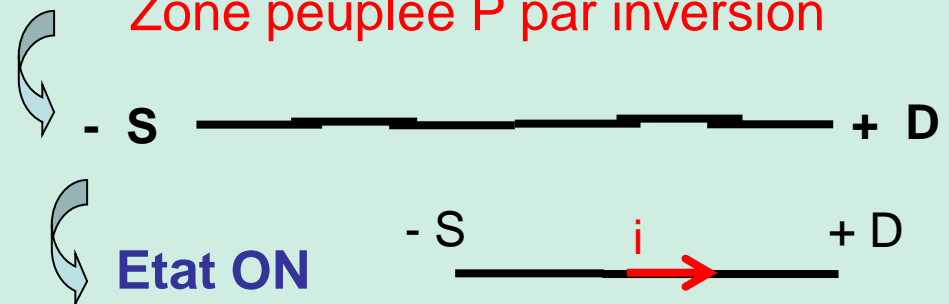
Les deux “représentations théoriques” conduisent aux mêmes effets :
(exemple d'un pMOS)



La diode P+N source-substrat est polarisée en inverse \rightarrow pas de courant

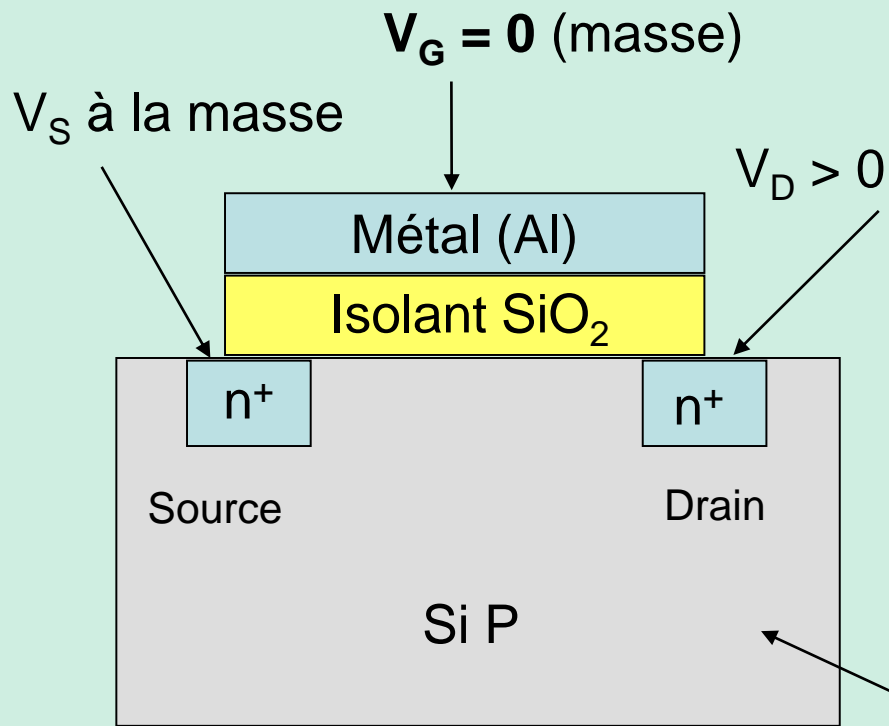


Zone peuplée P par inversion

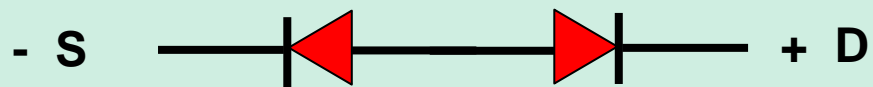


Le courant circule de S vers D

Prenons maintenant l'exemple d'un **nMOS** (nFET)

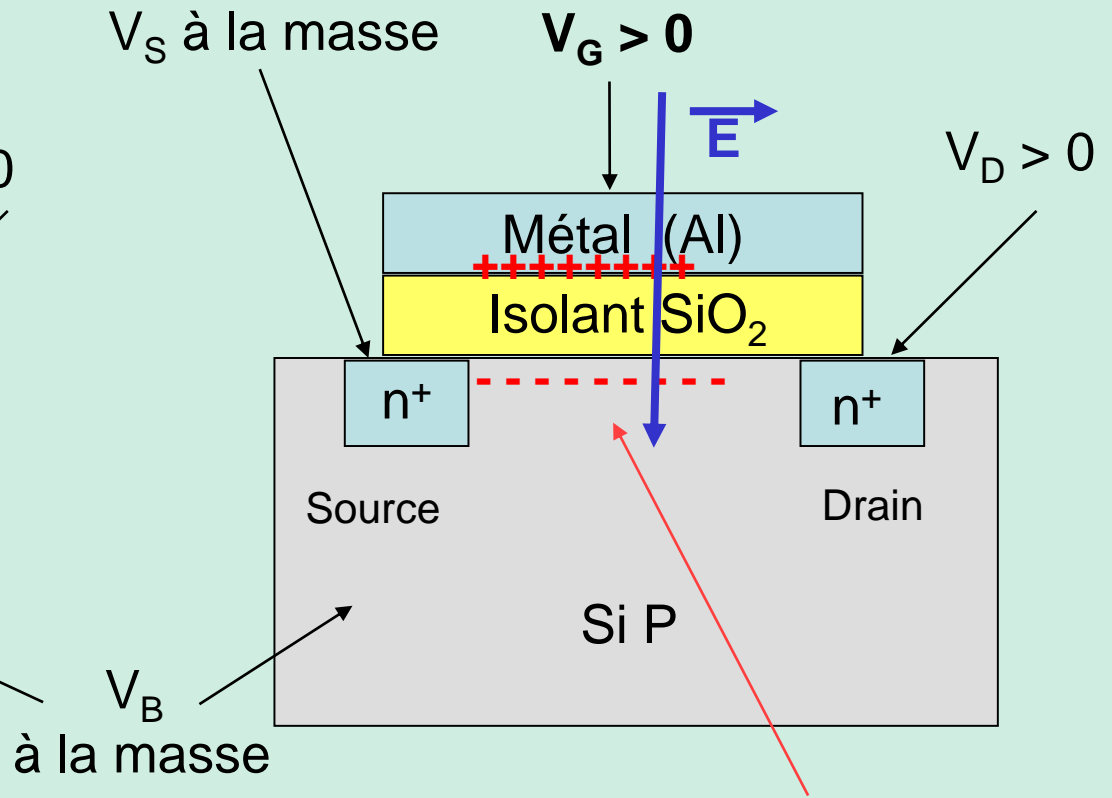


La diode P+N source-substrat est polarisée en inverse \rightarrow pas de courant



Etat OFF

A switch symbol representing an open switch, indicating no current flow between the source and drain.



Zone peuplée N par inversion

Circuit symbol for the ON state of an nMOS transistor. It shows a direct connection between the source (S) and drain (D) terminals. The source is labeled -S and the drain is labeled +D.

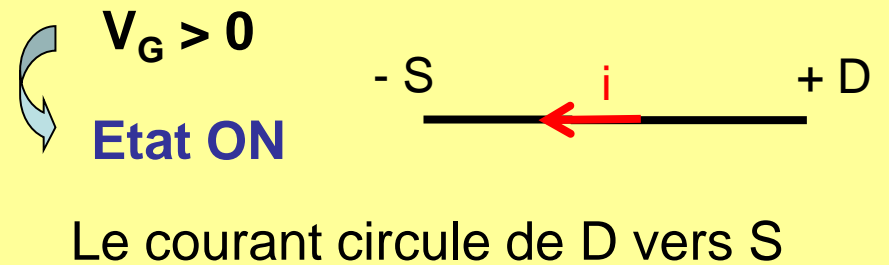
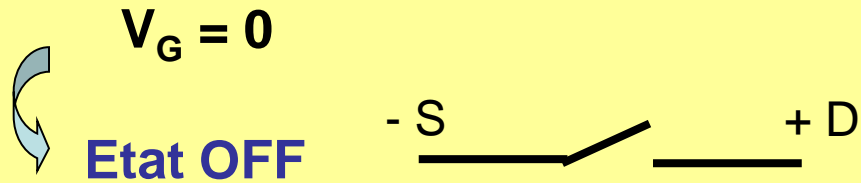
Etat ON

A switch symbol representing a closed switch, indicating current flow between the source and drain.

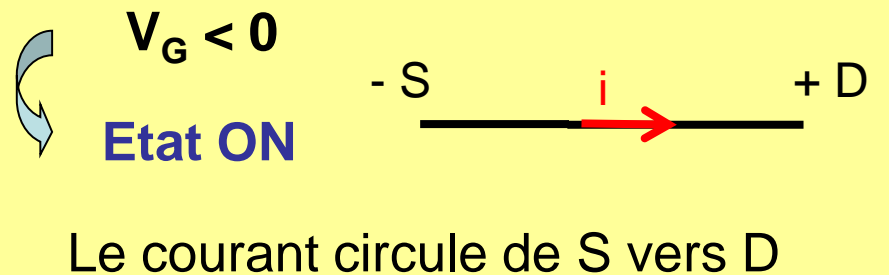
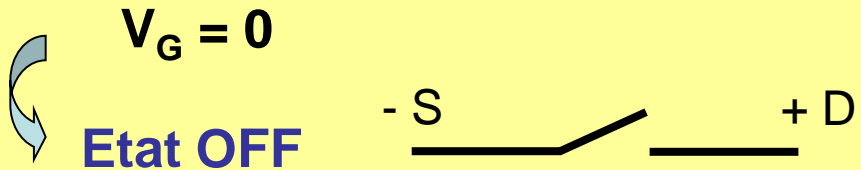
Le courant circule de D vers S

Pour résumer :

Pour un nMOS (nFET)



Pour un pMOS (pFET)



Type	Grille	Etat
nMOS	$V_G = 0$ ou < 0	Off
	$V_G > 0$	On
pMOS	$V_G = 0$ ou > 0	Off
	$V_G < 0$	On

d. Exemple d'application : portes logiques

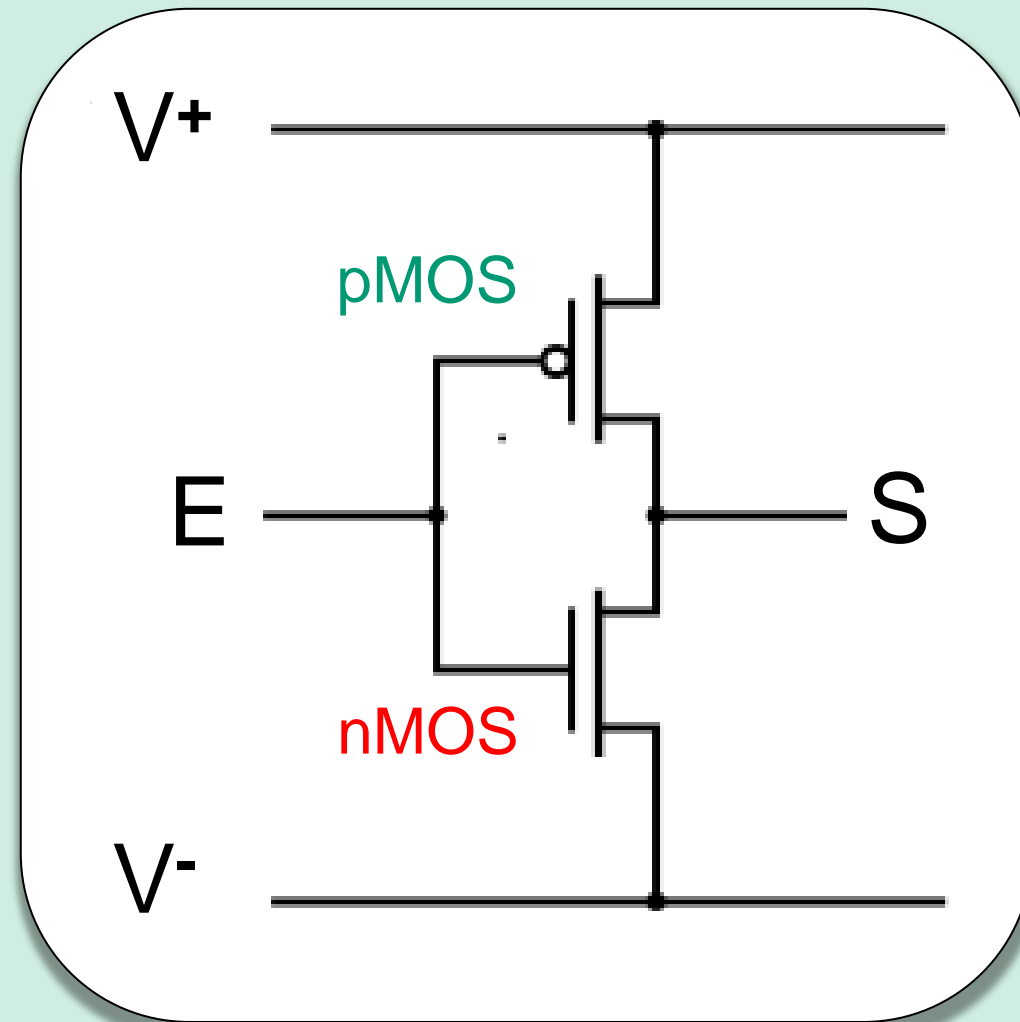
Cas le plus simple : l'inverseur logique

V^+ : alimentation positive ($V^+ > 0$)

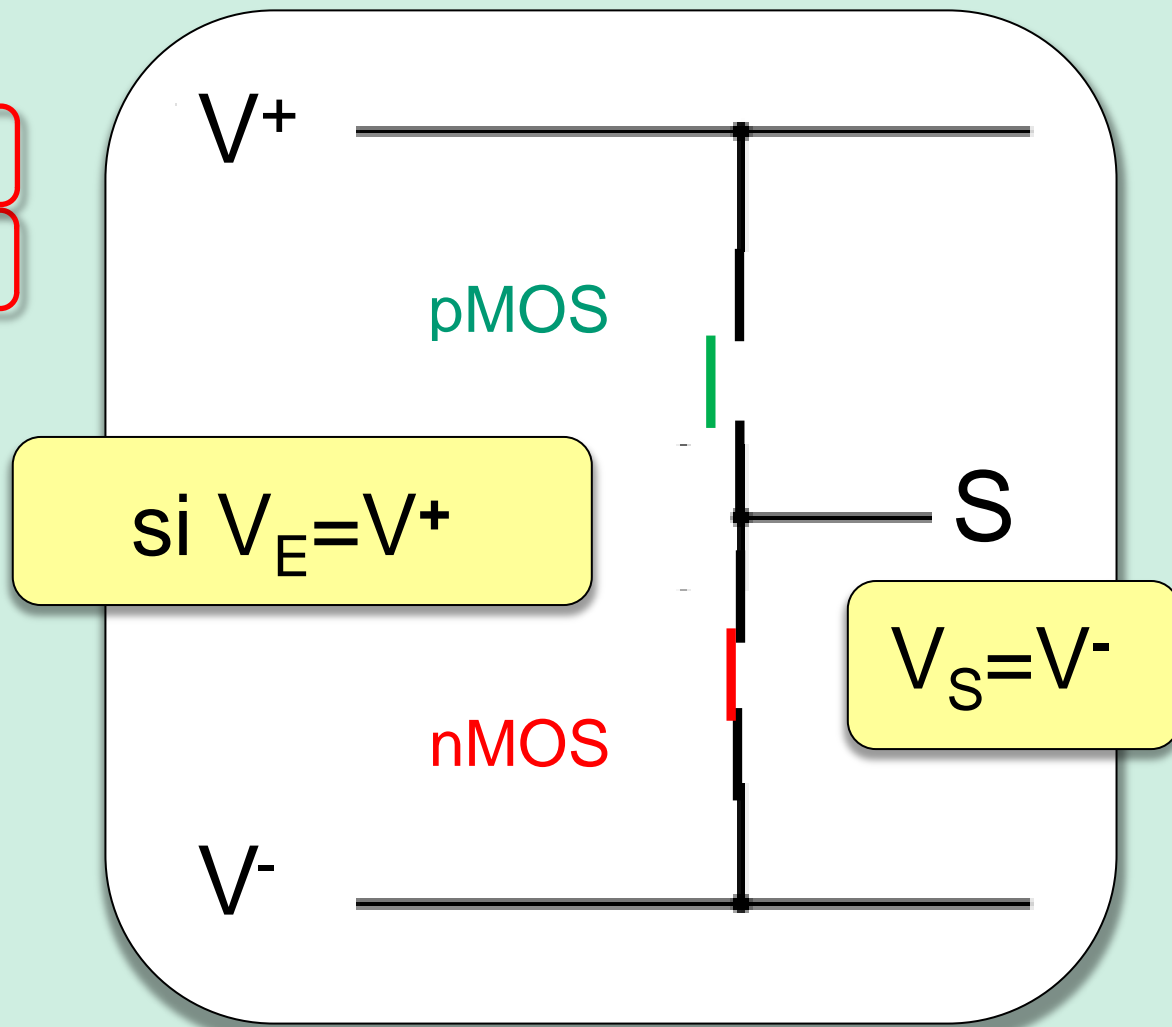
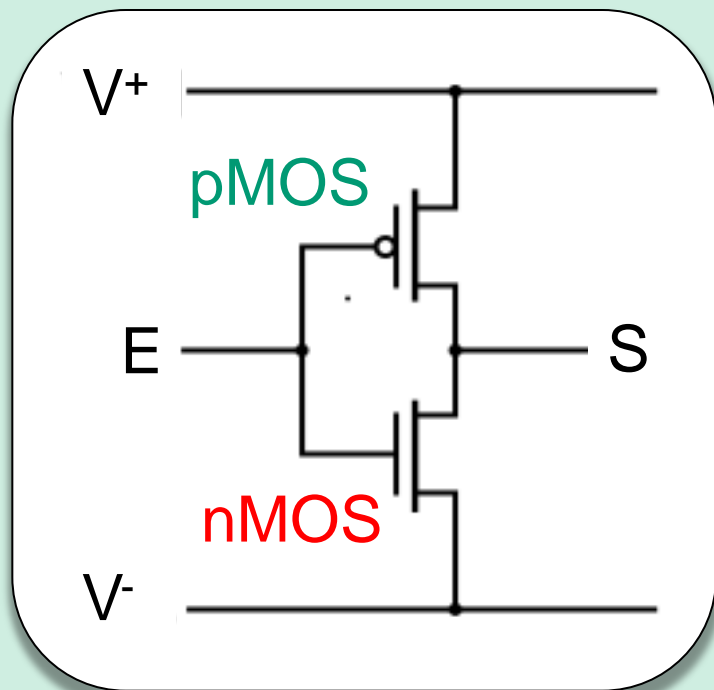
V^- : alimentation négative ($V^- < 0$)

Entrée (Input)	Sortie (Output)
$E = 0$ ($V_E = V^-$)	$S = 1$ ($V_S = V^+$)
$E = 1$ ($V_E = V^+$)	$S = 0$ ($V_S = V^-$)

Type	Grille	Etat
nMOS	$V_G = 0$ ou < 0	Off
	$V_G > 0$	On
pMOS	$V_G = 0$ ou > 0	Off
	$V_G < 0$	On

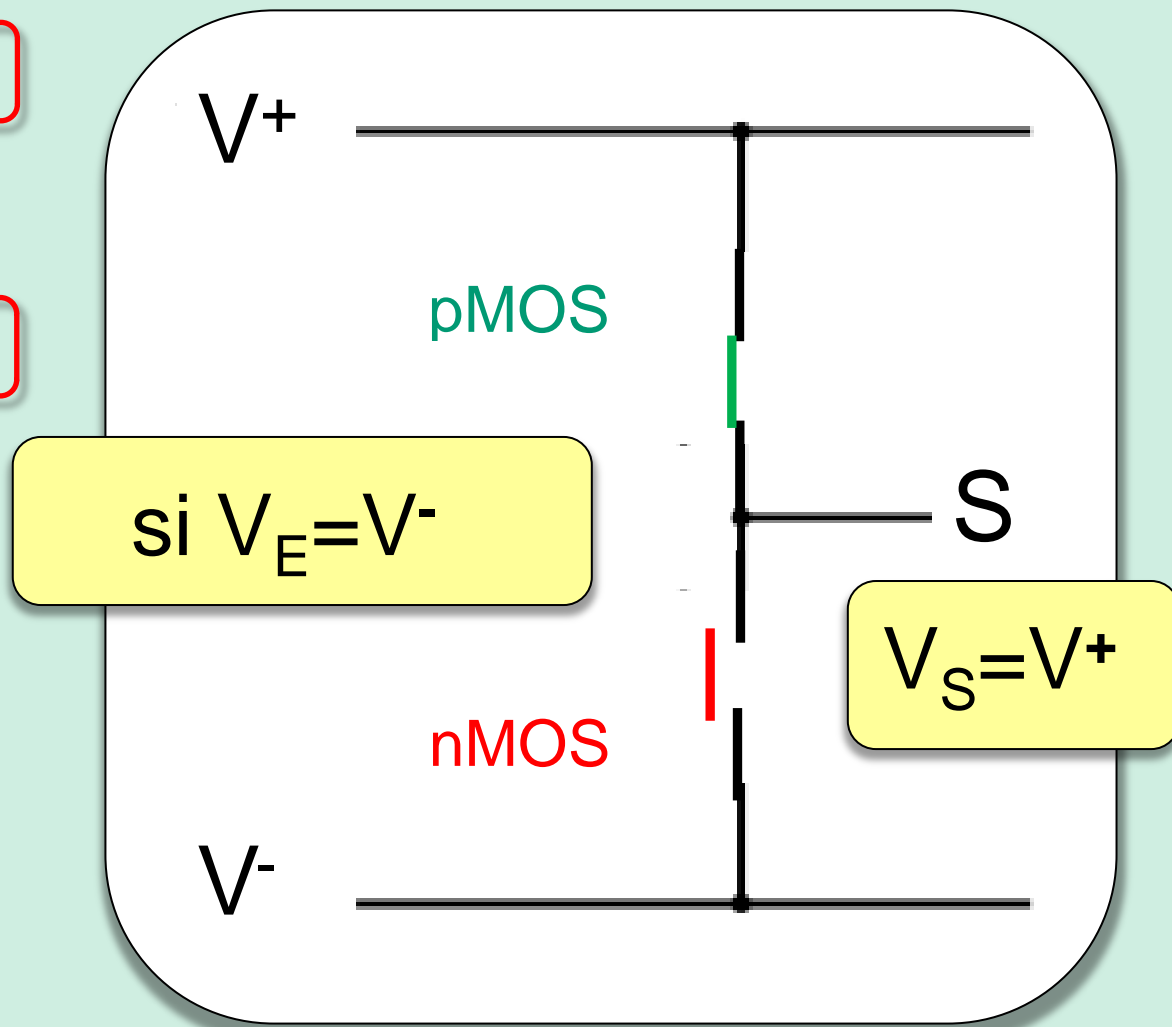
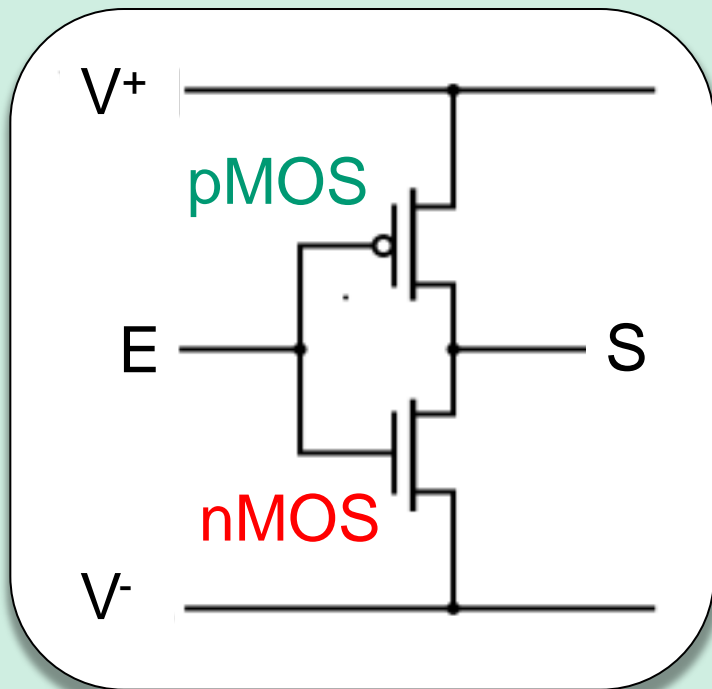


Type	Grille	Etat
nMOS	$V_G = 0$ ou < 0	Off
	$V_G > 0$	On
pMOS	$V_G = 0$ ou > 0	Off
	$V_G < 0$	On



Entrée (Input)	Sortie (Output)
$E = 0$ ($V_E = V^-$)	$S = 1$ ($V_S = V^+$)
$E = 1$ ($V_E = V^+$)	$S = 0$ ($V_S = V^-$)

Type	Grille	Etat
nMOS	$V_G = 0$ ou < 0	Off
	$V_G > 0$	On
pMOS	$V_G = 0$ ou > 0	Off
	$V_G < 0$	On



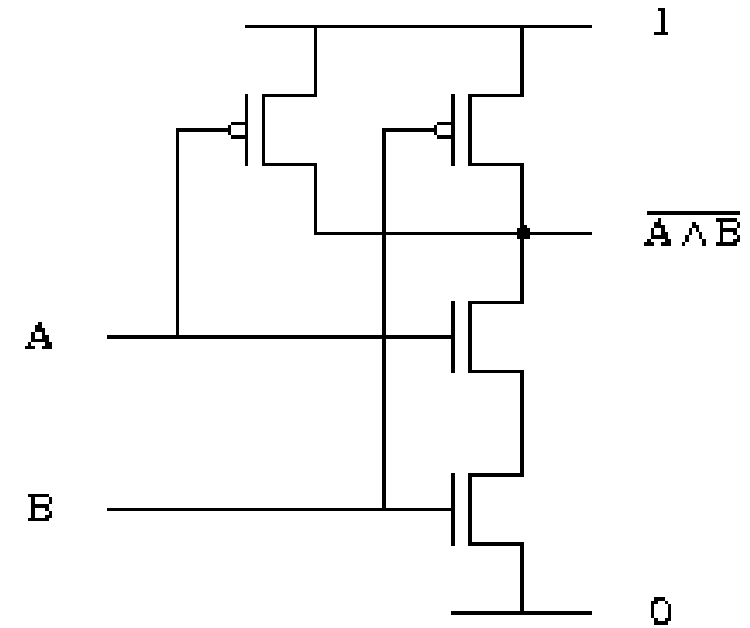
Entrée (Input)	Sortie (Output)
$E = 0$ ($V_E = V^-$)	$S = 1$ ($V_S = V^+$)
$E = 1$ ($V_E = V^+$)	$S = 0$ ($V_S = V^-$)

La porte NAND

Entrée		Sortie
A	B	A NAND B
0	0	1
0	1	1
1	0	1
1	1	0

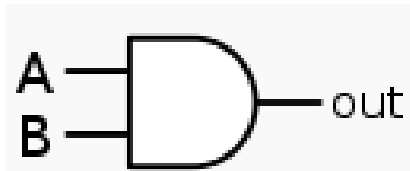


$$\overline{A \cdot B}$$

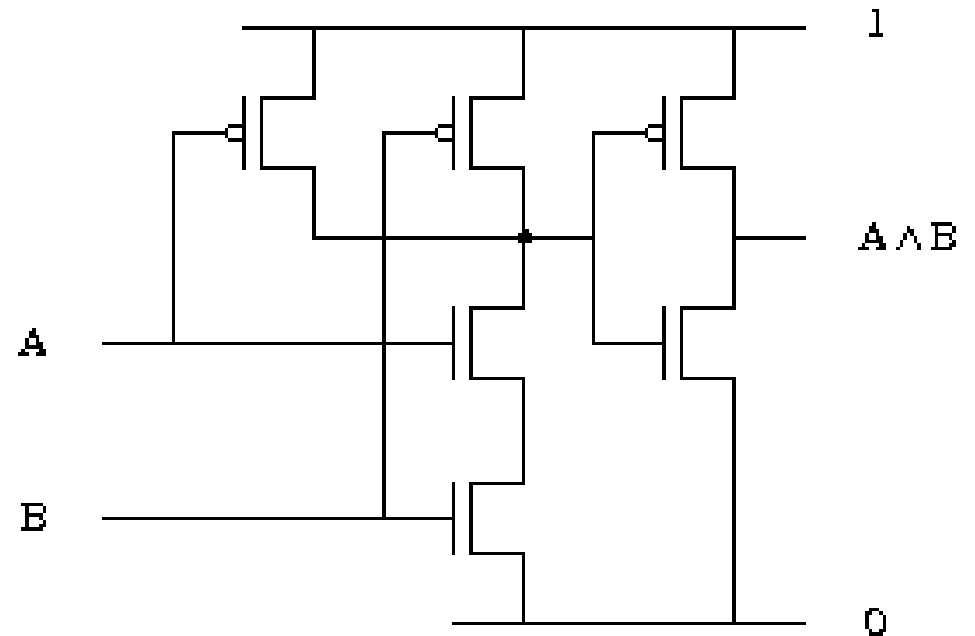


La porte AND

Entrée		Sortie
A	B	A ET B
0	0	0
0	1	0
1	0	0
1	1	1



$$A \cdot B$$



e. Intégration

Dans les circuits utilisant la techno. MOS, il y a **combinaison de nMOS et pMOS**

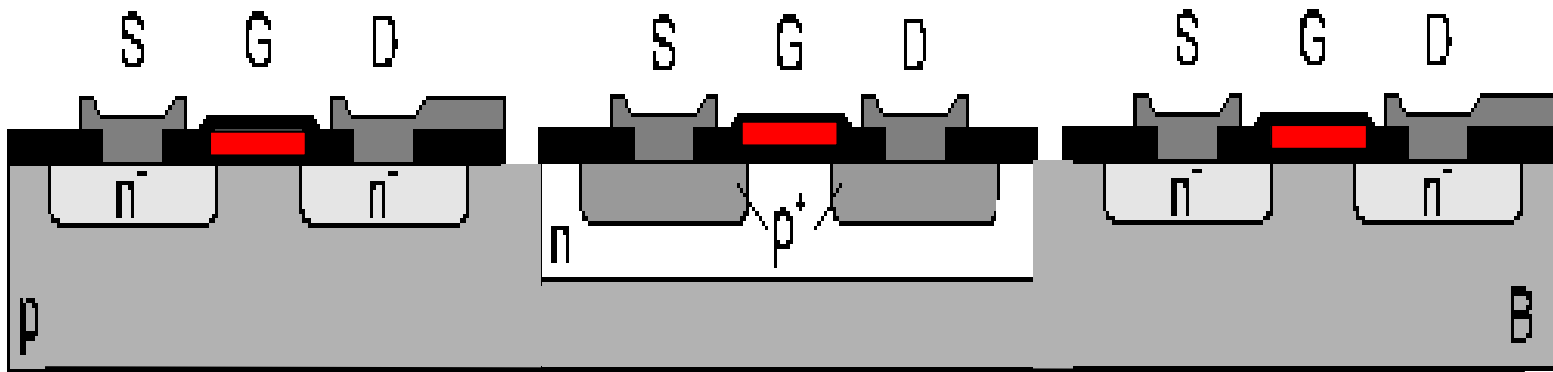


Technologie C-MOS

(C : complementary)

Cette techno. permet d'utiliser **1 même Body** pour les 2 types de transistors, en **les isolant les uns des autres par une jonction PN**

On utilise ici un substrat Si P (pMOS)



On dope N (on diffuse un dopant N) sur une partie (qui constitue un caisson N dans un substrat P). On a partout une **jonction PN qui, polarisée en court-circuit, sera bloquée.**

On diffuse ensuite les S et D en P⁺ (+ car contact avec Al, dopant N ...)

On diffuse ensuite la grille (qui sera enterrée dans le SiO₂)

A faire en exercice : avec un substrat Si N, construire un nMOS

Voir bouquin NGO

A continuer

Ne pas faire cela en cours :

En général, on relie la source à la masse, ainsi que le substrat. On porte le drain à un potentiel supérieur de ceux de la source et du substrat, créant ainsi un champ électrostatique entre la source, le substrat et le drain.

Au repos, deux cas sont possibles :

Ou bien la capacité grille/substrat est flottante à vide : il n'y a quasiment pas de porteurs pour conduire un éventuel courant, les deux jonctions source-substrat et substrat-drain sont polarisées en inverse ; dans ce cas, on parle d'un MOSFET à enrichissement ;

Ou bien la capacité grille/substrat est en inversion, ce qui signifie que des électrons du substrat sont attirés au voisinage de l'oxyde.

Ceux-ci constituent un afflux de porteurs minoritaires qui vont être disponible pour conduire le courant entre source et drain ; le transistor est normalement conducteur, on parle de MOSFET à déplétion (ou à appauvrissement).

Dans les deux cas, le courant source-drain est modulé par la tension de grille. Dans le type à enrichissement, il faut appliquer une tension positive à la grille pour amener la capacité grille-substrat en inversion : le transistor conduit à partir d'un certain seuil. Dans le type à déplétion, le transistor est conducteur lorsque la grille est à la masse, il faut donc amener à une tension négative pour faire cesser la conduction.

Lorsque le transistor conduit, une augmentation de la polarisation entre le drain et la source augmente le courant (non-linéairement). À partir d'une tension de drain supérieure à la tension de grille moins la tension de seuil, le champ électrostatique entre le substrat et la grille s'inverse localement au voisinage du drain. Le canal d'électrons disparaît, le courant sature. Toute augmentation de la tension de drain au-delà de la tension de saturation conduit à une diminution encore plus précoce du canal d'électrons, et à une augmentation faible voire nulle du courant.

À tension source-drain constante, le courant de saturation varie comme le carré de la tension grille-substrat.

Zone linéaire

$$I_{DS} = \beta \left(V_{GS} - V_{TH} - \frac{1}{2} V_{DS} \right) V_{DS}$$
$$\beta = \frac{W}{L} \mu C_{ox}$$

W : largeur du canal

L : longueur du canal

μ : mobilité des porteurs de charge (mobilité des électrons dans le cas d'un MOSFET à canal N)

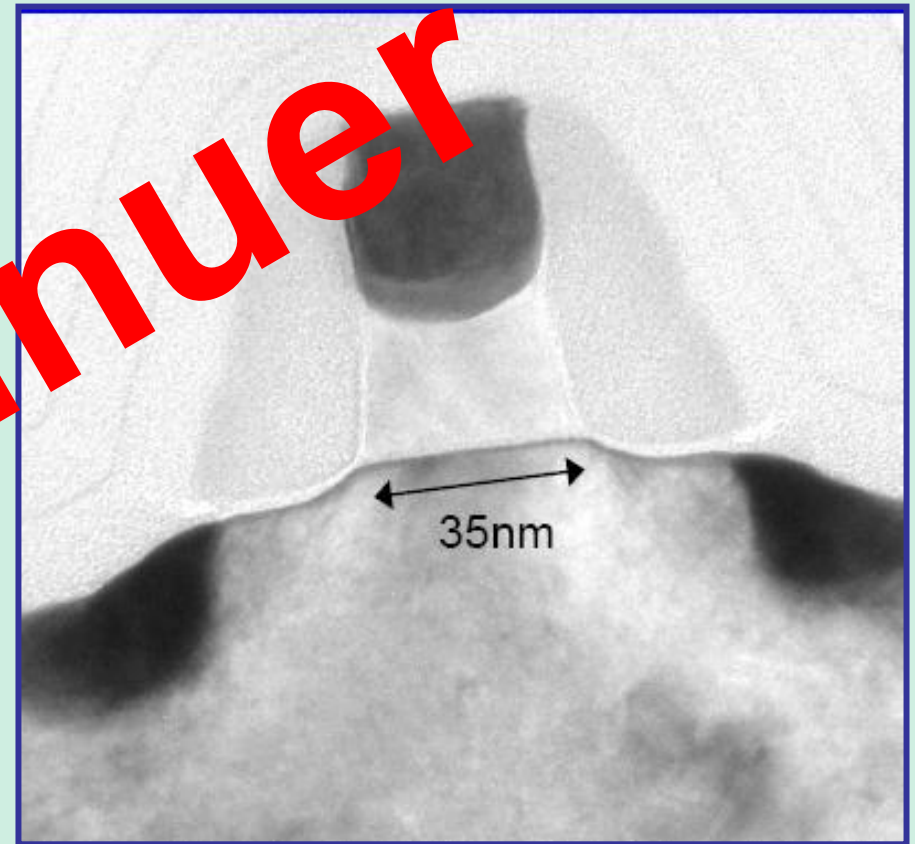
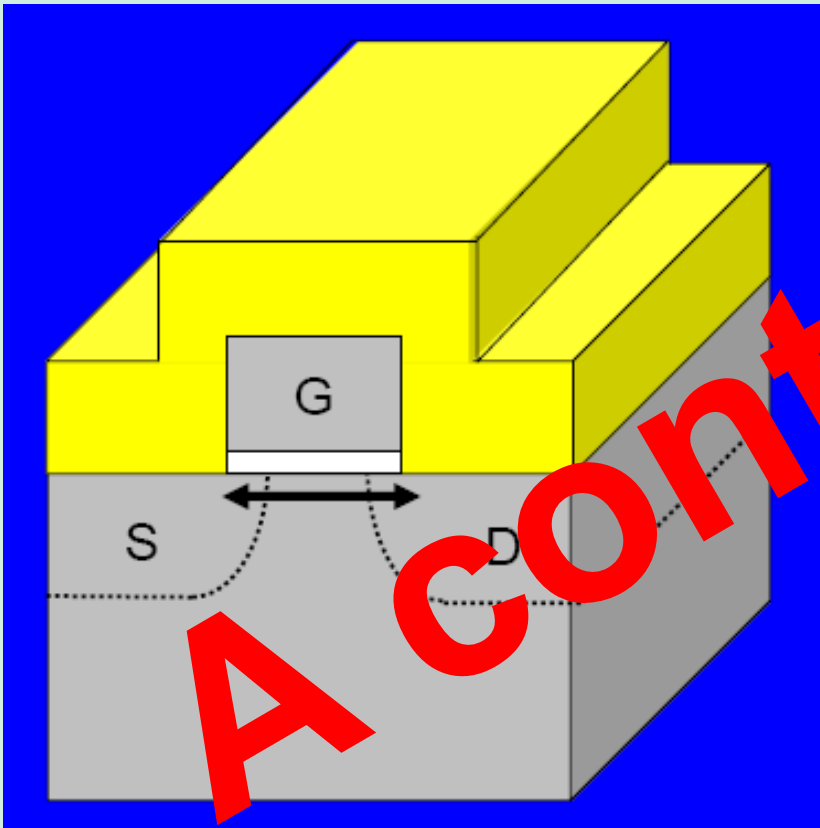
C_{ox} : capacité d'oxyde de grille

$$I_{DS_{SAT}} = \frac{1}{2} \beta (V_{GS} - V_{TH})^2$$

$$I_{DS} = I_{DS_{SAT}} \frac{L}{L - \lambda}$$
$$\lambda = \lambda_0 \ln \left(1 + \frac{V_{DS} - V_{DS_{SAT}}}{V_{DS_{SAT}}} \right)$$

$$\lambda_0 = \sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}}} x_j T_{ox}$$

On se souvient du 1^{er} cours :

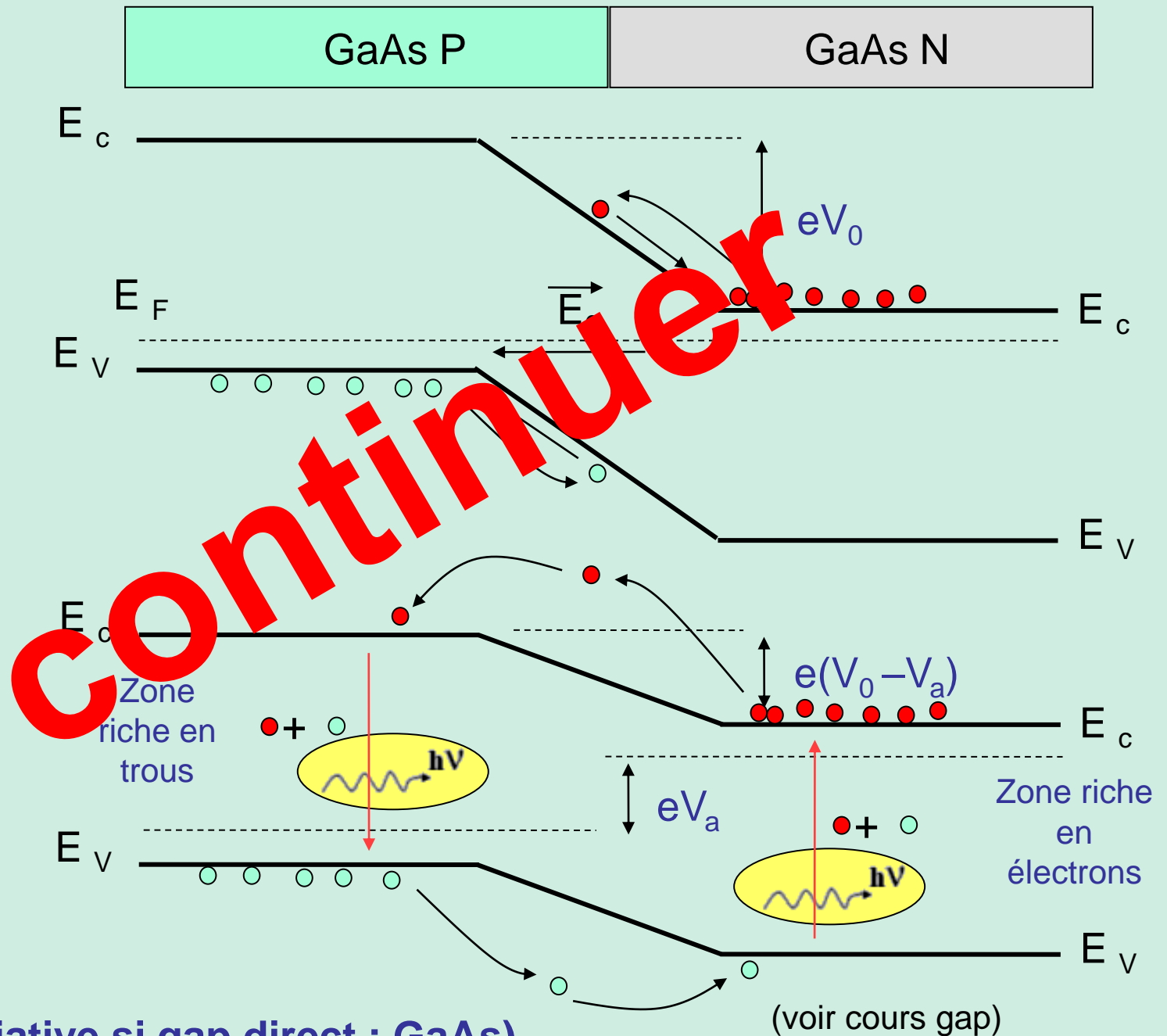


4. LED (Light Emitting Diode)

On reprend le schéma de la jonction PN (diode)

4. LED (Light Emitting Diode)

On reprend le schéma de la jonction PN (diode)



A continuer



5. Cellule photovoltaïque

On reprend le schéma de la jonction PN

Non éclairée
Non polarisée

Pas de passage
de charges

Eclairée
→ polarisée

Excès de trous à gauche
Excès d'électrons à droite

