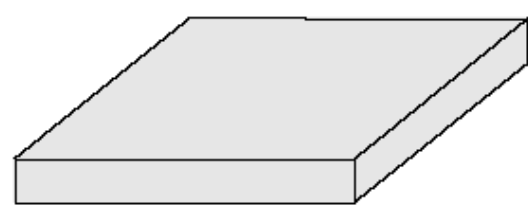


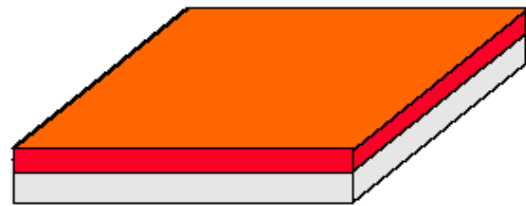
V. La puce : l'intégration

A. Lithographie

Principe : utiliser un **masque**, une **résine** (pos. ou neg.), une **illumination**

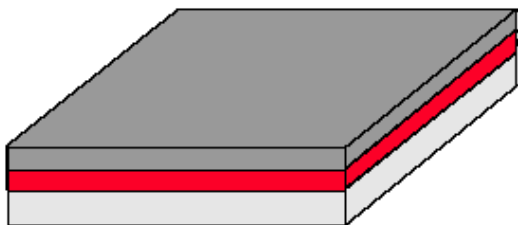


Silicium



Dépot

Alu évaporation
condensation
SiO₂ oxydation
précipitation



Résine
photosensible

Tournette
force centrifuge
pour tendre
évaporation solvant
cuisson

La plaquette (wafer) de Si est traitée en surface :

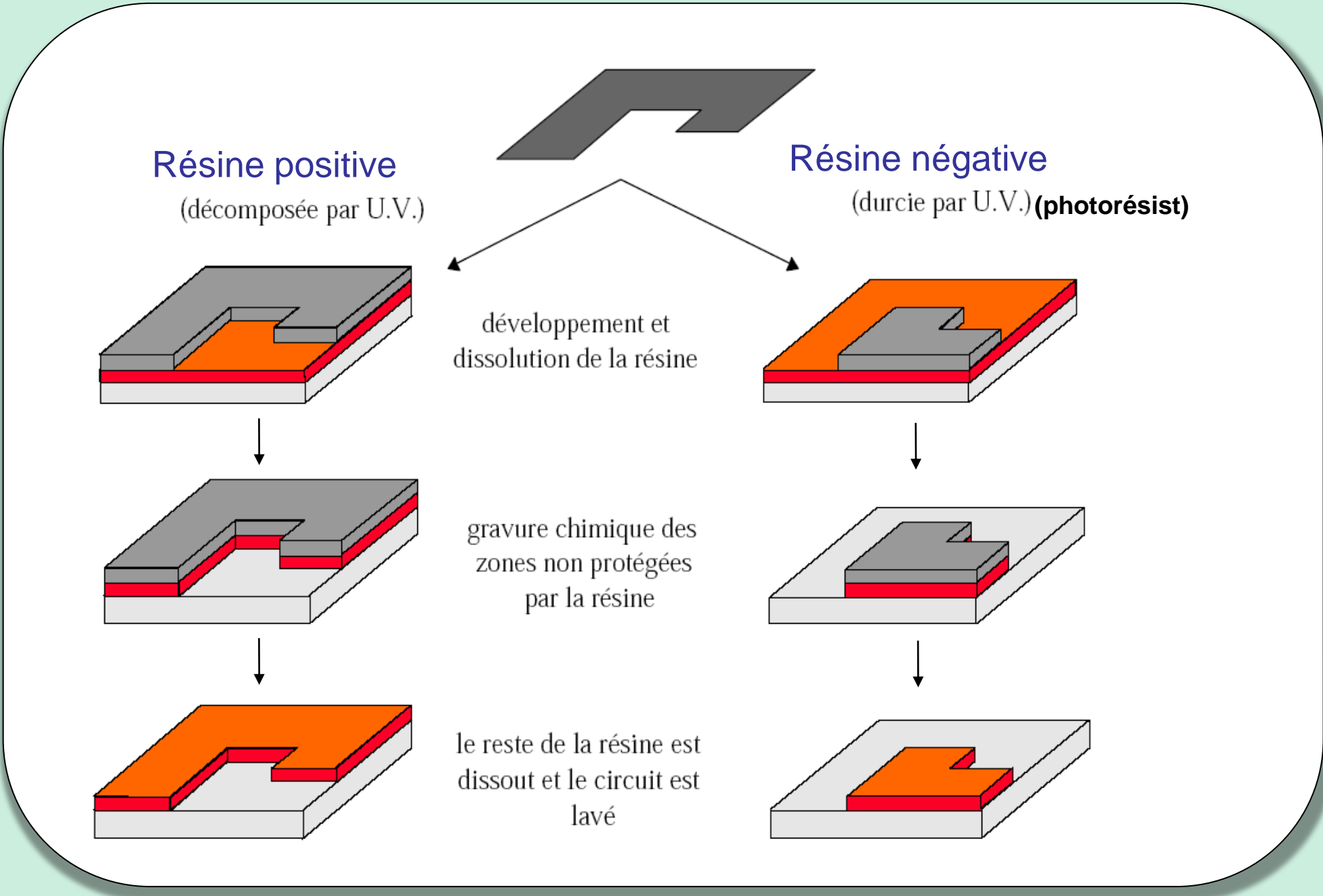
1- En général, oxydée
→ SiO₂ isolant

2- Recouverte de résine
photosensible

Ensuite, on utilise un masque pour « imprimer » le circuit



Principe : utiliser un **masque**, une **résine** (pos. ou neg.), une **illumination**

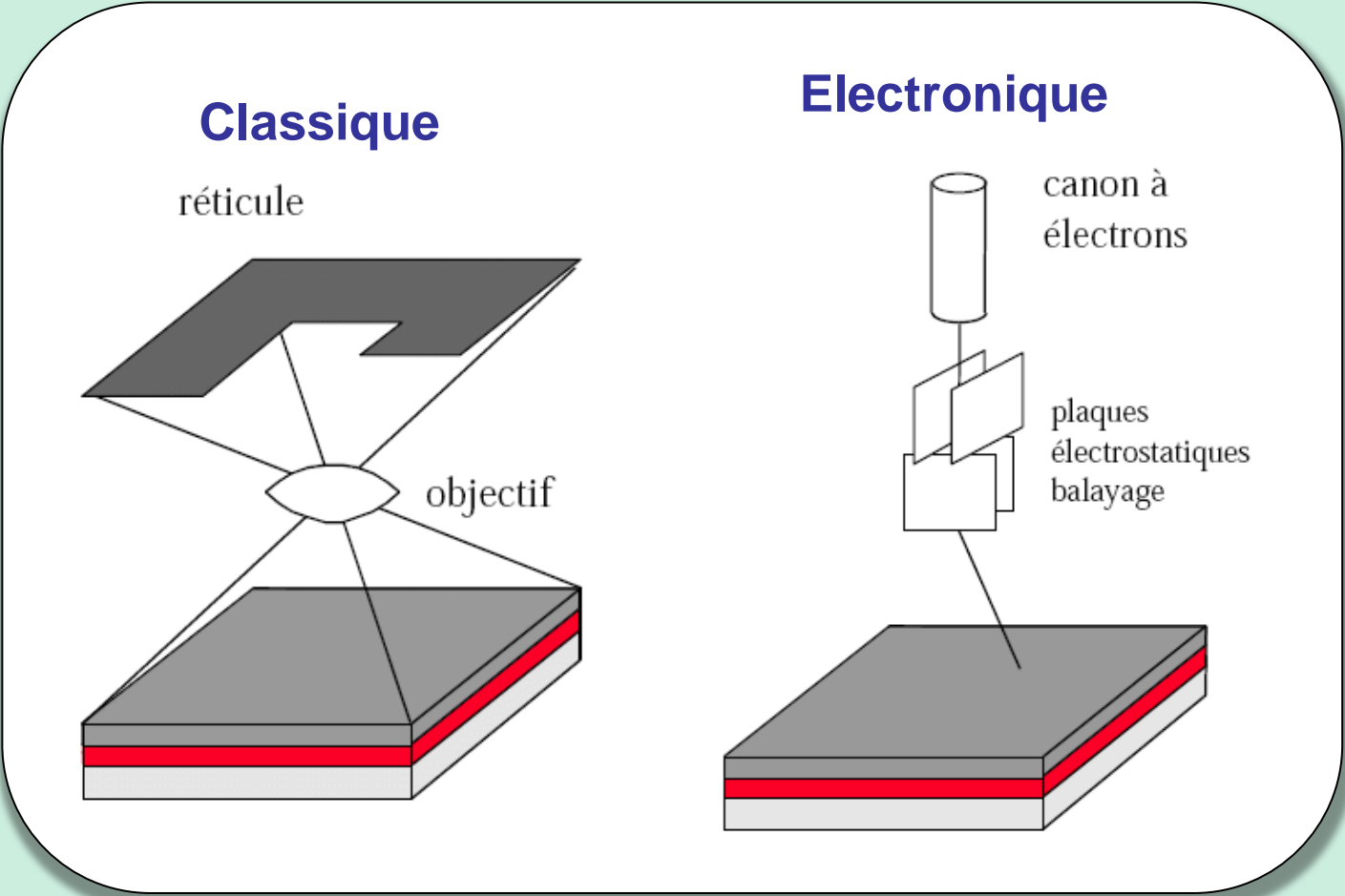


La finesse des motifs imprimables dépend de la technique :

2 types de lithographies

- classique (visible, UV, UV lointain)
- électronique

800-400 nm
400-200 nm
200- 50 nm



Utilisée actuellement dans l'industrie



Technique limitée par λ
Détails > 100 nm

Détails > 10 nm

Technique limitée par le temps
(balayage)

Exemple : photorésist résine négative

1. **Oxydation** de Si (vapeur d'eau)
2. Dépôt d'un **polymère**

1. « **Insolation** » à travers un masque

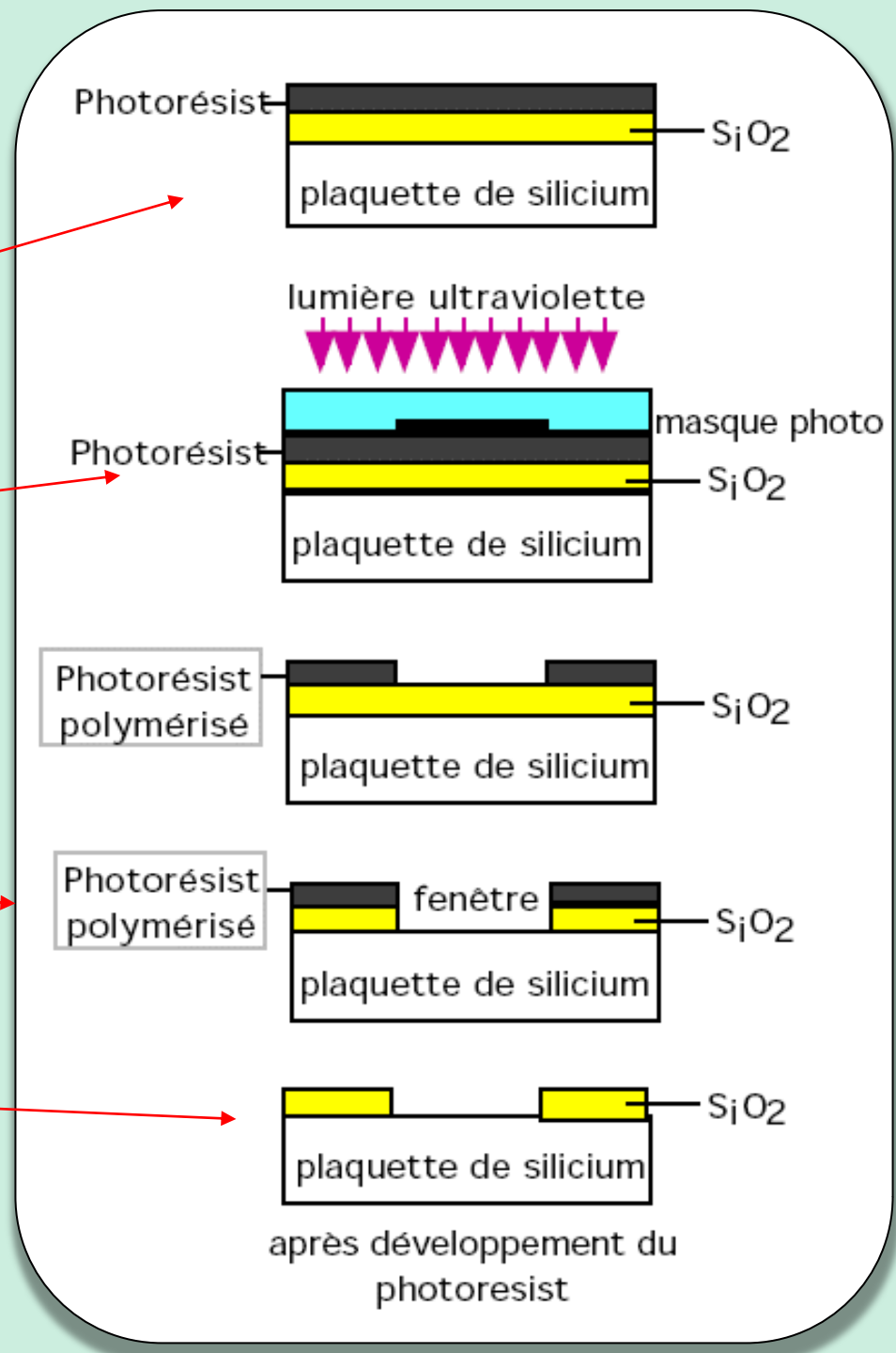
le polymère durcit sur les zones éclairées

4. Les zones « ombrées » sont retirées

5. On dissout le Si (solution de HF)
(voir début du cours)

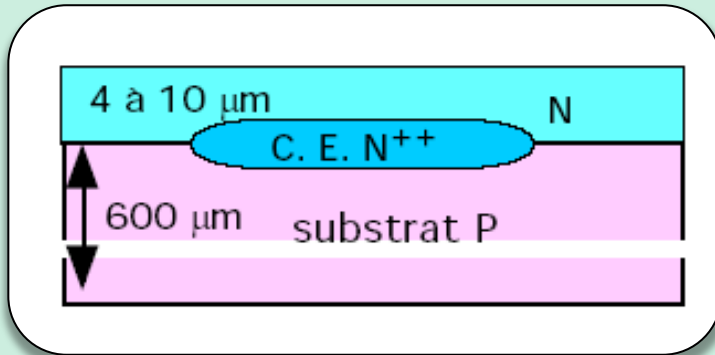
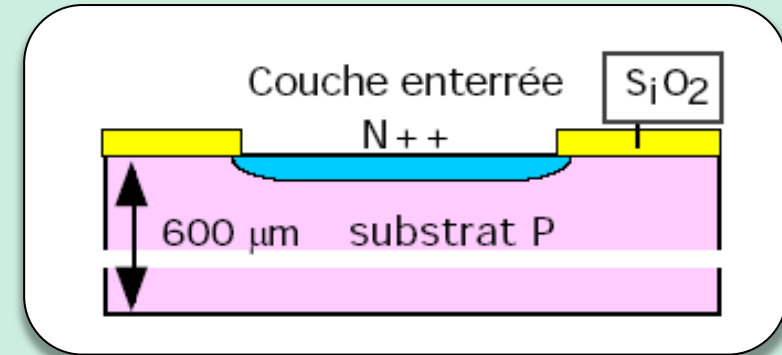
6. On enlève le polymère (acétone ou autre)

On a ainsi créé une « fenêtre » à travers laquelle on peut **doper le Si apparent : N ou P, par exposition à des vapeurs de bore, Ga, As, etc...**



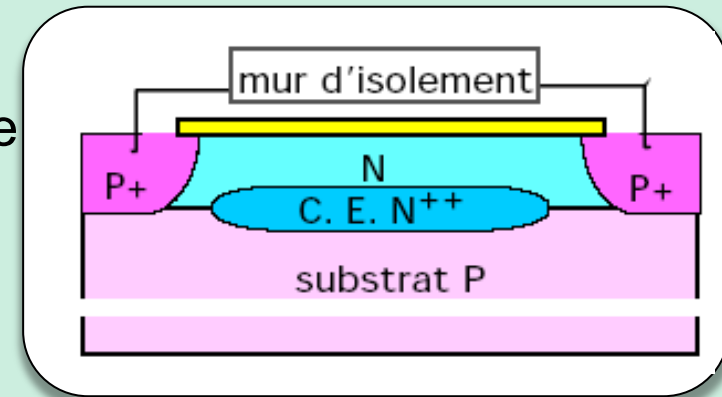
B. Intégration (exemple d'un npn)

1. Le substrat de Si P est d'abord oxydé et une fenêtre est aménagée pour permettre la diffusion d'une **couche N⁺⁺** (dopant N, P, As, Sb).

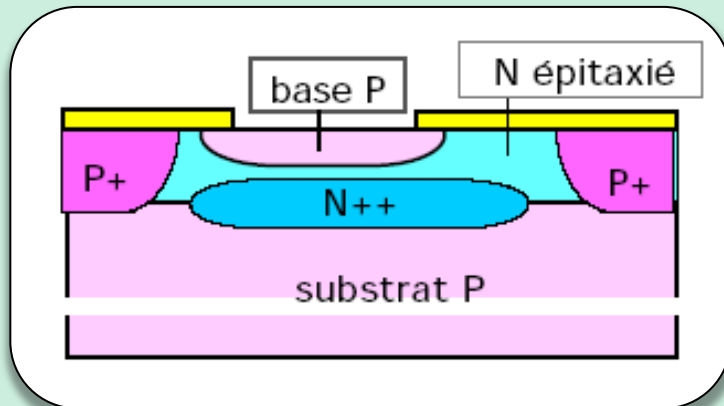


2. On forme à la surface un film mince de Si N, par **croissance épitaxiale** de quelques μm d'épaisseur (4 à 10 μm), en plongeant le dispositif dans des vapeurs de Si et de P (pour le dopage Si N).

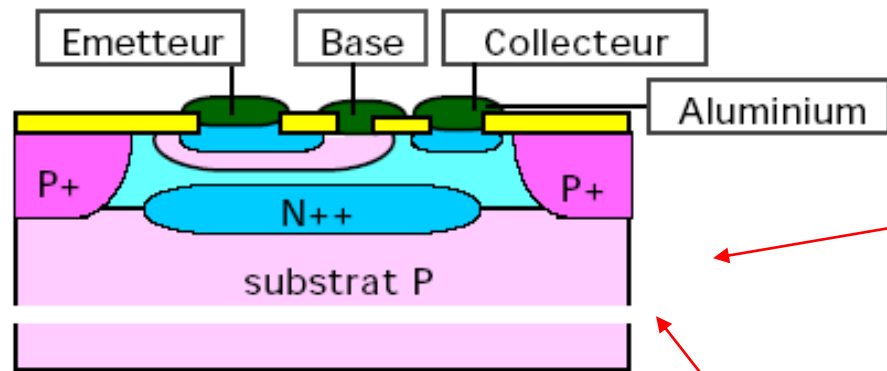
3. La couche Si N est entièrement oxydée puis l'oxyde est enlevé sur les zone P⁺ à l'aide d'un masque. On effectue alors la diffusion locale du **mur d'isolement** P⁺ (vapeurs de B)



Voir + loin pourquoi



4. La plaquette est entièrement réoxydée, la zone centrale de l'oxyde enlevée, puis dopée P (B) pour construire **la base** du transistor (Si P)



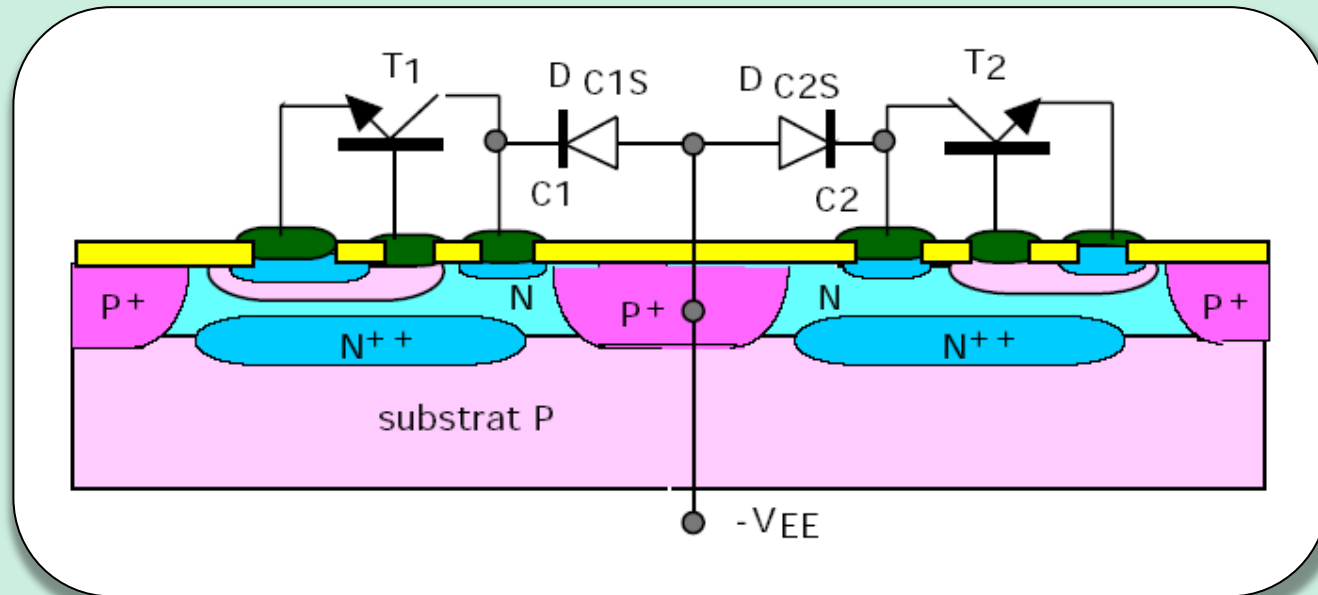
5. La plaquette est ensuite préparée pour la diffusion **de l'émetteur** et la prise de contact **du collecteur**. Le contact de coll. se fait avec de l'Al, dopant P !
Pour éviter de doper P la couche de Si N, il faut diffuser une zone très dopée N++

6. Après réoxydation, on pose les prises de contact Al. On évapore l'Al sur toute la plaquette, puis par masquage négatif, on enlève l'Al en trop.

Les « **murs d'isolement** » servent à accoler divers composants sans court-circuit (ici, 2 transistors npn)

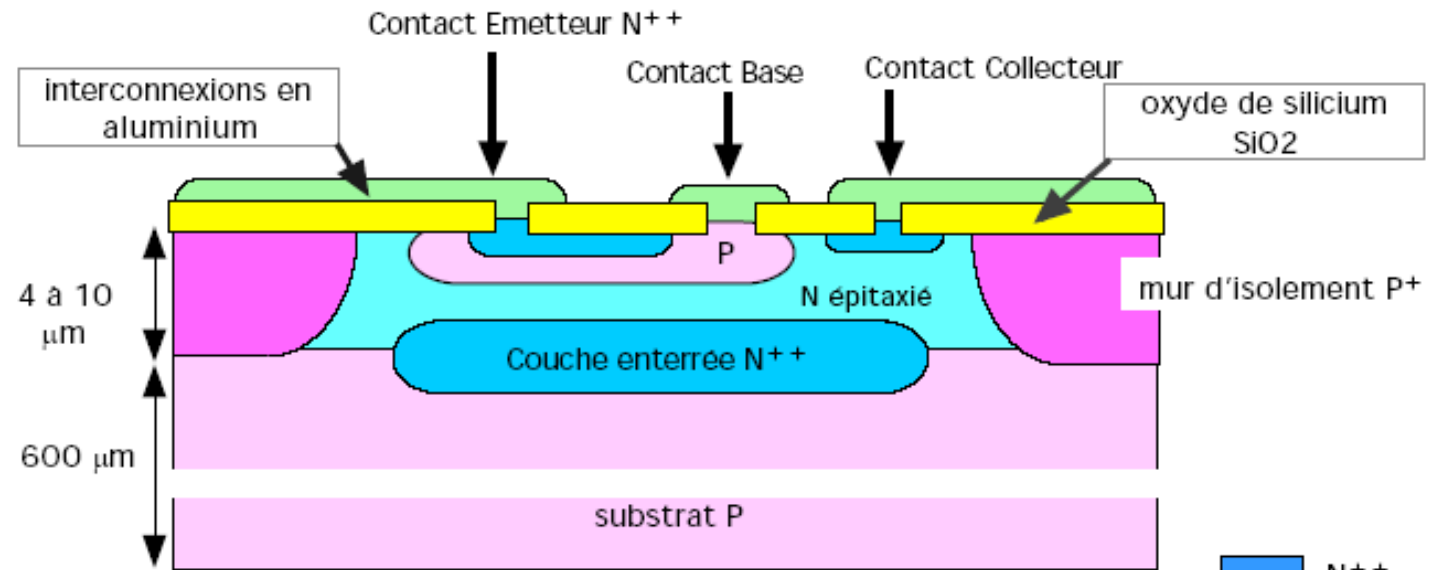
Le T1 serait en cc avec le T2 si les zones Si N se touchaient. Avec l'isolement P⁺, on place une **diode bloquée** entre les 2

(P⁺, comme tout le substrat P, doit être en polar. < 0)

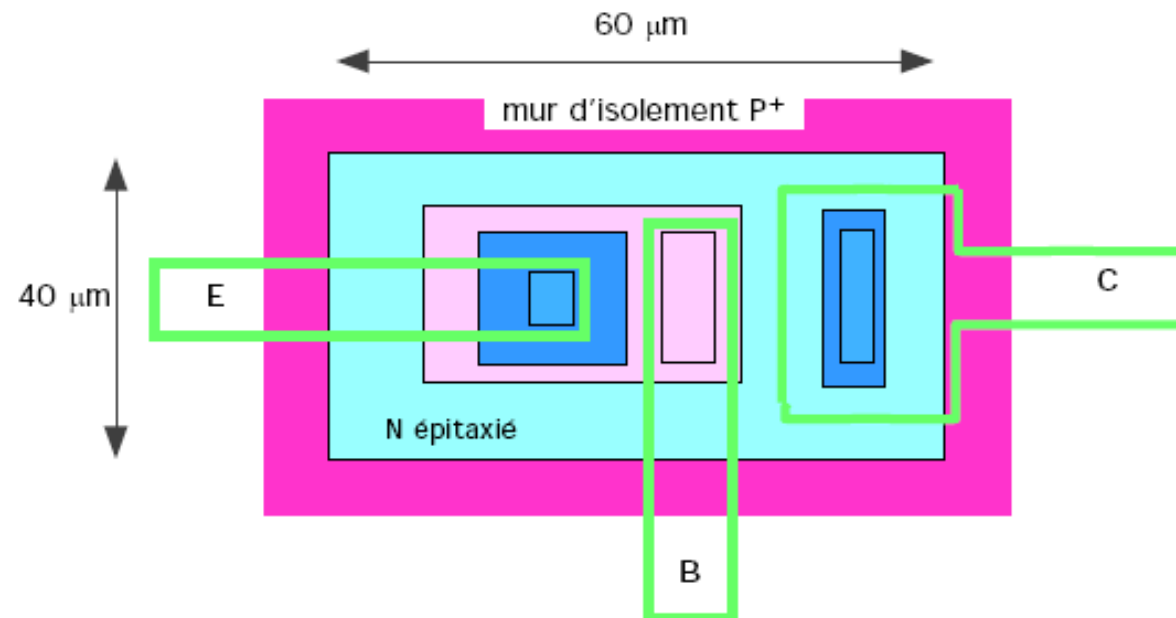


7. Une fois terminé ...

Vu de côté :



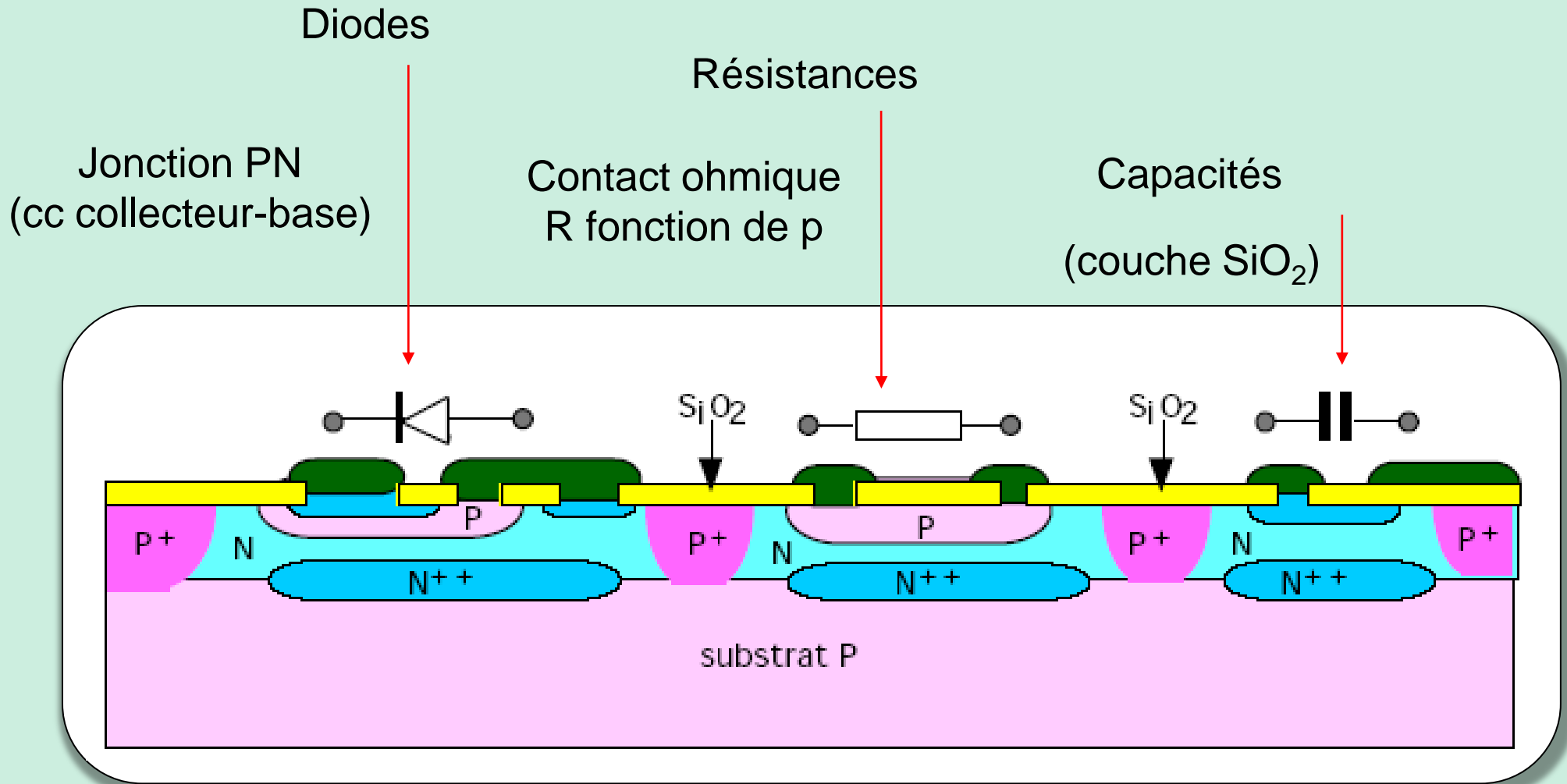
Vu de dessus :



Faire un exercice sur cette methode de gravure et d integration.

C. Exemples de composants intégrés

En plus de transistors, on peut bien sur intégrer d'autres composants :



VI. Quelques dispositifs récents

Les semi-conducteurs : de la puce à l'atome ?

Mémoires Flash

Revenons sur notre transistor MOS.

C'est le composant essentiel des actuelles mémoires FLASH (clés USB).

Comment ça marche ?

On emprisonne des électrons dans la grille enterrée

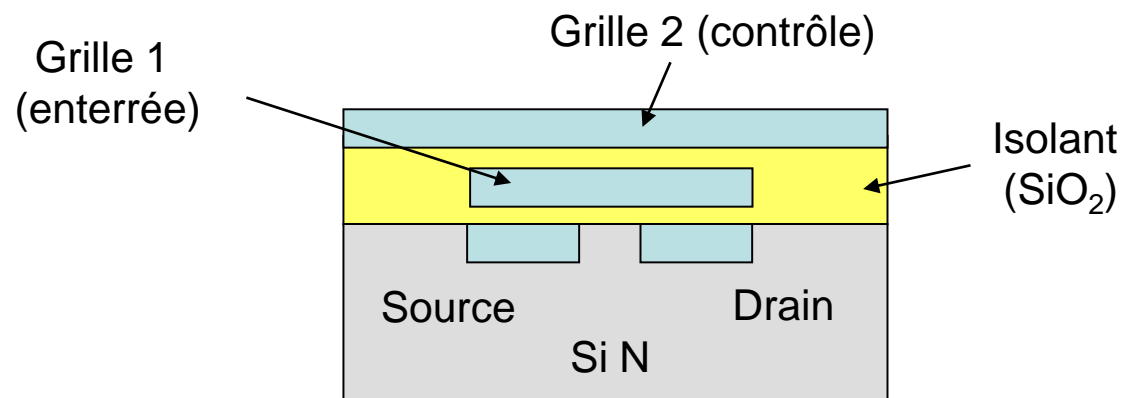
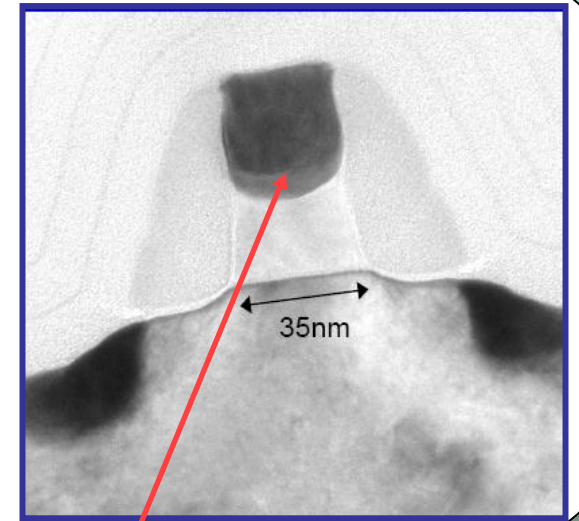
2 méthodes pour cela :

a- l'injection d'*électrons chauds* (sous fort champ électrique)

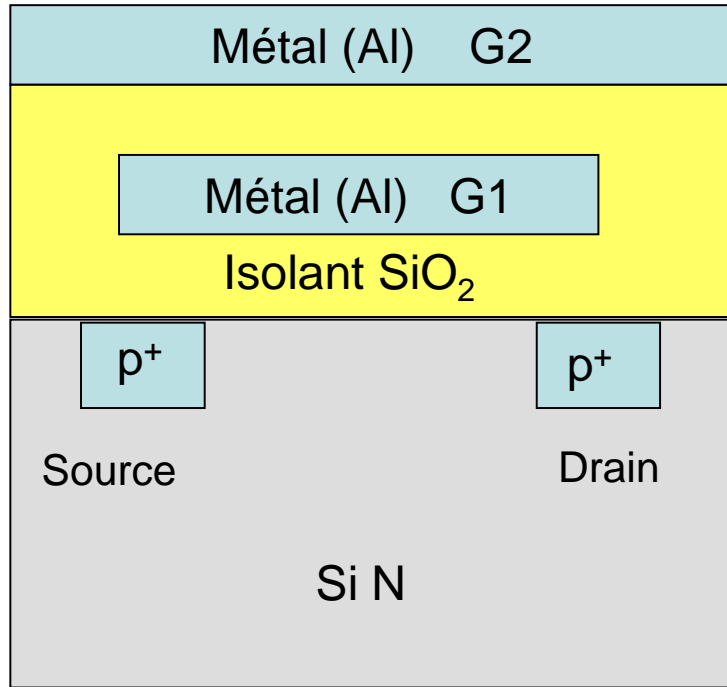


b- l'effet tunnel obtenu en appliquant une haute tension sur une « vraie » grille (appelée grille de contrôle).

Un courant (tunnel) peut passer dans un isolant, malgré la barrière de potentiel, si la différence de potentiel entre la G2 et la G1 est suffisamment grande, et la distance suffisamment petite.



Fonctionnement



Si $V_{G1} = 0$, le transistor est bloqué (état 0)
Si $V_{G1} < 0$, le transistor est passant (état 1)



Si $V_{G2} = 0$: rien ne se passe.



Si $V_{G2} \ll 0$, un courant passe. Les e^- vont passer de G2 vers G1 (par effet tunnel) et V_{G1} devient < 0
Transistor passant



Si V_{G2} redevient 0, plus de courant. Les e^- sont bloqués en G1
 V_{G1} reste < 0
Transistor tjrs passant !



Il faudra imposer $V_{G2} \gg 0$ pour débloquent les e^- de G1

V_{G1} redeviendra = 0
Le transistor redevient bloqué

L'intérêt du blocage : **pas besoin de tension** pour maintenir l'état

Futures mémoires Flash : Transistor à 1 électron

L'idée est de miniaturiser encore + les MOS, pour stocker + d'information
(une diminution de taille de α permet d'augmenter la densité de α^2)

Utilisation du **blocage de Coulomb**.

Principe :

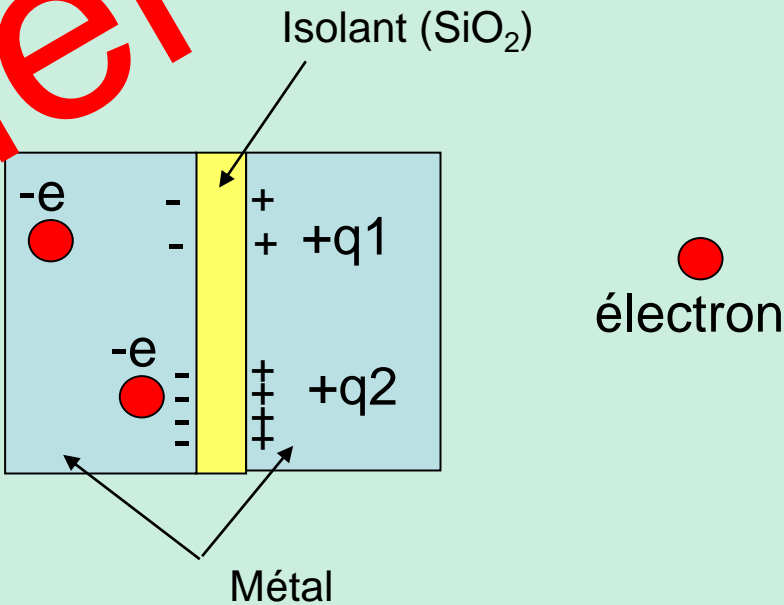
Prenons l'image d'un condensateur plan.

La charge de l' e^- est quantifiée : $-e$ (e est indivisible).
Mais l' e^- **influence** les plaques opposées. Cette influence
(charge q non entière) dépend de la distance. $0 < q < e$

Ainsi, $q_2 > q_1$

L'électron se déplace de façon continue \rightarrow la charge q varie continûment

Toutefois, l'électron  ne peut pas franchir l'isolant. Il est **bloqué**



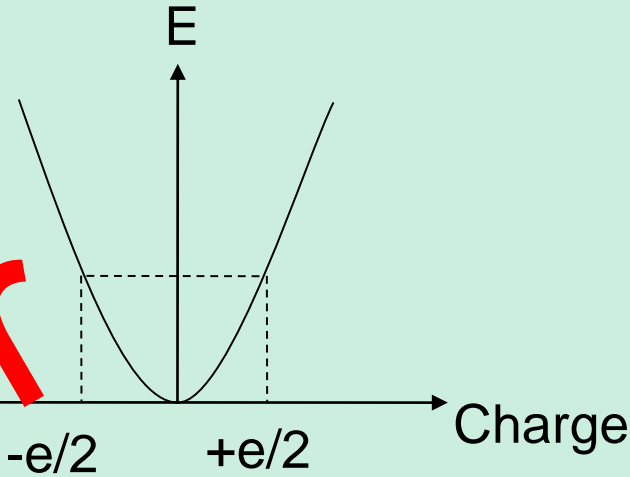
(les 2 plaques sont reliées à un générateur)

On peut tracer l'énergie du système en fonction de la charge de la surface

Puisque q varie continûment, à un moment $q = e/2$.
Seulement dans ce cas, l'énergie de l'électron sur la plaque de gauche est égale à celle sur la plaque de droite.

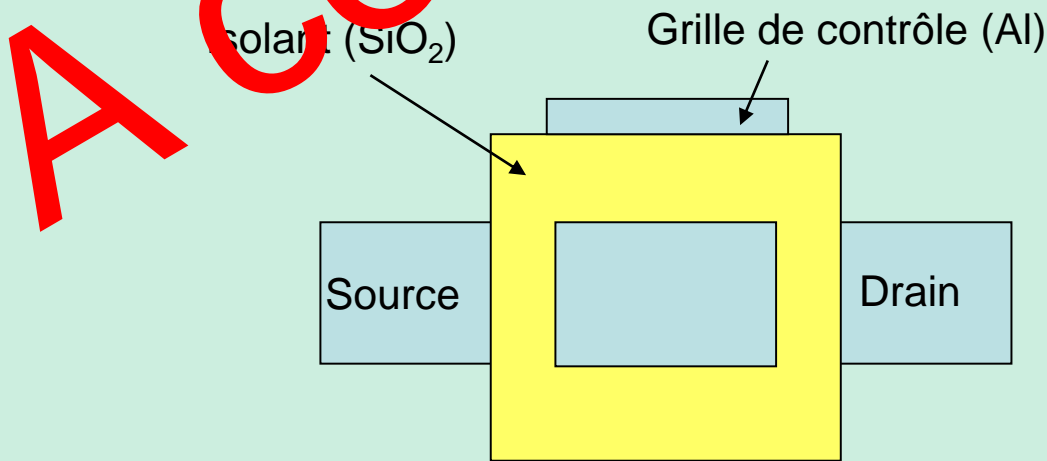


Il peut passer, par effet tunnel

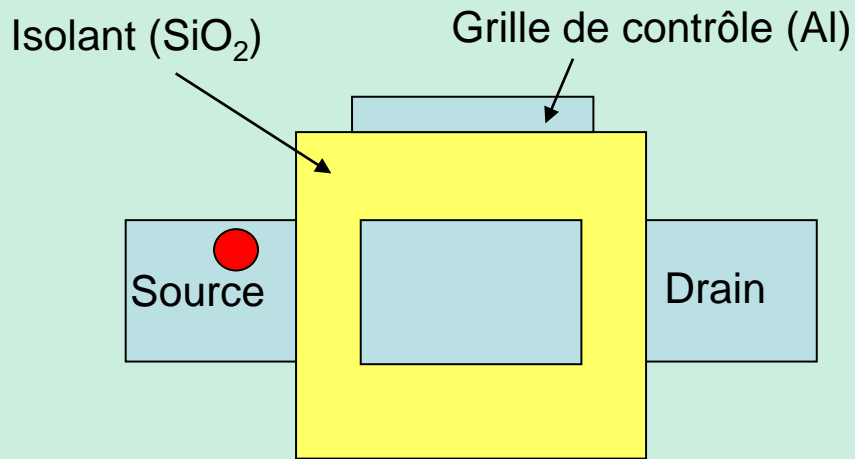


Et ainsi de suite. Les e^- passent de la gauche à la droite

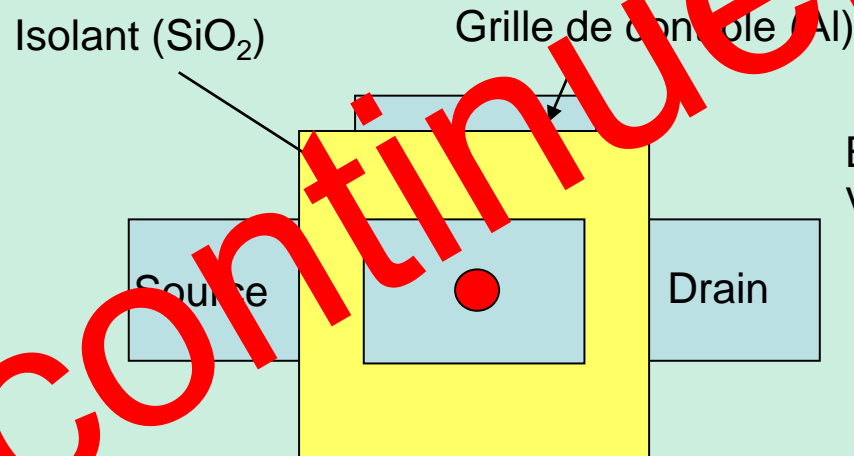
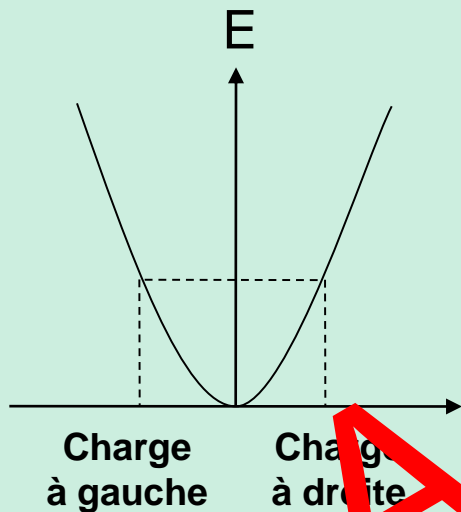
On peut **contrôler** le passage des e^- , par un dispositif à 2 condensateurs, type MOS



is l'application future probable dans peu de temps : **mémoires Flash à 1 électron**
(ou avec très peu d'électrons)

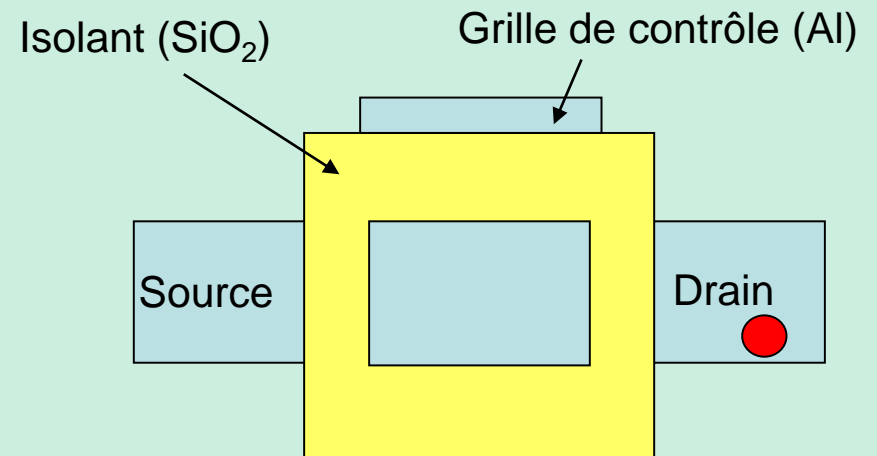


L'électron est à gauche. Il ne peut pas traverser l'isolant, sauf si on impose $V_G < 0$ tq la charge (et donc l'énergie) à gauche et à droite soit la même. il passe au centre.



Ensuite, on cesse d'appliquer V_G .

\rightarrow e^- emprisonné.



Après le silicium, quels transistors ?

Limite future inévitable due à la taille



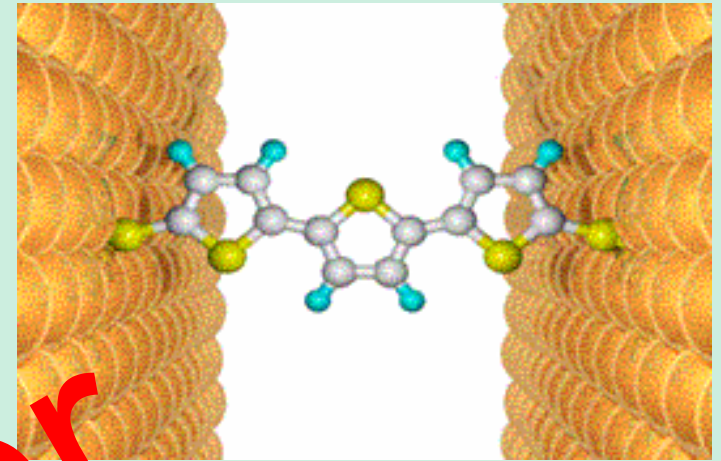
- L'électronique moléculaire
- L'électronique de spin

A continuer

L'électronique moléculaire :

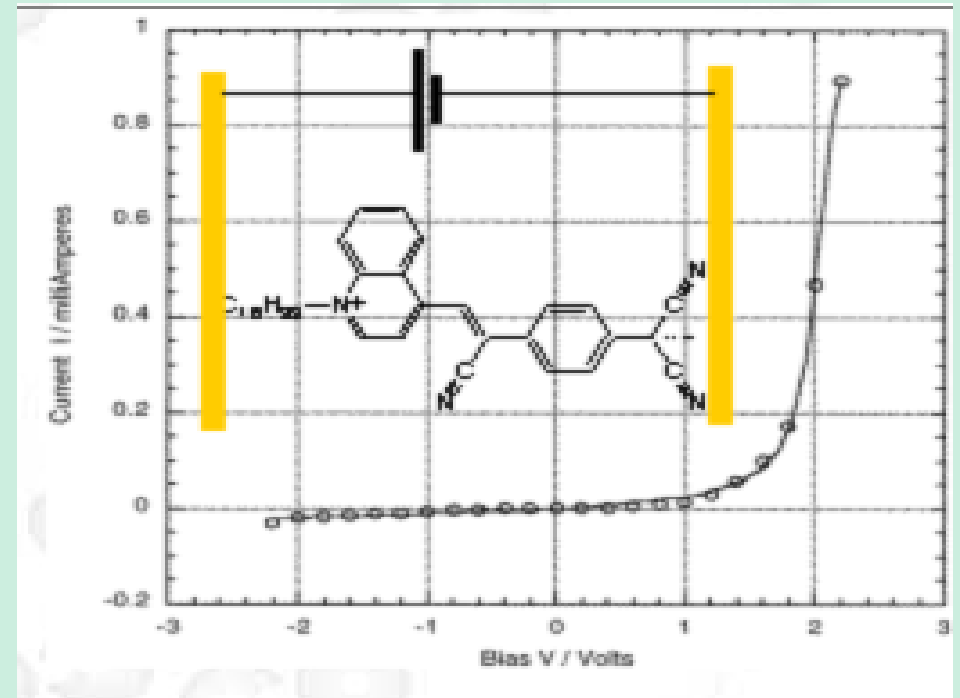
-La diode moléculaire

hexadecylquinolinium tricyanoquinodimethanide



Observation of unimolecular electrical rectification in hexadecylquinolinium tricyanoquinodimethanide

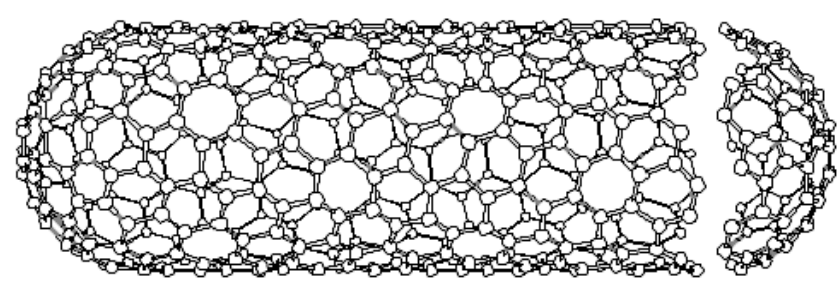
Thin Solid Films
Volumes 327-329, 31 August 1998,
Pages 326-330



The driving idea in UE (also called molecular-scale electronics) is that properly designed “electroactive” molecules, of the size between 1 and 3 nm in length, can supplant silicon-based devices in the ultimate reduction of the absurdity of circuit component sizes, providing the ultimate concomitant increase in integrated circuit speeds. However, simplification has not yet been realized, and the chemical interaction between metal electrodes and molecules are complex.

A continuer

- Le nanotube de carbone



Le nanotube de carbone a la plus grande mobilité jamais mesurée : $100\,000\text{ cm}^2\cdot\text{V}^{-1}\text{s}^{-1}$ à 300 K (le précédent record étant de $77\,000\text{ cm}^2\cdot\text{V}^{-1}\text{s}^{-1}$ pour l'antimoniure d'indium). Pour comparaison, pour le Si, cette mobilité est de ...

Mobilité à $T = 300^\circ\text{K}$	électrons ($\text{cm}^2\text{ V}^{-1}\text{ s}^{-1}$)	trous ($\text{cm}^2\text{ V}^{-1}\text{ s}^{-1}$)
Ge	3900	1900
Si	1500	475
GaAs	8500	400

La conductivité est métallique OU de type semi-conducteur selon la torsion du nanotube

Faire calcul de vitesse de transport d'électron avec 1 nanotube ou avec 1 monocouche de nanotubes

FIN